

# 퍼지제어 기반의 개선된 DSOGI 주파수 동기화 기법

박진상, 이동춘  
영남대학교

## Improved DSOGI Frequency-Locked Loop based on Fuzzy Logic Control

Jin Sang Park and Dong Choon Lee  
Yeungnam University

### ABSTRACT

본 논문에서는 2차 일반화 적분기(Second Order Generalized Integrator SOGI)를 이용한 계통 위상각 검출시에 필수 정보인 계통 주파수를 퍼지제어를 통하여 빠르게 추정하고자 한다. DSOGI FLL의 기존의 방법과는 다르게 비선형 특성이 강한 주파수 동기화의 동특성 모델에 퍼지제어를 적용함으로써 선형화 오차를 줄이고 계통 주파수 추정을 빠르게 할 수 있다. 제안된 방법은 시뮬레이션을 통하여 우수한 성능이 입증된다.

### 1. 서론

계통과 연결된 컨버터 시스템에서 유효전력, 무효전력, 역률 제어 및 고조파 전류의 보상 시, 전류와 전압의 지령 값들은 계통 전압의 위상각을 기준으로 하여 제어된다.<sup>[1]</sup> 이상적인 3상 전원의 위상각을 찾는 것은 그리 어렵지 않지만 실제 계통 측에 전압 불평형 사고가 발생하거나 고조파 성분으로 인해 전압이 왜곡될 때 계통 위상각을 찾기는 쉽지 않다. 이를 해결하기 위한 많은 PLL(Phase Locked Loop) 기법들이 연구되었고 최근에는 SOGI를 이용하여 정상분 성분을 계산하여 위상각을 추출하는 우수한 방법이 알려져 많이 사용되고 있다. SOGI 동작 시  $\omega'$ 이라는 계통주파수 성분을 알아야 한다. 이 값은 60Hz로 대체로 일정하다고 볼 수 있지만 미시적으로 보면 이것도 가변적인 값이다. 이러한 변화하는 주파수 값이 제대로 갱신되지 않는다면 SOGI는 제 성능을 발휘할 수 없는데 이에 대한 대책으로 주파수 동기화(Frequency Locked Loop)라는 방법을 사용한다.

본 논문은 DSOGI(Double SOGI) FLL의 성능을 개선하기 위해 퍼지제어를 적용하여 변화하는  $\omega'$  값에 빠르게 동기화하는 방법을 제안한다. 시뮬레이션을 통해 제안된 방법의 타당성이 검증된다.

### 2. SOGI-FLL

#### 2.1 위상각 제어기

PD(Phase Detector, LF(Loop Filter), VCO(Voltage Controlled Oscillator)를 소신호 PLL 모델로 선형화한다.<sup>[2]</sup> 입력을 동기좌표계 d축 전압 지령 치로 보고 이를 0으로 제어하는 것은 위상각을 일치시키는 것과 동일하다고 볼 수 있고<sup>[1]</sup> 아래 그림 1과 같이 표현할 수 있다.

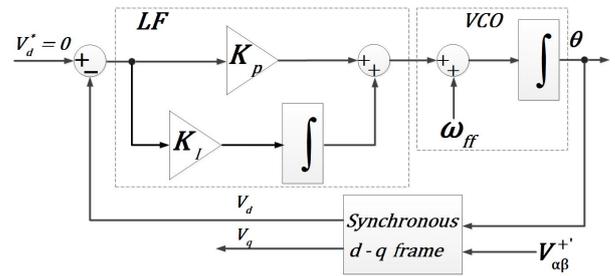


그림 1 PLL 제어 블록도  
Fig. 1 Control block diagram for PLL

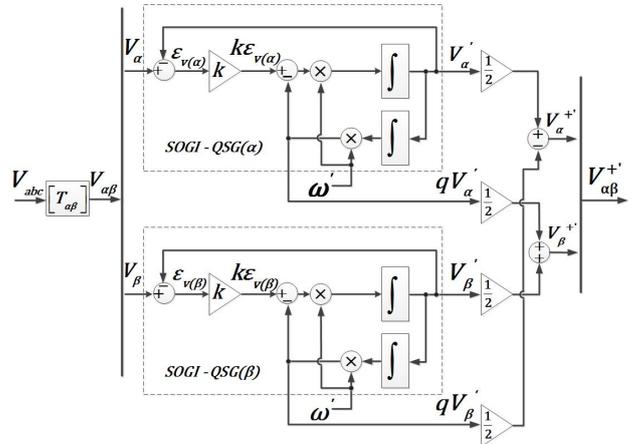


그림 2 DSOGI 블록 선도  
Fig. 2 Block diagram of DSOGI

#### 2.2 SOGI 특성

그림 2는 두 개의 SOGI QSG(Quadrature Signal Generator)를 포함하며 입출력 관계를 수식으로 표현하면 식(1), (2)와 같다.<sup>[2]</sup>

$$\frac{V_{\alpha}}{V_{\alpha}'} = \frac{k\omega's}{s^2 + k\omega's + \omega'^2} \quad (1)$$

$$\frac{qV_{\alpha}}{V_{\alpha}'} = \frac{k\omega'^2}{s^2 + k\omega's + \omega'^2} \quad (2)$$

$\omega'$ 을 60Hz라 하고 이 주파수의 정현파  $V_{\alpha}$ 를 입력하면 크기가 동일한 동상의 출력과 위상각이 90도이고 동일한

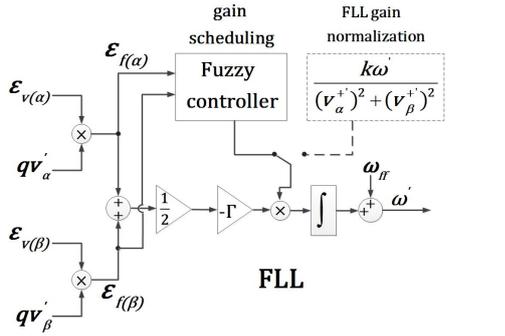
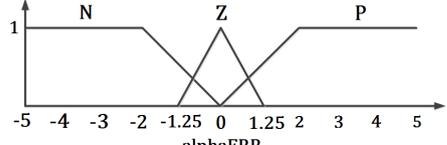
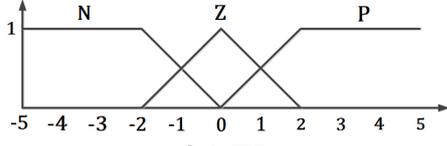


그림 3 제안하는 주파수 동기화 gain 정규화 블록선도  
Fig. 3 Proposed FLL gain block diagram



(a) 입력 소속함수



(b) 출력 소속함수

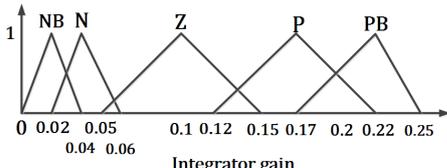


그림 4 입력출력 소속함수

Fig. 4 Input and output membership functions  
표 1 시스템 파라미터

$V_{peak} = 220 * \sqrt{2} / \sqrt{3}$	$\zeta = 1.11$
$\omega_n = 2 * \pi * 100$	$k = 1$
$K_P = 2 * \zeta * \omega_n / V_{peak}$	$\Gamma = 46$
$K_I = \omega_n * \omega_n / V_{peak}$	

크기의 출력파형을 얻을 수 있다. 이들은 3상 전원의 정상분 전압을 계산할 때 이용된다. 그러나 입력파형의 주파수가 60Hz 가 아니면 출력파형은 SOGI의 주파수 특성에 따라 그 크기와 위상이 달라지며, 이로 인해 오차가 발생할 수 있다. 경우에 따라 계통 주파수 성분이 변할 수 있으므로, 이를 고려해서 DSOGI FLL을 구현하여야 한다. 그림 3에서  $\epsilon_{v(\alpha)}$ ,  $qv'_\alpha$ ,  $\epsilon_{v(\beta)}$ ,  $qv'_\beta$  은 DSOGI의 출력 값을 이용하여 구할 수 있으며, 비선형성을 가지는 FLL은 소신호 분석으로 선형화 과정을 통해 1차 시스템 특성을 갖도록 적분기 이득 값을 정규화 할 수 있다.<sup>[2]</sup>

### 2.3 제안한 FLL 게인 스케줄링

주파수 오차  $\epsilon_{f(\alpha)}$ ,  $\epsilon_{f(\beta)}$ 를 퍼지 제어기의 입력, 적분기 이득을 출력으로 하여 주파수 동기화 과정을 구성한다(그림 3). 공정한 비교를 위해 이득 값 조절부분을 제외한 시스템의 나머지 부분의 파라미터 값은 동일하다(표 1).

### 2.4 퍼지 소속 함수 및 추론 규칙

주파수 오차와 적분기 이득 값과의 관계를 이용하여 퍼지 입력 출력 소속함수를 그림 4와 같이, 퍼지추론 규칙은 표 2와 같이 설정하였다.

표 2 퍼지추론 규칙

$\beta_{err}$ \ $\alpha_{err}$	P	Z	N
P	NB	N	Z
Z	N	Z	P
N	Z	P	PB

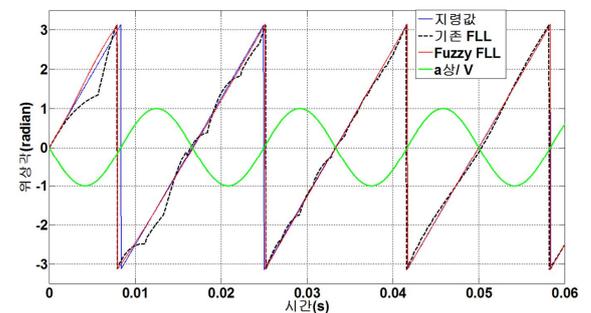
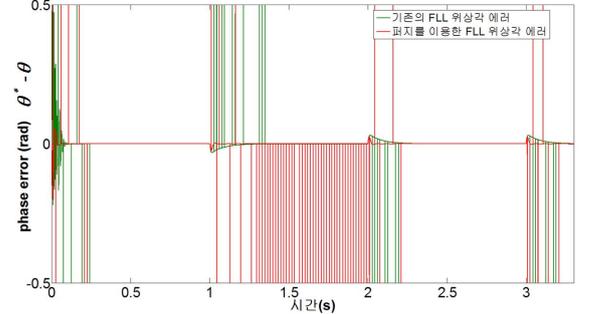
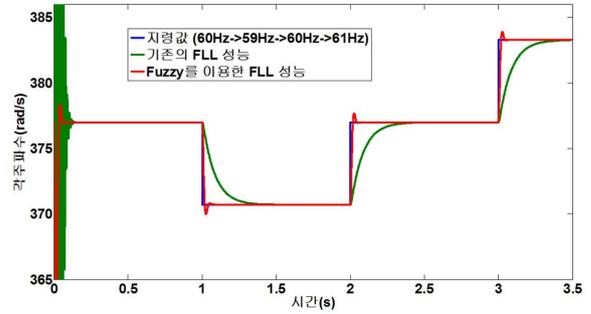


그림 5 시뮬레이션 결과 파형  
Fig 5. Simulation results

## 3. 시뮬레이션 결과

Matlab으로 시뮬레이션을 수행하였고, 1s, 2s, 3s에 계통주파수가 변동한 경우의 결과는 그림 5와 같다. 위상각 에러 발생의 순간, 뒤는 현상은 시뮬레이션 특성상 위상각을 일정범위 안으로 제한하면서 생긴 것이며 성능과는 상관없다. 매초에 주파수가 변화할 때의 퍼지제어기를 이용한 위상각 파형은 지령값과 같아지는데 약 0.02s 소요되며 파형은 위와 유사하다.

## 4. 결론

본 논문에서는 계통 주파수를 보다 빠르게 추정할 수 있는 방법을 제안하였고 모의실험을 통하여 기존방법과 제안된 방법을 비교함으로써 과도상태 특성이 개선되었음을 입증하였다.

## 참고 문헌

- [1] 설승기, "전기기기 제어론", 홍릉과학출판사
- [2] R. Teodorescu, M. Liserre, and P. Rodriguez, "Grid Converters for photovoltaic and wind power systems", WILEY
- [3] 홍대선, "Introduction to fuzzy system for engineer", 문운당