

Implementation of Digital Phase Controller of Thyristor by using FPGA in HVDC System

Dong-Youn Kim*, Jang-Mok Kim* and Chan-Ki Kim**

Department of Electrical Engineering, Pusan University, Busan, 609-735, Korea *

Korea Electric Power Research Institute, Daejeon, Korea**

Abstract

This paper presents implementation of digital phase controller for thyristor by using FPGA (Field Programmable Gate Array) in HVDC system. Implementation of digital HVDC system is possible by using superior digital simulator such as RTDS (Real Time Digital Simulator). But thyristor phase controller is typically implemented by analog circuit, because it is difficult to implement the phase controller with low operating speed of RTDS. To guarantee high control performance, phase controller needs fast operating speed. This paper presents FPGA based digital phase controller to obtain high speed and high performance. The entire digital simulation of the HVDC system is also implemented by interfacing between FPGA based phase controller and RTDS. Proposed digital HVDC simulator is verified through RTDS simulation..

1. Introduction

증가하고 있는 전력계통의 안정화와 효율성에 대한 요구로 선진국들은 제작 업체와 학계의 기술 연계로 HVDC 시스템의 기술개발을 하고 있으며 HVDC 시스템이 늘어날 수록 그 기술 수준은 매우 높아지고 있기 때문에 국내 기술의 자립을 위한 HVDC 역량 강화가 절실히 필요하다. HVDC 기술 중에서도 제어 및 보호를 담당하는 제어기의 경우, 그 구조 및 동작원리가 복잡하고, 제어기 제작 후에도 실시간 계통모의시험실비(RTDS, Real Time Digital Simulator)를 이용한 다양한 검증작업이 이루어져야 한다. 이에 HVDC 시스템의 디지털 구현에 대한 노력이 각고하다[1].

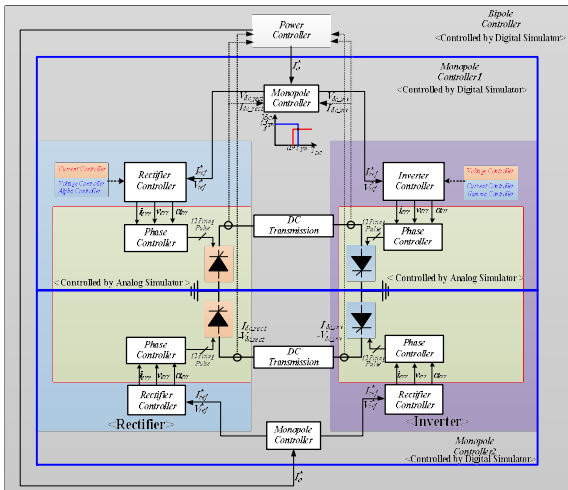


Fig. 1 The structure of HVDC Controller

제주-해남 HVDC 시스템의 제어기 구성은 그림 1과 같이 구성되어 있다. 최상위 제어기로서 Bi pole 제어기는 제주-해남 송전 선로 간의 전력을 제어하며 Pole 제어기에서 Inverter 및 Rectifier의 동작 영역을 고려하여 각각의 전압, 전류 지령을 사이리스터 Phase 제어기에 하달하게 된다. Rectifier 측 Phase 제어기는 주 제어기로서 전류제어기를 사용하고 보조 제어기로서 전압, Alpha min 제어기를 사용하고 Inverter 측 Phase 제어기는 주 제어기로서 전압제어기를 사용하고 보조 제어기로서 전류, gamma 제어기를 사용하는 제어기 구조를 가진다[1]. HVDC 제어기 동작 주파수 측면에서 살펴보면 Bipole과 Pole 제어기는 수 Hz의 응답 속도면 충분하지만 Phase 제어기는 60 Hz 계통 시스템에서 1도를 제어하기 위해 60 * 360 Hz(50 usec)이상의 연산 속도가 필요하다. 기존의 HVDC 시스템의 디지털화를 위해 Phase 제어기의 RTDS 구현을 시도하였지만 연산 속도의 부족으로 제어 시스템의 오차 누적 현상이 발생했다. 본 논문에서는 Phase 제어기를 빠른 연산을 수행 할 수 있는 Digital Hardware Logic인 FPGA를 통해 구현하고 RTDS와의 연동을 통해 오차를 보정해주는 방법을 제안하다.

2. Implementation of Phase Controller in FPGA

2.1 Structure of Phase Controller[2]

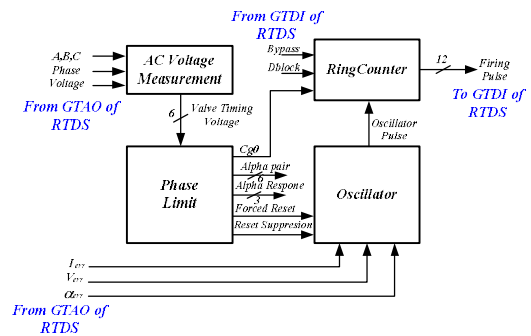


Fig. 2 Structure of Phase Controller

본 논문에서 구성한 Phase 제어기는 AC Voltage Measurement, Phase Limit, Oscillator, Ring Counter 로 구성된다. Ac Voltage Measurement 는 RTDS 로부터 3 상 계통 정보를 받아 12 개의 사이리스터 밸브에 인가되는 타이밍 전압을 계산한다. Phase Limit 은 계통의 위상과 동기화 시키기 위해 0 도 이하에서는 점호 Pulse 발생억제, 180 도 이상에서는 강제 점호를 발생시키는 기능을 수행하며 각 밸브의 점호각의 합 alpha response 계산도 수행한다. Oscillator 는 RTDS 에서 계산된 제어기 error 를 받아

Fig3 과 같이 다음 점호 발생 각도를 결정한다. Ring Counter 는 Oscillator 에서 발생한 점호 트리거를 받아 120 도 듀티의 점호 펄스를 만들어 RTDS 에 구성된 사이리스터 컨버터에 점호펄스를 인가한다.

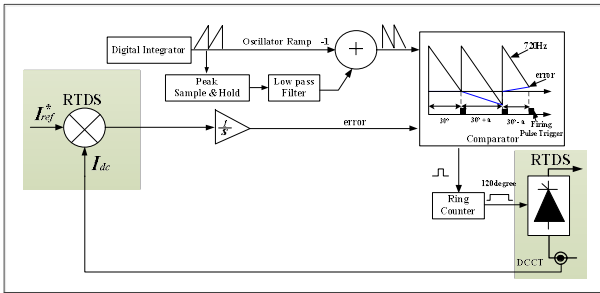


Fig. 3 Firing Control method

2.2 Digital Implementation Strategy[4, 5]

기존의 Phase 제어기는 Op-Amp 와 같은 아날로그 소자로 구성되어있다[4]. FPGA 를 이용한 디지털 구현 시 아날로그 회로의 And, Or 로직과 같은 경우는 FPGA 에서 그대로 구현이 가능하나 R,C,L 로 구성된 적분기 회로 등은 디지털 로직으로 구현할 방안이 필요하다. Fig.3 Oscillator 를 FPGA 로 구현 하기 위해서는 디지털 카운터, 디지털적분기, 비교기가 필요하다. Alpha Measurement 에서 변환된 계통의 타이밍 전압을 통해 한주기의 디지털 카운터 최대값을 계산한다. RTDS 입력된 제어기 error 는 수식(1)의 디지털 적분기를 통해 누적된다.

$$y(n) = y(n - 1) + K_i T_s e(n) \quad (1)$$

Oscillator 는 디지털 카운터를 통해 역 디지털 카운터를 만들어 누적된 error 값과 비교하여 일치하는 지점에서 점호 트리거 펄스를 발생한다.

RTDS 의 제어기 error 입력은 전압, 전류, gamma error 가 있고 Alpha error 은 FPGA 에서 계산된다. Alpha Response 는 Phase Limit 에서 점호각 발생 시점에 따라 0~180 도 사이로 30 도 단위의 이산적 값으로 계산된다.

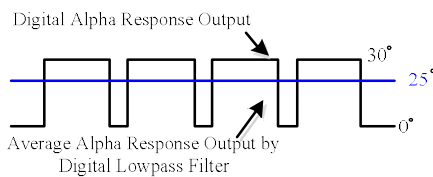


Fig. 4 Difference between Analog Alpha Response output and Digital Alpha Response output

이는 그림 4 와 같이 아날로그 회로의 출력과 차이가 생기게 된다. 아날로그 회로에선 R,C 값에 의해 25 도의 아날로그 수치가 계산되지만 디지털 로직에선 0, 1(=30 도)의 이산적 출력으로 나타나고 이들의 평균값이 아날로그 값에 대응하는 수치로 계산되게 된다. 수식(2)의 디지털 필터를 통해 이산적인 Alpha 출력을 평균내어 디지털 제어기의 입력으로 이용하게된다.

$$y(n) = \left(\frac{2 - T_s \omega}{2 + T_s \omega}\right)y(n - 1) + \left(\frac{T_s \omega}{2 + T_s \omega}\right)\{x(n) + x(n - 1)\} \quad (2)$$

3. Verification Digital HVDC Simulator

제안한 FPGA 위상 제어기를 연동하기 위해 RTDS 에서 HVDC 시스템을 구현하고 Monopole 제어 실험을 하였다. Phase 제어기의 과도응답 실험 Fig6 은 Rectifier 전류 제어기의 전류 지령을 1pu(3.6kA)에서 0.5 pu(1.8kA)으로 스텝으로 낮추었을 때의 전압 전류 파형이다. 스텝응답의 오실레이션은 차후 상위 제어기의 설계 후 ramp 지령 입력 시 개선 될 것으로 보인다.

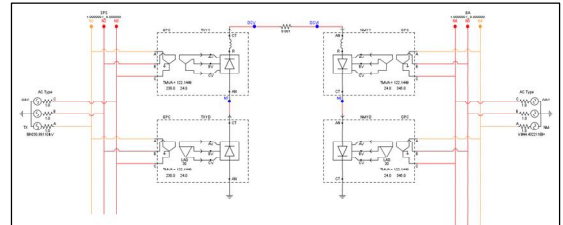


Fig. 5 Monopole HVDC System in RTDS

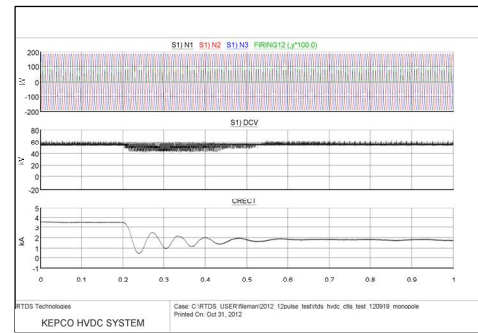


Fig.6 Step Response of Monopole Control

4. Conclusion

본 Phase 제어기의 FPGA구현과 RTDS 연동을 통해 HVDC simulator의 디지털 구현에 관한 것이다. 정상상태에서 지령과 측정값 사이에 약 1°의 오차가 발생하였으며 이는 ADC의 해상도, RTDS 연동간의 delay에서 발생한 것으로 예상 되었으며, Step 입력 시 정상상태 도달 시간은 24Cycle 측정 되어 실제 HVDC의 상위 제어기 설계 시 과도 응답은 개선 될 것으로 보인다.

Acknowledgment

이 논문은 NIPA(국가 IT 산업 진흥원)에서 감독하는 로봇 지원사업의 인적 자원 개발 프로그램으로써 지식경제부에 의해 지원받았음. (NIPA-2012-H1502-12-1002)

Reference

- [1] Li Han; Han Y.D; etc; "Verification of HVDC Controller Using and Advanced Real Time Simulator, IEEE, 1998
- [2] Cheju-Haenam HVDC Manual, GEC Alstom, 1993
- [3] Byeon-Mo Yang; Chan-Ki Kim; etc; "Verification of Hybrid Real Time HVDC Simulator in Cheju-Haenam HVDC System" Journal of Electrical Engineering & Technology Vol.1, 2006
- [4] 김석환; 임정규; etc;"FPGA 를 이용한 영구자석 동기 전동기 벡터 제어기의 구현" 전력전자학회 논문지, Vol11, 2006
- [5] 김찬기; "제주-해남 HVDC 시스템의 EMTDC 모델링" 전력전자 학회 논문지 , Vol6, 2001