

---

# Dual 커패시터를 이용한 Opamp 오프셋 저감 회로에 관한 연구

김한슬\* 강병준\*\* 이민우\*\* 손상희\*\* 정원섭\*\*

청주대학교

## A Study on the Offset cancellation circuit using by using dual capacitor

Hanseul Kim\*, Byung-jun Kang\*, Min-woo Lee\*, Sang-Hee Son\*, Won-sup Jung\*

Cheongju University

E-mail : seulush@naver.com

### 요 약

본 논문에서는 듀얼 커패시터를 이용하여 Opamp에서 발생하는 오프셋 전압을 효과적으로 저감 시키는 회로를 소개한다. 제안하는 회로는 기존 Auto-zeroing 방식의 오프셋 전압 저감회로에서 가지는 단점을 보완하기 위해 커패시터와 mos스위치를 추가하였고 Chopping 방식을 응용하여 고주파수에서 효과적으로 오프셋 전압이 저감되도록 설계하였다. 실험은 TSMC 1.8V, 0.18 $\mu$ m 공정을 이용하여 시뮬레이션 및 레이아웃 설계를 하였고 실험 조건하에 1Ghz의 주파수에서 5mV 이하의 오프셋 전압이 발생되었다. 이를 통해 기존의 Auto-zeroing 오프셋 저감 방식과 비교하여 오프셋 전압이 효과적으로 저감된 것을 확인하였다.

### ABSTRACT

In this paper, circuit of reducing the offset voltage in Op-amp, effectively, is newly proposed by using dual capacitor. Capacitors and MOS switches are added in proposed circuit to make up for the weak points of previous circuits of reducing the offset voltage in auto-zeroing method. Also, it is designed to reduce the offset voltage in high frequency range by using chopping method, effectively. Circuit simulation and layout are executed by TSMC 1.8V, 0.18 $\mu$ m process. From the simulation results, it is verified that magnitude of offset voltage is under 5mV and proposed circuit is good for compensation of offset voltage better than previous auto-zeroing method.

### 키워드

Offset voltage, Auto-zeroing, Offset cancellation, capacitor, 오프셋 전압

---

\* 청주대학교 대학원 전자공학과

\*\* 청주대학교 반도체설계공학과

### 1. 서 론

각종 전자 시스템 및 회로에서 연산 증폭기(Op-amp)는 버퍼(buffer), 비교기, 차동 증폭기 등의 기능으로 사용되며 신호 증폭 및 전달에 중요한 역할을 하고 있다. 또한 시스템이 집적화 및 소형화 됨에 따라 연산 증폭기에서 발생하는 오프셋 전압에 의해 시스템에 작용되는 영향이 대두되고 있다. 이에 연산 증폭기에서 발생하는 오프셋 전압을 저감시키기 위한 방법을 제시한다. 오프셋 전압은 회로의 레이아웃에 의한 구조적 발

생이나 및 온도에 의한 문턱전압 변화 잡음 등의 원인으로 발생하게 된다. 또한 오프셋 전압의 원인 중 가장 큰 영향을 차지하는 Random 오프셋 전압은 연산 증폭기 입력단 내부에 있는 차동 트랜지스터 쌍의 부정합으로 인해 발생된다. 이러한 원인으로 발생하게 된 오프셋 전압을 저감시키는 방법으로는 Auto-zeroing 방식과 Chopping 방식의 기법이 많이 사용되고 있다.

오프셋 전압을 저감시키기 위한 대표적인 방법은 그림1과 같다. Auto-zeroing 오프셋 전압 저감 방식은 Sampling phase 와 Amplifier phase 의 두가

지 스위칭 동작을 가지고 있다 Sampling phase에서는 커패시터에 오프셋 전압(Vos)을 Sampling 하고, Amplifier phase에서 커패시터에 저장된 오프셋 전압(Vos)을 입력단에 인가하여 오프셋을 저감시키는 방식이다.

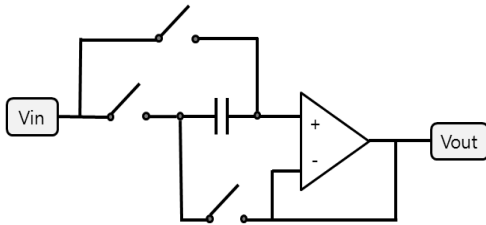


그림 1. Auto-zeroing 방식 오프셋 저감 회로

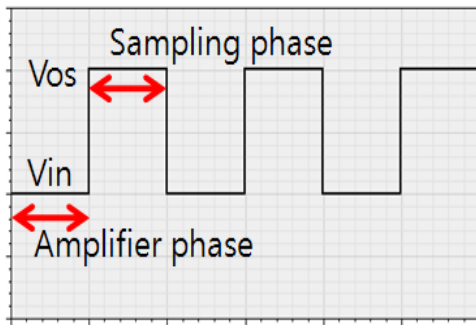


그림 2. Auto-zeroing 방식 회로의 출력 전압 그래프

Auto-zeroing 방법은 그림2의 그래프에 나타난 것과 같이 스위칭 동작이 저주파수에서 이루어질 때 Sampling phase에서는 Vos이 출력 되고, Amplifier phase에서는 Vin이 출력 되는 것을 확인 할 수 있다. 때문에 안정적인 출력을 요구하는 회로에는 적용시키기 어려운 단점이 있다

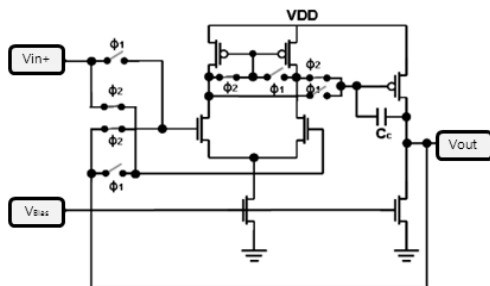


그림 3. Chopping 방식 오프셋 저감 회로

다음의 그림3은 Chopping 방식의 오프셋 저감 회로를 나타낸다. 이 방식은 연산증폭기에 주기가

다른 스위치를 추가하고 스위칭 동작을 통해서 그림4와 같은 출력 전압 파형을 얻을 수 있도록 한다. 출력 파형을 보면 직접적인 오프셋 전압을 저감 시키지 않고 +Vos 와 -Vos 의 전압을 얻도록 하여 고주파수에서 안정적인 출력을 내는 방식이다

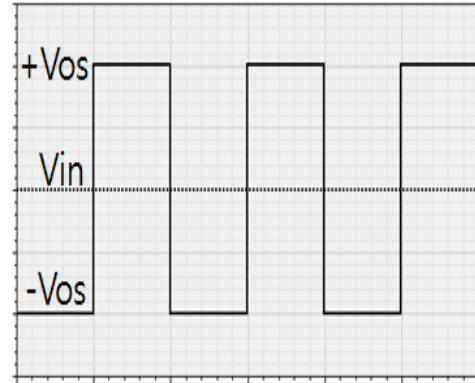


그림 4. Chopping 방식 오프셋 저감 회로의 출력 전압 그래프

Chopping 방식의 회로는 커패시터를 사용하지 않지만 스위칭 동작을 위해 많은 스위치가 필요하고 고주파수에서 사용되어야 하기 때문에 사용할 수 있는 주파수 대역의 범위가 제한적인 단점이 있다. 또한 그림4와 같은 방식의 회로구조는 증폭기 내부의 구조를 변화시키는 부분이 설계적인 측면에서 단점이 된다.

## II. 본 론

본 논문에서는 앞에서 설명한 Auto-zeroing 방식과 Chopping 방식의 회로를 응용한 회로를 제안하고자 한다. 그림5와 같이 듀얼 커패시터 및 스위치를 이용하여 구성한 회로는 다음과 같이 동작 한다.

SW1가 ON 이 되는 주기에는 SW2 는 OFF 되어 있고 두 개의 커패시터는 병렬로 연결되어 있으므로 각각 +Vos 가 Sampling 된다.

$$V_{out} = +V_{os}$$

SW2가 ON 이 되면 SW1은 OFF 되고 두 개의 커패시터가 직렬로 연결이 되어 2Vos 가 되고, 이 전압이 입력단에 인가되면 출력 전압 Vout은 -Vos 가 된다.

$$V_{out} = +V_{os} - (+V_{os}) - (+V_{os})$$

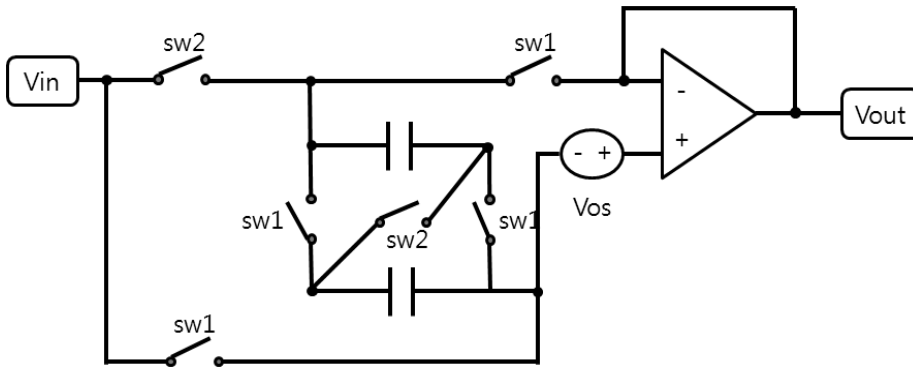


그림 5. 제안한 듀얼 커패시터를 이용한 오프셋 저감 회로  
Fig 5. Proposed circuit using dual capacitor

다음의 결과를 통해 제안한 듀얼커패시터 회로는 연산증폭기의 내부에 스위칭을 추가하지 않고 외부에 커패시터와 스위칭 동작을 통해 Chopping 방식의 출력을 얻어 낼 수 있는 장점이 있고 고주파수의 스위치 동작을 통해서 Auto-zeroing 방식보다 향상된 오프셋 전압 저감 효과를 볼 수 있다.

실험은 듀얼 커패시터 오프셋 저감 회로와 Auto-zeroing 방식의 결과 비교를 통해 제안한 회로의 특성을 분석 하였고 위의 표에 주어진 값의 조건 하에 실험을 하였다. 다음의 그림7, 그림8은 기존의 Auto-zeroing 방식을 이용한 실험의 출력 결과 이다. 오프셋 전압은 30 mV로 가정하여 전압을 인가하였고, 그림7은 1kHz 하에서 Auto-zeroing 회로의 출력 특성을 나타 낸다

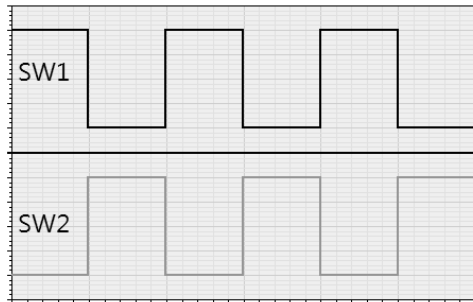


그림 6. 듀얼 커패시터 회로 스위칭 타이밍 그래프

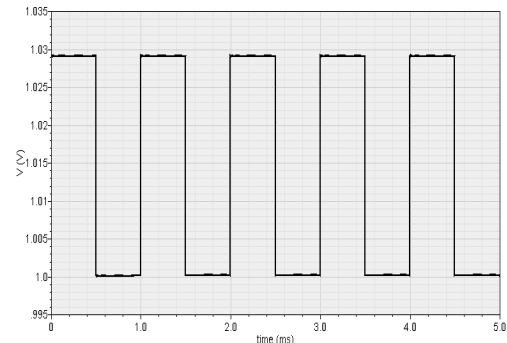


그림 7. Auto-zeroing 방식 회로의 출력 그래프 (1kHz)

### III. 모의 실험 결과

표 1. 시뮬레이션 조건

Item	size	unit
modulation frequency (low)	1	khz
modulation frequency(high)	1	Ghz
Capacitor	0.2	pF
Vin	1	V
VDD	1.8	V
technology	0.18um / 2V	
Vos	30mV	

그림8은 스위칭 동작을 1Ghz 의 고주파에서 동작 하도록 하고 LPF(low pass filter)를 출력단에 추가하여 오프셋 전압을 저감시킨 결과 이다. 이를 통해 약 15mV 의 오프셋 전압이 출력 되는 것을 확인 하였다.

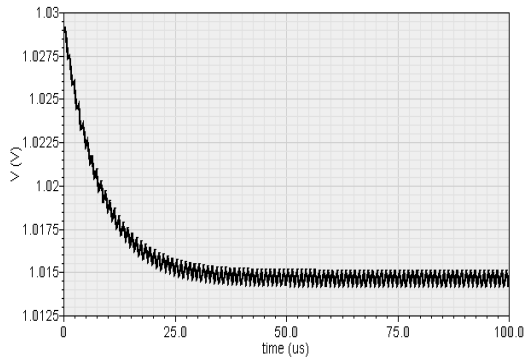


그림 8. Auto-zeroing 방식 회로의 출력 그래프 (1Ghz)

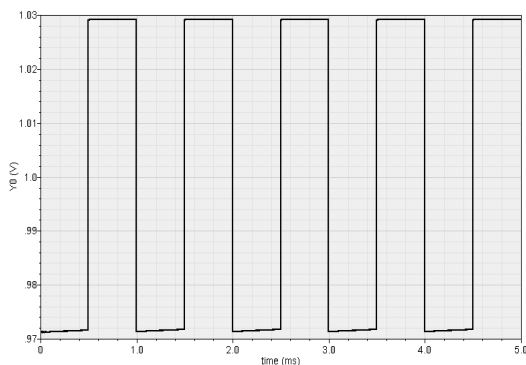


그림 9. 듀얼커패시터 방식 회로의 출력 그래프 (1khz)

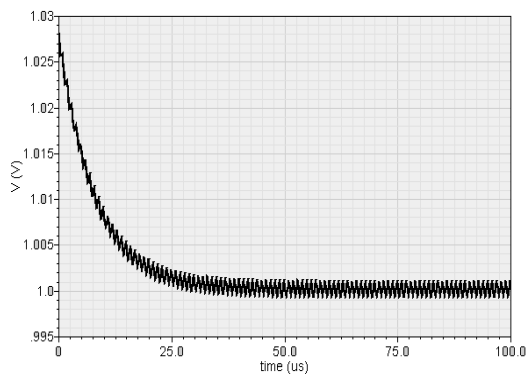


그림 10. 듀얼커패시터 방식 회로의 출력 그래프 (1Ghz)

다음의 그림9, 그림10은 제안한 듀얼 커패시터 회로를 이용하여 얻어낸 출력 결과 이다 그림9를 통해 Chopping 방식의 출력 전압과 같이  $V_{out}$  이  $+V_{os}$  와  $-V_{os}$  로 출력되는 것을 확인 할 수 있다. 그림10은 앞의 그림7,8과 마찬가지로의 조건으로 1Ghz 의 고주파수와 LPF를 출력단에 추가하여 얻어낸 출력 결과이다 얻어진 옵셋 전압은 약 3~5mV로 기존의 Auto-zeroing 방식의 옵셋

저감 회로와 비교하였을 때 보다 효과적으로 옵셋 전압이 저감 된 것을 확인 할 수 있다.

## V. 결 론

본 논문에서는 연산증폭기에서 발생하는 옵셋 전압을 보다 효과적으로 저감시키기 위해 Auto-zeroing 방식과 Chopping 방식을 응용한 듀얼 커패시터 옵셋 저감 회로를 제안하였다 실험은 TSMC 0.18um 공정으로 시뮬레이션 하였다. 옵셋 전압이 30mV로 주어졌다는 가정하에 기존의 Auto-zeroing 방식에서는 1Ghz 주파수에서 약 15mV의 옵셋 전압이 발생하였다. 이와 비교하여 제안한 듀얼 커패시터에서는 약 5mV-7mV의 옵셋 전압이 발생한 것을 확인하였다. 실제 연산 증폭기에서 발생하는 옵셋 전압이 5-10mV 보다 작게 발생하는 경우 제안한 회로를 적용하였을 때 보다 높은 효율의 옵셋 저감 효과를 기대할 수 있다.

## 참고문헌

[1] 손종배 외 3인. "TFT-LCD source driver 응용에 적합한 옵셋 저감회로". 한국정보기술학회 ISOC. Vol.6 NO 1. pp 157-166. Febuary 2008

[2] CHRISTIAN C. ENZ. "Circuit Techniques for Reducing the Effects of Op-amp Imperfections: Autozeroing, Correlated Double Sampling, and Chopper Stabilization" Proceeding of IEEE, Vol. 84, NO 11, pp. 1584-1614, November 1996

[3] R.Assaad and J.Silva-Martinez. "Optimisation of direct auto-zeroing offset cancellation in low voltage applications using dual level CMFB" IEEE. Vol.45 NO.16 July 2009

[4] Anton Bakker. "A CMOS Nested-chopped Instrumentation Amplifier with 100-nV offset" Proceeding of IEEE, Vol. 35 NO 12. pp. 1877-1883. December 2000

## 감사의 글

본 논문은 지식경제부 출연금으로 ETRI SW-oc 융합 R&BD 센터에서 수행한 시스템 반도체 설계인력양성사업의 연구결과입니다