
급수를 이용한 DGMOSFET에서 소자 파라미터에 대한 전도중심의존성

한지형, 정학기, 정동수, 이종인, 권오신
군산대학교 전자공학과

Dependence of Conduction Path for Device Parameter of DGMOSFET Using Series

Jihyung Han-Hakkee Jung-Dongsoo Jeong-Jongin Lee-Ohshin Kwon
Department of Electronic Eng., Kunsan National University

요 약

본 연구에서는 상단게이트와 하단게이트를 갖는(Double gate ; DG) MOSFET 구조의 소자 파라미터에 따른 전도중심을 분석하였다 분석학적 모델을 유도하기 위하여 포아송 방정식을 이용하였다. 본 연구에서 제시한 모델을 사용하여DGMOSFET 설계시 중요한 채널길이, 채널두께, 그리고 게이트 산화막 두께 등의 요소 변화에 대한 전도중심의 변화를 관찰하였다또한 채널 도핑농도에 따른 전도중심의 변화를 고찰함으로써DGMOSFET의 타당한 채널도핑농도를 결정하였다

ABSTRACT

In this paper, we have been analyzed conduction path by device parameter of double gate(DG) structure that have top gate and bottom gate. The Poisson equation is used to analytical. The change of conduction path have been investigated for various channel lengths, channel thickness and gate oxide thickness using this model, given that these parameters are very important in design of DGMOSFET. The optimum channel doping concentration is determined as the deviation of conduction path is considered according to channel doping concentration.

키워드

DGMOSFET, 채널길이, 채널두께, 게이트 산화막 두께, 전도중심

Keyword

DGMOSFET, Channel length, Channel thickness, Gate oxid thickness, Conduction path

1. 서 론

실리콘 시대(Silicon Age)라고까지 불리울 만큼 현대의 정보화 사회를 이끈 20세기의 중요한 과학기술적 사건은 1947년의 트랜지스터의 발명일 것이다. 트랜지스터로 대변되는 실리콘 기술은 그 이후 라디오, 컴퓨터, 인터넷을 거쳐 현재 우리의 생활의 구석구석까지 파고들어 실리콘 소자는 이제 우리의 일상생활에서 없어서는 안

되는 불가결한 요소로 자리 매김하고 있다[1].

지난 30여년 동안 MOSFET의 게이트길이를 줄이는 스케일링에 의하여 회로의 동작속도 및 전력소비 문제를 개선하여왔다. 그러나 이러한 스케일링이론은 소자의 길이가 나노단위까지 감소하면서 공정 및 물질의 한계에 부딪쳐 더 이상 적용할 수 없게 되었다[2]. 이와같은 문제를 해결하기 위하여 개발되고 있는것이 DG MOSFET 소자이다. DGMOSFET는 게이트를 상

하에 제작할 수 있어 게이트에 의한 전하제어 능력이 기존의 MOSFET보다 약 2배로 증가하여 초박막형태로 제작할 수 있어 단채널효과를 감소시킬 수 있다는 장점이 있다. 또한 여러 게이트에서 채널 내 캐리어들을 제어하므로 게이트의 전류제어 능력이 증가하며 특히 채널의 크기가 상대적으로 감소하여 완전결핍 상태가 되면 무시할 수 있는 산란 때문에 캐리어의 속도를 증가시켜 차단주파수 및 스위칭 속도를 향상시킬 수 있다는 장점이 있다.

기존의 CMOSFET에서는 디자인요소로 채널폭과 채널길이의 비 즉, W/L 비가 중요하게 고려되고 있다. 그러나 DGMOSFET는 상하로 게이트 단자를 제작하므로 깊이방향의 크기가 중요한 요소로 지적되고 있다. 본 논문에서는 DGMOSFET의 채널 두께, 도핑농도, 채널길이에 따른 전도중심을 분석학적 모델을 이용하여 분석하고자 한다. 2장에서는 DGMOSFET 구조와 전위분포 모델과 전도중심 모델에 대한 설명을 할 것이며 3장에서는 DGMOSFET의 파라미터 변화에 따른 전도중심을 분석할것이고 4장에서 결론을 맺을 것이다.

II. DGMOSFET 구조의 전위분포 모델과 전도중심 모델

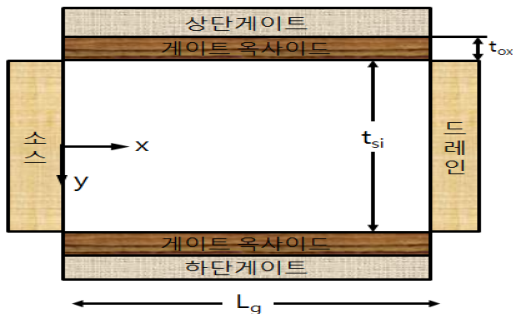


그림 1. DGMOSFET 구조
Fig. 1. Structure of DGMOSFET

그림 1은 이 논문에서 사용한 DGMOSFET의 개략도이다. 이 구조에서 채널의 길이와 두께 방향으로 포텐셜 분포를 구하기 위하여 포아송 방정식을 이용하였다.

$$\frac{\partial^2 \psi(x,y)}{\partial x^2} + \frac{\partial^2 \psi(x,y)}{\partial y^2} = \frac{qN_A}{\epsilon_{si}} \quad (1)$$

여기서 q 는 전자 전하량이고, N_A 는 채널 도핑 농도이며 ϵ_{si} 는 실리콘의 유전율이다. 식(1)을 풀

기 위하여 Zhang 등의 경계조건을 이용하면 전위 분포 함수는 아래와 같다[3].

$$\psi(x,y) = V_{bi} + \frac{V_{DS}}{L} x \sum_{n=1}^{100} A(n)(y) \sin \frac{n\pi x}{L} \quad (2)$$

전위분포함수를 이용하여 전자밀도를 구할 수 있으며 전자밀도는 볼츠만통계에 의하여

$$n_m(y) = (n_i^2/N_A) e^{q\psi_{min}/kT} \quad (3)$$

이다. 대부분의 캐리어가 이동되어지는 최소 채널포텐셜 ψ_{min} 은 $\partial\psi(x,0)/\partial x|_{x=0} = 0$ 에서 구할 수 있다. 소스에서 드레인으로 이동하고 있는 열방사전자와 터널링전자는 일정한 전도중심으로 이동한다고 생각할 수 있으며 전자가 이동하는 경로 즉 d_{eff} 는 자유전자의 전도중심을 나타내며 다음과 같이 표현된다[4].

$$d_{eff} = \int_0^{t_{si}/2} y e^{\psi_{min}/V_t} dy / e^{\psi_{min}/V_t} dy \quad (5)$$

III. DGMOSFET 파라미터에 따른 전도중심 분석

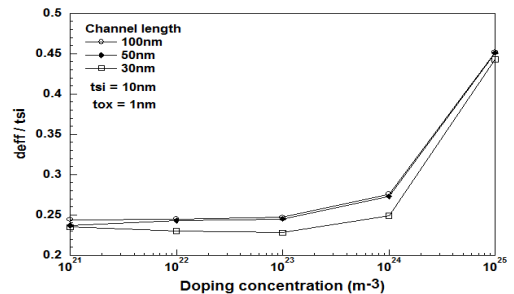


그림 2. 채널길이에 따른 전도중심
Fig. 2 Conduction path for channel length

그림 2는 채널길이 변화에 따른 전도중심의 변화를 도시하였다. 채널길이가 증가함에 따라 상단게이트에서 더욱 게이트단자에 가까운 전도중심을 나타내고 있다. 채널길이가 100nm 일 때와 50nm 일 때의 전도중심은 거의 변화가 없지만 채널길이가 20nm 일 때 전도중심이 급격히 작아짐을 알 수 있다. 특히 도핑농도가 $10^{25} m^{-3}$ 일 때 급격히 증가함을 알 수 있다.

그림 3에 채널두께 변화에 따른 전도중심의 변화를 도시하였다. 그림 2에서와 마찬가지로 저도핑영역에서 일정한 전도중심을 보이며 고도핑

으로 진행할수록 전도중심은 게이트 콘택으로 이동한다. 특히 채널두께가 커지면 도핑에 따른 증가도 빨리 발생함을 알 수 있다 또한 채널두

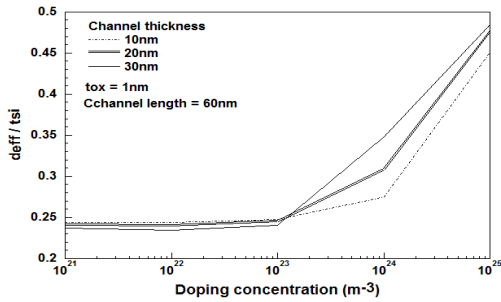


그림 3. 채널두께에 따른 전도중심

Fig. 3 Conduction path for channel thickness

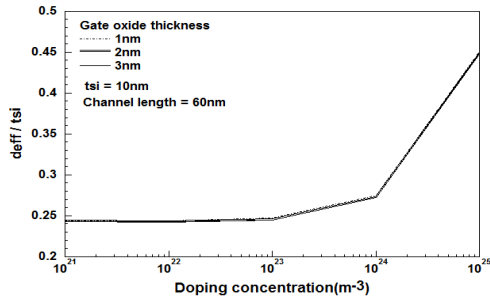


그림 4. 게이트 옥사이드 두께에 따른 전도중심

Fig. 4 Conduction path for gate oxide thickness

께가 커지면 상단게이트에서 더욱 게이트단자에 가까운 전도중심을 나타내고 있다

게이트 옥사이드 두께에 따른 전도중심의 변화를 분석하기 위하여 그림 4에 도시하였다. 그림 2와 그림 3에서 알 수 있듯이 게이트 산화막 두께에 따른 전도중심에서도 저도핑영역에서는 전도중심이 일정하였으나 고도핑영역으로 증가하면서 전도중심이 게이트 콘택으로 이동함을 알 수 있다. 하지만 게이트 옥사이드 두께의 변화에 따른 전도중심의 변화는 거의 없음을 알 수 있다.

V. 결 론

본 논문에서는 DGMOSFET의 파라미터 변화에 따른 전도중심을 분석하였다 전도중심을 분석하기 위하여 분석학적 모델을 사용하였다 분석학적 모델을 유도하기 위하여 포아송방정식의 해를 구할 때 급수합수를 이용하였다 소자파라미터인 채널두께, 채널길이, 게이트 옥사이드 두께 등에 대하여 전도중심의 변화를 관찰하였다

채널길이 증가함에 따라 상단게이트에서 더욱 게이트단자에 가까운 전도중심으로 이동함을 알 수 있었다. 또한 채널두께가 커지면 상단게이트에서 더욱 게이트단자에 가까운 전도중심을 나타냄을 알 수 있었다. 게이트 옥사이드 두께의 변화에 따른 전도중심의 변화는 거의 없음을 알 수 있었다. 파라미터의 변화에 관계없이 전도중심 변화는 저도핑영역에서 일정한 전도중심을 보이며 고도핑으로 진행할수록 전도중심은 게이트 콘택으로 이동함을 알 수 있었다

참고문헌

- [1] 이성재, 장문규, "실리콘 나노전자소자의 연구동향," 물리과학 첨단기술, June, 2003
- [2] 정확기, Sima Dimitrijevic, "더블게이트 MOSFET의 서브문턱스윙에 대한 연구" 한국해양정보통신학회, vol.9, no4, pp.804-810, 2004
- [3] Z. Ding, G. Hu, J.Gu, R. Lin, L.Wang and T. Tang, "An analytical model for the subthreshold swing of double-gate MOSFETs," IWJT, 2010
- [4] J.H. Han, H.K.Jung, C.S.Park, "Structure-Dependent Subthreshold Swings for Double-gate MOSFETs", International Journal of KIMICS, vol. 9, no. 5, pp.583-586, OCT, 2011.