

FPGA를 이용한 신호측정 장치의 구현

최현준* · 서영호** · 김동욱**

*목포해양대학교, **광운대학교

Implementation of Signal Measurement System using FPGA

Hyun-Jun Choi* · Young-Ho Seo** · Dong-Wook Kim**

*Mokpo National Maritime University, **Kwangwoon University

E-mail : hjchoi@mmu.ac.kr

요 약

본 논문에서는 신호측정 장치를 FPGA를 기반으로 설계한 후 이를 시스템으로 구현하였다 설계에 사용한 FPGA는 Altera사의 Cyclone II이고, 총 1,700개(40%)의 LE(logic element)를 사용하였다. 설계한 회로는 6-bit 입력에서 24,576-bit의 메모리를 사용하며 최대 140MHz의 동작주파수에서 안정적으로 구동하였다.

ABSTRACT

In this paper, we are implemented the signal measurement system based on FPGA. The proposed hardware was mapped into Cyclone III from Altera and used 1,700(40%) of Logic Element (LE). The implemented circuit used 24,576-bit memory element with 6-bit input signal. The result from implementing in hardware (FPGA) could operate stably in 140MHz.

키워드

FPGA, Signal measurement, LCD Interface, PS2 Interface

I. 서 론

최근 보급형 계측장비는 USB와 같은 인터페이스를 이용하여 개인용 컴퓨터를 기반으로 데이터를 처리하는 장치나 마이크로프로세서 DSP 등을 사용하여 소형화되는 추세이다. 이렇게 범용 프로세서나 외부 인터페이스에 의존하는 보급형 계측장비는 연산속도에 귀속된 ADC의 샘플링 속도에 제한을 받는다. 하지만 최근 출시되고 있는 고성능 범용 프로세서인 FPGA에서는 고주파 대역의 처리 및 고속연산회로 등을 손쉽게 설계를 할 수 있다[1].

최근 보급형 계측장비는 USB와 같은 인터페이스를 이용하여 개인용 컴퓨터를 기반으로 데이터를 처리하는 장치나 마이크로프로세서 DSP 등을 사용하여 소형화되는 추세이다. 이렇게 범용 프로세서나 외부 인터페이스에 의존하는 보급형 계측장비는 연산속도에 귀속된 ADC의 샘플링 속도에 제한을 받는다. 하지만 최근 출시되고 있는 고성능 범용 프로세서인 FPGA에서는 고주파 대역의 처리 및 고속연산회로 등을 손쉽게 설계를 할 수 있다[1].

본 논문에서는 신호측정 장치의 핵심 커널을 FPGA를 기반으로 설계하였고, 이를 기반으로 실제로 신호측정 및 분석이 가능한 시스템을 제작하였다.

II. 본 론

1. 신호측정 장치의 핵심커널

본 신호측정장치를 FPGA를 기반으로 설계한 주요 목표중 하나는 샘플링속도를 향상시키는 것이다. 설계한 회로는 고속의 입력 신호를 처리할 수 있는 디지털 계측기 부분과 외부에서 조정 가능한 인터페이스 부분, 연산결과 출력의 담당하는 LCD 인터페이스 부분으로 나뉘어 있다

2. 신호측정 장치의 입출력부

신호측정 장치의 입출력부는 그림 2와 같이 3개의 세부모듈로 나뉜다. PS2_Controller는 PS2

Interface에서 직접 데이터를 받아들여서 한 바이트씩 모아진 데이터를 내부로 전달한다 이 모듈은 외부 비동기 신호와의 동기화를 위한 작업과 serial to parallel converter의 역할을 수행한다. 시스템 쪽의 처리 속도가 PS2 데이터 전송속도에 비해 훨씬 빠르기 때문에 이 모듈 내부에 별도의 이중 버퍼링은 하지 않는다. Data_Converter는 외부에서 입력된 키가 문자 혹은 숫자 키인지 판단하여 LCD 문자 코드로 변환하고, TextLCD_Controller는 변환된 코드를 Text LCD로 출력시킨다.

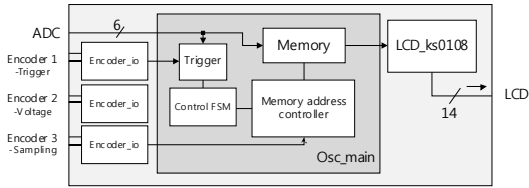


그림 1. 신호측정장치의 커널부

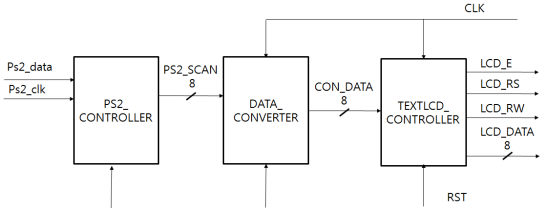


그림 2. 신호측정장치의 입출력부

III. 구현결과 및 결론

본 신호측정장치는 Altera사의 Cyclone II EP2C5Q208을 타겟으로 Verilog-HDL을 이용하여 구현하였다[2,3]. 설계한 하드웨어의 자원사용율을 표 1에서 보이고 있다.

표 1. 하드웨어 자원 사용율

Contents	H/W Resource
Total logic element	1,700/4,608(40%)
Total combinational function	1,440/4,608(30%)
Dedicated logic registers	1,060/4,608(20%)
Total registers	1,060
Pins	36/142(25%)

그림 3에서는 설계한 하드웨어의 시뮬레이션 결과를 보이고 있다. 그림에서와 같이 설정한 샘플링 비율에 따라 메모리에 저장된 데이터를 LCD로 보낼 때 속도를 조절할 수 있음을 확인하였다. 그림 4에서는 신호측정장치의 입출력 회로의 시뮬레이션 결과를 보이고 있다.

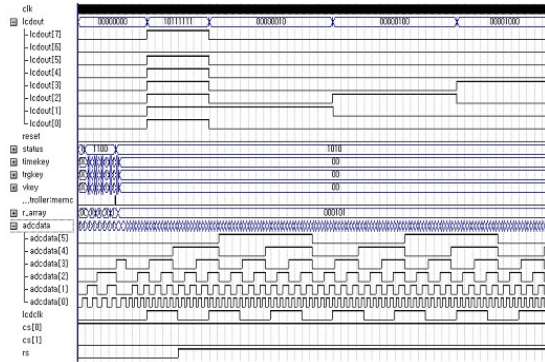


그림 3. 신호측정장치의 커널부 시뮬레이션 결과

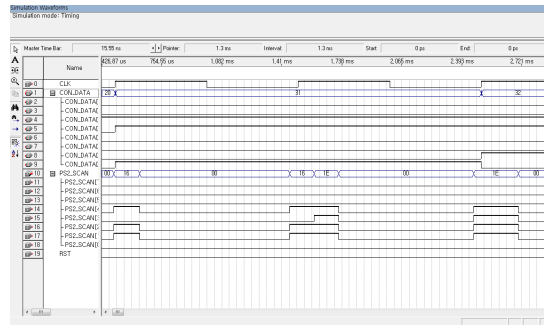


그림 4. 입출력부의 시뮬레이션 결과

감사의 글

본 연구는 지식경제부 및 한국산업기술평가관리원의 IT산업원천기술개발사업의 일환으로 수행하였음. [KI002058, 대화형 디지털 홀로그램 통합 서비스 시스템의 구현을 위한 신호처리 요소 기술 및 하드웨어 IP 개발]

참고문헌

- [1] 시장보고서, "AC/DC 측정장비의 기획 및 동향", Technical Insights, Inc., 2008년 12월.
- [2] Finbarr O'Regan, "1.0 Verilog Synthesis Methodology," October 2001.
- [3] Clifford E. Cummings, "Advanced Verilog Techniques Workshop," Sunburst Design, Inc., pp. 1-76, 2001.