

---

# Depth Image 추출용 CORDIC 기반 위상 연산기의 FPGA 구현

구정윤\* · 신경욱\*\*

국립금오공과대학교

## FPGA Implementation of CORDIC-based Phase Calculator for Depth Image Extraction

Jung-youn Koo\* · Kyung-Wook Shin\*\*

School of Electronic Eng., Kumoh National Institute of Technology

E-mail : koojungyoun@kumoh.ac.kr\*

### 요 약

본 논문에서는 3차원 영상처리용 TOF(Time-Of-Flight) 센서의 거리 측정을 위한 위상 연산기 하드웨어 구조를 제안한다. 설계된 위상 연산기는 CORDIC(COordinate Rotation Digital Computer) 알고리즘의 vectoring mode를 이용하여 arctangent 연산을 수행하며, 처리량을 증가시키기 위해 pipelined 구조를 적용하였다. 고정 소수점 MATLAB 모델링과 시뮬레이션을 통해 최적 비트 수와 반복 횟수를 결정하였다. 설계된 CORDIC 기반 위상 연산기는 Verilog HDL로 RTL 수준으로 모델링되었으며, MATLAB/Simulink와 FPGA 연동을 통해 가상의 3차원 데이터를 복원하였으며, 이를 통해 하드웨어 동작을 검증하였다.

### Abstract

In this paper, a hardware architecture of phase calculator for 3D image processing is proposed. The designed phase calculator, which adopts a pipelined architecture to improve throughput, performs arctangent operation using vectoring mode of CORDIC algorithm. Fixed-point MATLAB modeling and simulations are carried out to determine the optimized bit-widths and number of iteration. Phase calculator designed in Verilog HDL is verified by emulating the restoration of virtual 3D data using MATLAB/Simulink and FPGA-in-the-loop verification.

### 키워드

Depth Image, Phase Calculator, Time-Of-Flight, TOF, CORDIC, Pipelined CORDIC, FPGA

### I. 서 론

3차원 입체 영상을 얻을 수 있는 가장 일반적이고 잘 알려진 방법은 사람의 시각 시스템과 유사한 양안식 카메라를 사용하는 SV(Stereo Vision) 시스템이다. 이 방법은 이미 수 십년 동안 학계에 알려지고 사용되어온 방법으로 레이저 스캐너 음향이나 레이더 센서와 같은 에너지 방출 부품이 없이 고해상도의 거리 영상(Range image)을 얻을 수 있는 장점을 가진다. 하지만 스테레오 영상을 이용하여 장면의 깊이 정보를 예측하여 얻는 것은 쉽지 않다. 물체로 인해 가려져 한쪽에서만 보이거나 아무런 무늬가 없는 영역 등에서 정확한 깊이 정보를 찾기가 상당히 어렵기 때문이다.<sup>[1,2]</sup>

지난 몇 년간 학계에서는 TOF(Time-Of-Flight) 센서를 이용한 거리 영상에 대한 관심이 점점 더 커지고, 그에 따라 실시간 거리 영상 시스템에 대한 연구가 활발히 진행되고 있다.<sup>[3,4,5]</sup> TOF의 기본 원리는 센서에서 나간 빛이 물체에 반사되어 돌아오는 시간을 계산하여 장면의 깊이를 실시간으로 측정하는 것이다. 3차원 영상처리용 TOF 센서를 사용한 카메라는 장면의 깊이 정보를 직접 측정하여 스테레오 정합 방법의 취약점을 보완할 수 있다. 최근 TOF 비전 분야의 큰 진전으로 로봇, 자동차, 산업, 의료 그리고 멀티미디어 등 다양한 분야의 어플리케이션에 대해 3D 카메라들이 생산, 사용되고 있다. 특히 자동차 산업에서 안전에 대한 관심의 증가로 TOF 시장은 더욱 커질

것으로 추정되며, TOF 시장이 발전하기 위해서는 센서에서 얻어지는 많은 정보를 실시간으로 처리할 수 있는 효율적인 하드웨어의 연구가 동반되어야 한다.

본 논문에서는 3D TOF 센서용 깊이 정보를 계산하기 위한 위상연산 알고리즘으로 CORDIC 알고리즘을 채택하고, RTL(Register Transfer Level) 수준의 HDL 모델링 및 검증은 하였다 또한 설계된 HDL 모델을 이용하여 MATLAB/Simulink와 FPGA가 연동된 FPGA-in-the-loop 검증 환경을 통해 하드웨어 검증을 하였다.

## II. TOF 거리 연산의 기본원리

일반적으로 TOF 센서를 이용하여 깊이 정보를 구하기 위하여 진폭 변조된 주파수의 파형을 지속적으로 보내주는 방식을 사용한다<sup>[3]</sup> 변조된 빛은 물체에 반사되어 센서로 받고 물체까지 빛이 왕복되는 시간으로 인해 변한 빛의 위상을 이용하여 거리를 계산한다. 그 관계는 식 (1)과 같다.

$$d = \frac{c}{2f} \left( n + \frac{\theta}{2\pi} \right) \quad (1)$$

여기서  $c$ 는 빛의 속도,  $f$ 는 변조된 주파수,  $n$ 은 위상 주기가 반복되면서 생기는 상수를 뜻한다  $d$ 의 최대 거리가 명백하게 정해져 있는 경우 종종  $n$ 은 0(zero)으로 가정하고 간단한 계산으로 식 (2)로 나타낼 수 있고, 이 때 변조 주파수와 최대 측정거리  $d_u$ 와의 관계는 식 (3)과 같다.

$$d = \frac{c\theta}{4\pi f} \quad (2)$$

$$d_u = \frac{c}{2f} \quad (3)$$

여기서 센서를 이용하여 반사된 빛을 받을 때 변조된 주파수와 동일한 주파수로 샘플링을 한 경우 Homodyne 방식, 다른 주파수인 경우 Heterodyne 방식이라 한다. 이 때 파형을 한번만 샘플링하면 위상이동이나 물체의 색이나 표면 특성으로 인한 반사율, 배경 등의 여러 가지 이유로 인해 빛의 강도를 구분할 수 없기 때문에 몇 가지의 시간 간격을 두어 여러 번의 샘플링을 한다.

식 (2)에 따르면 장면의 깊이 정보를 얻기 위해서는 반드시 반사된 빛의 위상 변화를 알아야 한다. Jongenelen의 연구를 참고하면 TOF 센서에서는 픽셀 강도(Pixel Intensity) 데이터가 들어오는데 이를 이용하여 변한 위상에 대한 사인과 코사인 데이터를 얻을 수 있다. 이 두 가지 데이터를 아크탄젠트 연산을 통해 위상을 계산할 수 있고, 그 후에는 간단한 연산을 통해 원하는 깊이 정보를 얻을 수 있다.<sup>[3]</sup> TOF 센서를 이용하여 깊

이 정보를 얻기위한 가장 중요한 연산은 아크탄젠트 연산이다.

아크탄젠트 연산을 하드웨어로 구현하기 위한 방법은 다양하게 연구되고 있는데 대표적인 방법으로는 LUT(Look-Up Table)을 이용한 방법과 그 응용들, Polynomial 근사 방법, 그리고 CORDIC (COordinate Rotation Digital Computer) 방법 등이 있다.<sup>[6,7,8]</sup>

본 논문에서는 다양한 아크탄젠트 연산 알고리즘 중 타 알고리즘에 비해 반복적인 연산을 사용하여 속도상의 불리함은 있지만 간단한 연산을 추가함으로써 회로의 면적을 획기적으로 줄여 하드웨어 구현에 유리한 CORDIC 알고리즘을 적용하여 설계 하였다.

## III. CORDIC 알고리즘

CORDIC의 기본 개념은 좌표평면 상에서 주어진 벡터에 대해 각을 적당히 회전시켜 삼각함수의 값을 얻는 것이다. 이 알고리즘은 디지털 시스템에서 초월함수를 빠르게 계산하기 위해 고안되었다. CORDIC은 덧셈, 뺄셈, 비트시프트 그리고 작은 크기의 LUT와 같은 간단한 하드웨어로 구현할 수 있다는 장점이 있어 주로 사용된다.

CORDIC 알고리즘은 Rotation 모드와 Vectoring 모드로 불리는 두 가지 다른 모드로 동작할 수 있다. Rotation 모드는 특정한 각도가 주어졌을 때 그 각도에 의해서 회전을 수행하며 동작한다. Vectoring 모드는 유한한 횟수만큼의 회전을 통해 각도를 알 수 없는 특정 Vector에 대하여 계산을 수행한다. 본 논문에서는 TOF 거리 연산을 위해 필요한 Vectoring 모드에 대해서만 알고리즘을 적용하여 설계 하기로 한다.

Vectoring 모드를 이용한 아크탄젠트 연산은 식 (4)와 같이 나타낼 수 있다. 식 (4)는 1번의 rotation 과정 후의 각 값을 나타내며, 복소평면 상에서 입력 벡터는 실수 부분인  $x_0$ 와 허수 부분  $y_0$ 로 주어지고, 이 중 허수 부분을 0(zero)으로 줄이는 rotation의 반복 과정으로 연산이 이루어지고, 그 결과로 입력 벡터의 위상인  $z$  값이 얻어진다.

$$\begin{aligned} x_{i+1} &= x_i - y_i \cdot d_i \cdot 2^i \\ y_{i+1} &= y_i + x_i \cdot d_i \cdot 2^i \\ z_{i+1} &= z_i - d_i \cdot \tan^{-1}(2^{-i}) \end{aligned} \quad (4)$$

여기서 결정 변수인  $d_i$ 는 Vectoring 모드에서  $y_i$ 의 부호에 따라 정해지며 음수인 경우 1, 나머지 경우 -1이 된다.

식 (4)를 하드웨어로 구현하게 되면  $\tan^{-1}(2^{-i})$ 은 작은 LUT로 저장하여 사용할 수 있고,  $2^i$ 의 곱셈은 추가적인 곱셈기가 필요 없이 비트 시프트 연산으로 간단히 구현할 수 있다 고

정 소수점 CORDIC 아크탄젠트 연산의 정확성은 입력 벡터의 실수/허수부, 위상 LUT의 비트 폭과 CORDIC rotation의 반복 횟수에 의해 결정된다. 그리고 CORDIC 반복 횟수에 의한 연산 시간과 계산된 위상의 정확도가 trade-off 관계를 가져 반복 횟수가 증가함에 따라 정확도가 높아진다

#### IV. 위상연산기 하드웨어 설계

본 논문에서는 고정 소수점 CORDIC 기반의 위상연산기 하드웨어를 설계하기 위하여 내부 연산에 쓰이는 각종 데이터 비트 수와 정수 비트 소수 비트 그리고 반복 횟수를 MATLAB을 이용한 알고리즘 시뮬레이션을 통해 도출 하였다 이는 설계된 위상 연산기에서 0 ~ 360 도 까지 1도 단위로 계산하여 나오는 위상 연산 값의 오차를 최대 오차 5%, 평균 오차 2.5% 이내를 목표로 하였고, 최종적으로 TOF 센서의 최대 측정거리를 3m로 가정하였을 때 최대 오차 0.42mm, 평균 오차 0.21mm 이내가 되는 것을 목표로하였다.

결정한 데이터 비트와 반복 횟수를 이용하여 특정 각도 (0 ~ 360 도) 범위에 대해 각 각도에 해당하는 실수와 허수 값을 입력으로 한 연산의 결과와 입력 각도에 대한 오차를 나타낸 고정 소수점 CORDIC의 MATLAB 시뮬레이션 결과는 그림 1에 나타내었다. 이는 데이터 비트를 16 비트 (부호 1 비트, 정수 2 비트, 소수 13 비트), 반복 횟수 14회로 결정 하였을 때, 0 ~ 360 도 까지 1도 단위로 시뮬레이션 한 결과로 최대 오차 2.13%, 평균 오차 0.72%로 목표했던 정밀도를 만족시킬 수 있었다.

본 논문에서는 고정소수점 MATLAB 시뮬레이션을 통해 도출된 내부 데이터 비트 폭과 반복 횟수를 회로 설계에 적용하였다. CORDIC 기반의 위상 연산기는 하드웨어 구조가 간단하여 회로의 면적에서 유리하지만 반복 연산으로 인해 연산 속도 측면에서 불리하다. 속도 측면의 단점을 보완하여 고속 연산을 하기 위해 그림 2와 같이 pipelined CORDIC 구조를 적용하였고 내부 가감산기는 Brent-Kung Adder-Subtractor로 구현하였다. 설계된 pipelined 구조를 포함한 전체 위상 연산기의 하드웨어 구조는 그림 3과 같다.

입력 데이터는 CORDIC Stage로 들어가기 전에

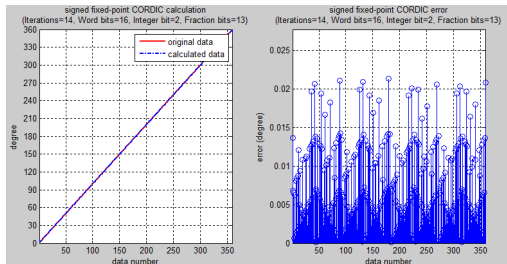


그림 1. MATLAB 시뮬레이션 결과

pre-process 블록을 통해 전처리 과정을 거친다. 이것은 복소 평면상에서 입력 벡터가 존재하는 사분면의 위치를  $x_{in}$ ,  $y_{in}$ 의 부호를 이용하여 알아내고 2 사분면과 3 사분면에 위치한 경우 실수와 허수를 보수를 취해주어 각각 1 사분면과 4 사분면으로 이동시켜 CORDIC 연산을 한다.

사분면을 이동 시키는 경우 위상의 초기 값인  $z_0$ 의 값을 각각  $\pi$ ,  $-\pi$ 로 두어 최종 위상 값이 오차가 없도록 보상하여주고, 일반적인 경우  $z_0$ 의 값은 0(zero)으로 둔다.

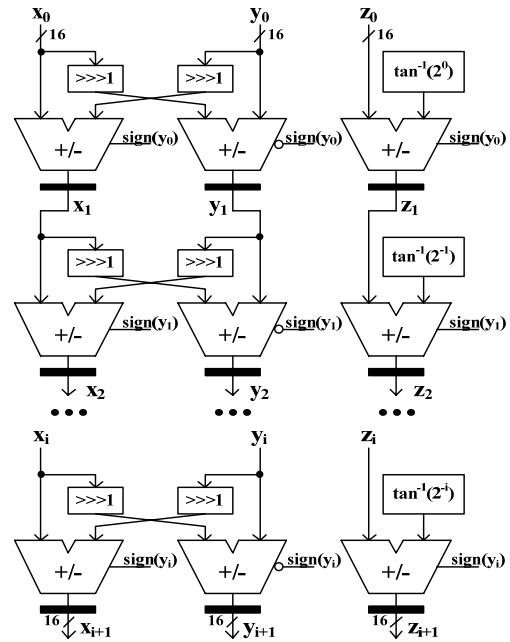


그림 2. Pipelined CORDIC Stage의 하드웨어 구조

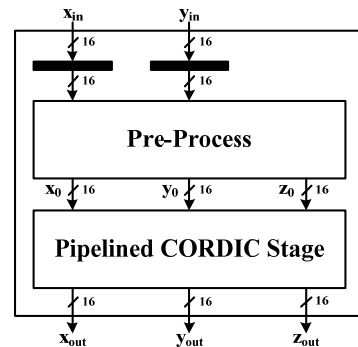


그림 3. CORDIC 위상연산기의 하드웨어 구조

#### V. 설계검증 및 성능평가

Verilog HDL로 설계된 CORDIC 기반의 위상 연산기는 MATLAB을 이용한 입력 데이터 생성과 Modelsim을 이용한 시뮬레이션을 통해 1차 기능 검증을 하였다. HDL 모델을 바탕으로

MATLAB/Simulink와 FPGA를 연동시킨 그림 4와 같은 FPGA-in-the-loop 환경을 통해 2차 FPGA 검증을 하였다. MATLAB에서 가상의 3차원 데이터를 생성하여 이를 원본 데이터로 두고 이에 해당하는 거리를 이용하여 실수, 허수 입력 벡터를 생성하였다. Simulink를 통해 앞서 생성된 벡터를 FPGA에 구현된 위상 연산기의 입력으로 주고 FPGA의 출력을 통해 나온 위상 데이터는 다시 Simulink를 통해 저장이 된다. 이는 MATLAB을 이용하여 3차원 데이터로 복원하기 위한 간단한 연산을 통해 그래픽으로 표현된다. 그 결과는 그림 5와 같다.

설계된 CORDIC 기반 위상 연산기의 FPGA 합성 결과 2,760 slices로 구현되었으며, 187 MHz로 동작하여 8.98 Gbps의 성능을 갖는 것으로 평가되었다.

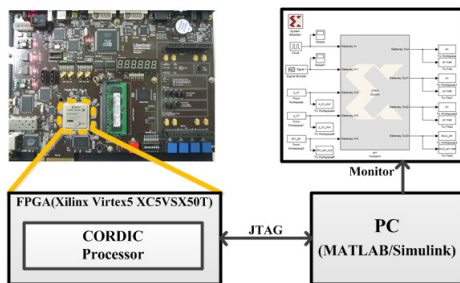


그림 4. FPGA-in-the-loop 검증 환경

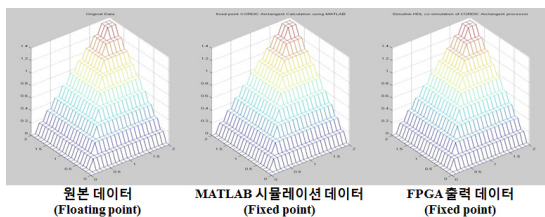


그림 5. FPGA 구현을 통한 3차원 데이터 복원

## VI. 결 론

3차원 영상처리용 TOF 센서의 거리 측정을 위한 CORDIC 기반의 위상 연산기를 설계하였다. 설계된 연산기는 입력 벡터 부호 1 비트, 정수 2 비트, 소수 13 비트로 총 16 비트의 고정 소수점 연산으로 14회의 CORDIC stage의 반복을 통해 위상 값을 계산한다. 이 결과 값은 0 ~ 360 도 까지 1 도 단위로 계산하였을 때, 최대 오차 2.13%, 평균 오차 0.72%를 만족하였다. 이는 TOF 센서의 최대 측정거리를 3m로 가정하였을 때 최대 오차 0.18mm, 평균 오차 0.06mm를 갖는다.

CORDIC 기반 위상 연산기는 FPGA 합성 결과 2,760 slices로 구현되었으며, 187 MHz로 동작하여 8.98 Gbps의 연산성능을 갖는 것으로 평가 되었다

## 참고문헌

- [1] S. Hussmann, T. Ringbeck, and B. Hagebecker, "A performance review of 3D TOF vision systems in comparison to stereo vision systems," in Stereo Vision. Vienna, Austria: I-Tech Edu. Publ., ch. 7, pp. 103-120, 2008.
- [2] 호요성, "다시점 카메라와 깊이 카메라를 이용한 3차원 실감방송 콘텐츠 제작," 전자공학 회지, 제38권 2호, pp. 44-49, 2011.
- [3] Jongenelen, A.P.P., "Development of a Compact, Configurable, Real-time Range Imaging System," Ph.D dissertation. School of Eng. Victoria University of Wellington, 2010.
- [4] S. Hussmann, T. Edeler, "Pseudo 4-phase shift algorithm for performance enhancement of 3D-TOF vision systems," IEEE Trans. Instrum. Meas., vol. 59, no. 5, pp. 1175-1181, May 2010.
- [5] S.B. Gokturk, H. Yalcin, and C. Bamji, "A time-of-flight depth sensor, system description, issues and solutions," in Proc. IEEE Conf. Computer Vision and Pattern Recognition, Washington, DC, p. 35, 2004.
- [6] R. Gutierrez, V. Torres, J. Valls, "FPGA-implementation of atan(Y/X) based on logarithmic transformation and LUT-based techniques," Journal of Systems Architecture, volume 56, issue 11, pp. 588-596, 2010.
- [7] M. Saber, Y. Jitsumatsu, T. Kohda, "A low-power implementation of arctangent function for communication application using FPGA," Fourth International Workshop on Signal Design and its Applications in Communications (IWSDA'09), pp. 60-63, 2009.
- [8] B.Lakshmi and A.S. Dhar, "CORDIC Architectures: A Survey," in Hindawi Publishing Corporation, VLSI Design, Volume 2010, Article ID 794891, 19 pages, 2010.