
64-위상 출력 클럭을 가지는 125 MHz CMOS 지연 고정 루프

이필호* · 장영찬*

*금오공과대학교

A 125 MHz CMOS Delay-Locked Loop with 64-phase Output Clock

Pil-Ho Lee* · Young-Chan Jang*

*Kumoh National Institute of Technology

E-mail : ycjang@kumoh.ac.kr

요 약

본 논문에서는 125 MHz 동작 주파수에서 64개 위상의 클럭을 출력하는 지연 고정 루프 (DLL: delay-locked loop)을 제안한다. 제안된 다중 지연 고정 루프는 delay line의 선형성을 개선하기 위해 4×8 matrix 구조의 delay line을 사용한다. CMOS multiplexer와 inverter-based interpolator를 이용하여 4×8 matrix 기반의 delay line에서 출력된 32개 위상의 클럭으로부터 64개 위상의 클럭을 생성한다. 또한 DLL에서 harmonic lock을 방지하기 위해 클럭의 duty cycle ratio에 무관한 initial phase locking을 위한 회로가 제안된다. 제안된 지연 고정 루프는 1.8 V의 공급전압을 이용하는 0.18- μ m CMOS 공정에서 설계된다. 시뮬레이션된 DLL은 40 MHz에서 200 MHz의 동작 주파수 범위를 가진다. 125 MHz 동작 주파수에서 최악의 위상 오차와 jitter는 각각 +11/-12 ps와 6.58 ps이다.

ABSTRACT

This paper describes a delay-locked loop (DLL) that generates a 64-phase clock with the operating frequency of 125MHz. The proposed DLL use a 4x8 matrix-based delay line to improve the linearity of a delay line. The output clock with 64-phase is generated by using a CMOS multiplex and an inverted-based interpolator from 32-phase clock which is the output clock of the 4x8 matrix-based delay line. The circuit for an initial phase lock, which is independent on the duty cycle ratio of the input clock, is used to prevent from the harmonic lock of a DLL. The proposed DLL is designed using a 0.18- μ m CMOS process with a 1.8 V supply. The simulated operating frequency range is 40 MHz to 200 MHz. At the operating frequency of a 125 MHz, the worst phase error and jitter of a 64-phase clock are +11/-12 ps and 6.58 ps, respectively.

키워드

Multi-phase clock, DLL, harmonic lock, interpolator

1. 서 론

CPU, DRAM, 그리고 통신과 같은 응용 분야의 interface 속도가 증가함에 따라 phase-locked loop(PLL), delay-locked loop(DLL)와 같은 clock generator가 중요시되고 있다. 더욱이 high speed interface에서의 timing margin을 향상시키기 위해서 PLL 혹은 DLL을 이용한 multi-phase clock generator와 같은 phase alignment 회로가 요구되고 있다. Multi-phase clock은 PLL에서는 voltage

controlled oscillator (VCO), DLL에서는 voltage controlled delay line (VCDL)의 delay cell 개수가 phase의 개수만큼 구성함으로써 만들어질 수 있다. 그러나 multi-phase clock generator의 VCO 혹은 VCDL에서 delay cell을 직렬로 구성하면 최대 동작 주파수에 제한된다. 이 같은 문제를 해결하기 위하여 phase interpolator를 사용한 PLL과 DLL이 제안되었다 [1]-[4]. Phase interpolator를 사용하면 직렬로 연결되는 delay cell의 개수를

줄이면서 다수개의 phase를 출력할 수 있다. 하지만 DLL의 입력단에서의 phase interpolation 시 발생하는 phase 간의 오차는 VCDL로 입력되어 phase 오차를 증폭시켜 phase resolution을 악화시킨다. 이러한 영향을 최소화하기 위해서 저항 네트워크 구조를 VCDL에 삽입한 delay matrix 구조가 연구되었다 [3]. 이러한 DLL 기반의 multi-phase clock generator 구조에서는 harmonic lock을 방지하는 회로가 요구된다. Harmonic lock이 발생되면 delay의 제어가 비정상적으로 동작하여 phase 오차가 크게 발생하기 때문이다. Harmonic lock을 방지하기 위해서 DLL의 최초 동작 시 VCDL의 초기 delay가 식 (1)과 같은 조건에 있어야 한다

$$\pi < VCDL_{delay} < 3\pi \quad (1)$$

위 조건을 만족하기 위해 일반적으로 coarse lock 회로를 추가하여 VCDL의 초기 delay 값을 결정한다. 이후 fine lock을 할 수 있도록 설계하여 harmonic lock을 방지한다. 본 논문에서는 harmonic lock을 효과적으로 방지할 수 있는 PD initial과 32-phase를 출력하는 delay matrix에서 두 개의 phase를 선택, phase interpolator하여 64-phase를 출력하는 DLL을 제안한다.

II. 64-Phase DLL

그림 1은 64-phase clock을 출력하는 DLL의 block diagram이다. 제안된 DLL은 phase detector (PD), charge pump (CP), VCDL인 Delay Matrix, VCDL의 입력 clock을 만들기 위한 First Interpolator, VCDL을 위한 바이어스 회로인 Delay Ctrl Bias, harmonic lock을 방지하는 PD_INIT, 32-phase에서 두 개의 clock을 선택하기 위한 binary multiplexer인 32-to-2 MUX, 그리고 32-phase를 64-phase로 출력하기 위한 Second Interpolator로 구성된다.

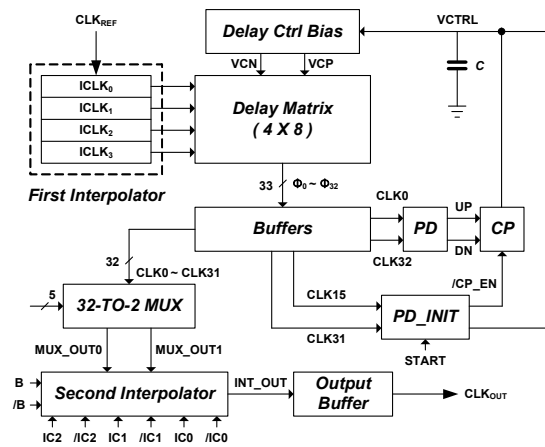


그림 1. DLL의 블록도

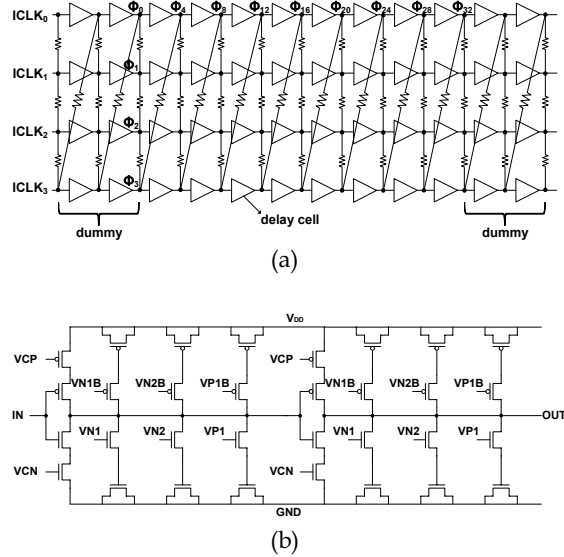


그림 2. (a) Delay Matrix의 블록도
(b) delay cell의 회로도

그림 2(a)에는 DLL의 Delay Matrix 회로도이다. Delay Matrix의 입력단과 출력단에는 multi-phase clock의 phase resolution을 향상시키기 위해 dummy가 추가되었다 [2]-[3]. 그리고 Delay Matrix에 의해서 생성되는 multi-phase clock의 phase 오차를 최소화하기 위해서 저항 네트워크 구조가 삽입되었다. Delay Matrix의 입력 clock (ICLK0~ICLK3)은 First Interpolator에 의해서 단위 delay cell의 time delay의 1/4에 해당되는 phase 차이를 가진다. 그림 2(b)는 delay cell의 회로도이다. delay cell은 current starved inverter 구조로 PMOS, NMOS의 bias 전압 (VCN, VCP)에 의해서 delay가 제어된다. bias 전압에 의해서 current가 증가되면 delay가 감소되고 반대로 current가 감소되면 delay가 증가된다. delay cell의 부하인 PMOS와 NMOS의 capacitance는 입력 code에 의해서 제어되고 Delay Matrix가 넓은 주파수 범위에서 동작할 수 있도록 한다

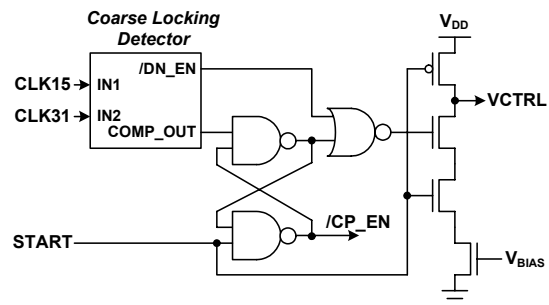


그림 3. PD_INIT 블록의 회로도

그림 3은 harmonic lock을 방지하는 PD_INIT 블록의 회로도이다. START 신호가 low level이면 VCTRL 신호는 VDD로 charge되어 있고 START

신호가 high level이 되는 순간 VCTRL 신호는 NMOS를 통해 GND로 discharge되어 전압이 하강된다. VCTRL 신호의 전압이 하강하면 delay cell의 time delay는 증가되며 CLK15와 CLK31의 phase 차이가 상승된다. phase 차이가 일정한 수준 이상이 되면 Coarse Locking Detector (CLD)의 COMP_OUT은 low level이 되고 이것에 의해 /CP_EN 신호가 high level이 되면서 coarse lock이 된다. /CP_EN 신호는 CP를 enable하여 fine lock이 수행되도록 한다.

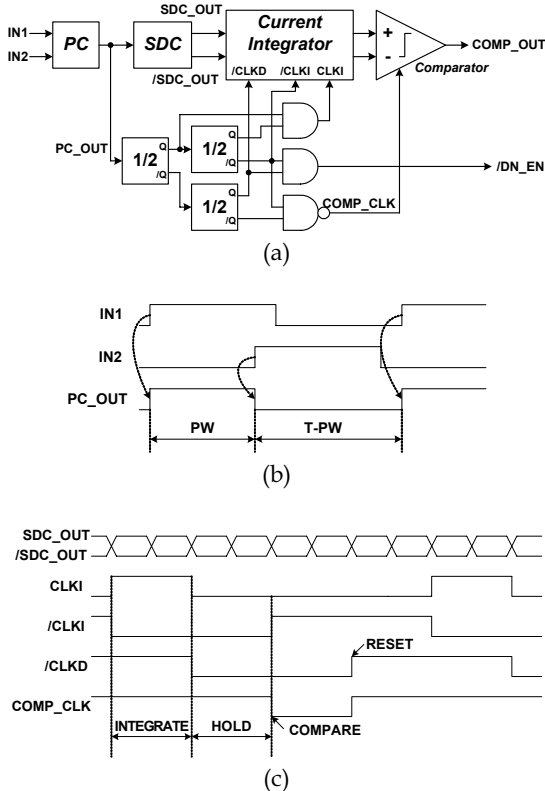


그림 4. (a) CLD의 블록도 (b) PC의 타이밍도 (c) Current Integrator와 Comparator의 타이밍도

그림 4(a)는 PD_INIT 블록 내의 CLD의 블록도이다. CLD로 입력되는 CLK15와 CLK31의 phase 차이에 의해서 coarse lock이 결정된다. Single-to-Differential Converter (SDC)는 single clock인 PC_OUT을 differential clock으로 만든다. Current Integrator는 differential clock의 pulse width에 의한 적분 결과를 출력한다 이 신호를 Comparator에서 비교하여 COMP_OUT으로 출력 coarse lock 여부를 결정한다. 그림 4(b)는 Pulse Combiner (PC)의 타이밍도이다 [5]. PC로 입력되는 CLK15와 CLK31의 rising edge에 의해서 PC_OUT의 pulse width가 결정된다. CLK15와 CLK31의 phase 차이가 커질수록 pulse width는 증가되고 coarse lock에 가까워진다. 그림 4(c)는 Current Integrator와 Comparator의 타이밍도로

INTEGRATE, HOLD, COMPARE, RESET의 주기를 반복한다 [5]. CLKI가 high level인 동안 Current integrator는 SDC_OUT, /SDC_OUT에 의해서 적분을 수행한다. CLKI가 low level이 되는 순간 적분 결과는 HOLD된다. HOLD된 적분 결과는 COMP_OUT에 동기된 Comparator에 의해서 비교되고 CLKIB와 CLKDB가 모두 high level이 되는 순간에 Current Integrator는 적분 결과를 RESET시킨다. CLD는 INTEGRATE, HOLD, COMPARE, RESET의 주기를 반복 CLK15와 CLK31의 phase 차이를 검출하여 coarse lock을 수행한다.

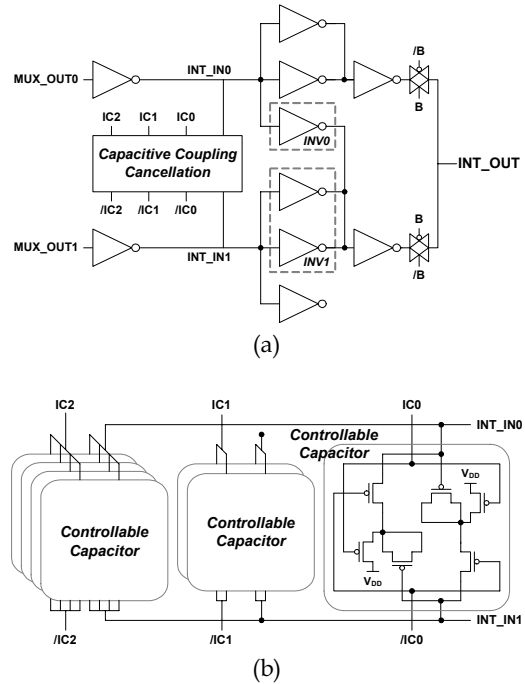


그림 5. (a) Second Interpolator의 블록도 (b) Capacitive Coupling Cancellation 블록의 회로도

그림 5(a)는 32-to-2 MUX로부터 선택된 두 개의 clock인 MUX_OUT0와 MUX_OUT1의 interpolation을 통해 64-phase의 클럭을 생성하는 회로이다 CMOS interpolator는 두 개의 inverter의 출력을 서로 연결하여 구성한다 [3]-[4]. 그러나 interpolation을 위한 두 개의 inverter에 기생하는 capacitor 성분으로 인해 capacitive coupling 현상이 발생되어 INT_IN0와 INT_IN1의 두 신호는 MUX_OUT0 와 MUX_OUT1 사이의 delay 차이를 유지하지 못한다. 본 논문에서는 이러한 문제를 해결하기 위해 그림 5(b)에 보이는 Capacitive Coupling Cancellation 회로를 추가하였다 IC0~IC2 신호들이 high level이 되면 Capacitive Coupling Cancellation 회로의 Controllable Capacitor가 INT_IN0과 INT_IN1사이에 capacitor 역할을 하여 phase 차이를 감소시키고 low level이 되면 INT_IN0과 INT_IN1 각 노드에 loading 역할을 하여 interpolator의 성능을 향상시킨다. 또한 CMOS interpolator의 inverter strength를 비대칭적으로

구성한다. $INV0$ 와 $INV1$ 의 inverter strength비를 1:2로 구성함으로써 기생 capacitor로 인해 발생하는 phase error를 줄이도록 하였다.

III. 칩 구현 및 simulation 결과

그림 6은 본 논문에서 제안하는 DLL의 layout이다. 1.8 V supply, 0.18- μm 1-poly 6-metal CMOS 공정을 이용하여 설계되었다. DLL의 동작 주파수는 40 MHz에서 200 MHz이고 출력파형의 jitter는 125 MHz 동작 주파수에서 6.58ps 이다. DLL layout의 면적은 $600 \times 500 \mu\text{m}^2$ 이다.

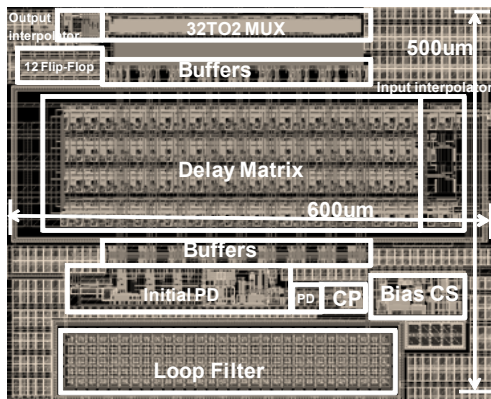


그림 6. 제작된 DLL의 layout

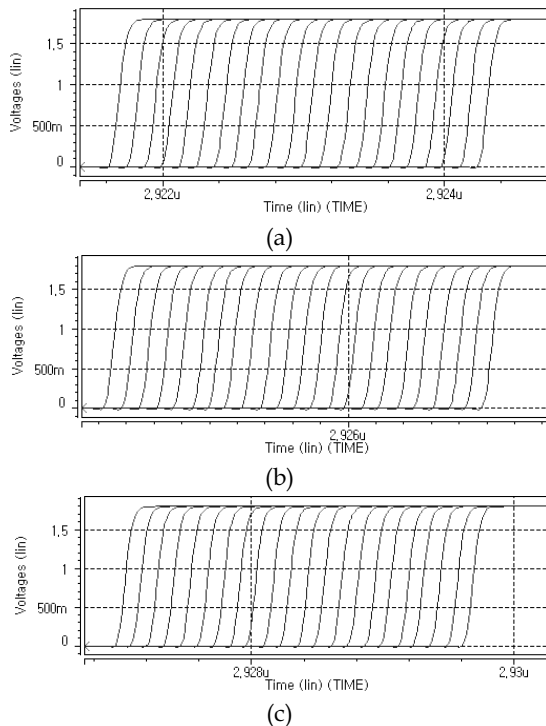


그림 7. 125 MHz 입력 clock에서의 CLK_{OUT} 파형
(a) $\theta_0 \sim \theta_{21}$ CLK_{OUT} 파형 (b) $\theta_{21} \sim \theta_{43}$ CLK_{OUT} 파형 (c) $\theta_{43} \sim \theta_{63}, \theta_0$ CLK_{OUT} 파형

그림 7 (a), (b), 그리고 (c)는 동작 주파수 125 MHz에서 설계된 DLL의 64-phase 출력파형이며, 125 ps의 phase 차이로부터 worst case +11/-12 ps 오차의 시뮬레이션 결과를 보인다

IV. 결론

제안된 64-phase 출력 클럭을 가지는 DLL은 1.8 V supply, 0.18- μm CMOS 공정에서 설계되었다. 40 MHz에서 200 MHz의 동작 주파수를 가지며 32단의 delay matrix 구조를 이용하여 선형성을 개선하였으며, interpolator를 이용하여 64 phase의 클럭을 출력한다. DLL의 초기 동작 시 harmonic lock을 방지하기 위한 회로가 추가되었다. DLL의 64-phase 출력을 위한 CMOS interpolator 회로는 출력 phase의 오차를 줄이기 위해 cross-talk 제거 회로가 추가되었으며, 두 inverter의 strength를 비대칭적으로 설계하여 기생 capacitor에 의한 phase error를 줄였다.

감사의 글

This research was supported by the Basic Science Research program through the National Research Foundation of Korea (NRF) funded by the Ministry of Education, Science and Technology (2010-0006314) and IDEC.

참고문헌

[1] Y. Moon, J. Choi, K. Lee, D. Jeong, and M. Kim, "An All-Analog Multiphase Delay-Locked Loop Using a Replica Delay Line for Wide-Range Operation and Low-Jitter Performance," IEEE J. Solid-State Circuits, vol. 35, no. 3, pp. 377-384, Mar. 2000.

[2] J.-M. Chou, Y.-T. Hsieh, and J.-T. Wu, "Phase averaging and interpolation using resistor strings or resistor rings for multi-phase clock generation," IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 53, no. 5, pp. 984 - 991, May 2006.

[3] Y.-S. Kim, S.-K. Lee, H.-J. Park and J.-Y. Sim, "A 110 MHz to 1.4 GHz Locking 40-Phase All-Digital DLL," IEEE J. Solid-State Circuits, vol. 46, no. 2, pp. 435-444, Feb. 2011.

[4] Y.-S. Kim, S.-J. Park, Y.-S. Kim, D.-B. Jang, S.-W. Jeong, H.-J. Park and J.-Y. Sim, "A 40-to-800 MHz locking multi-phase DLL," IEEE Int. Solid-State Circuits Conf. 2007 Dig. Tech Papers, pp.306 - 307, Feb. 2007.

[5] Y.-C. Jang, Jun-Hyun Bae, H.-J. Park, "A Digital CMOS PWCL With Fixed-Delay Rising Edge and Digital Stability Control," IEEE Trans. Circuits Syst. II, Express Briefs, vol. 53, no 10, pp. 1063-1067, Oct. 2006.