

---

# INMS 복호 알고리즘을 적용한 WiMAX용 LDPC 복호기의 성능분석 및 하드웨어 설계

서진호\* · 신경욱\*\*

금오공과대학교 전자공학부

Performance analysis and hardware design of LDPC Decoder for WiMAX using INMS  
algorithm

Jin-Ho Seo\* · Kyung-Wook Shin\*\*

School of Electronic Eng., Kumoh National Institute of Technology

E-mail : jinho0218@kumoh.ac.kr

## 요 약

본 논문에서는 Improved Normalized Min-Sum(INMS) 복호 알고리즘을 적용한 LDPC 복호기의 복호성능 및 복호 수렴속도를 고정소수점 Matlab 모델링과 시뮬레이션을 통해 분석한 후 Verilog-HDL로 하드웨어를 설계하였다. 설계된 LDPC 복호기는 IEEE 802.16e 모바일 WiMAX 표준의 19가지 블록길이(576~2304)에 따른 6가지 부호율(1/2, 2/3A, 2/3B, 3/4A, 3/4B, 5/6)을 지원한다. 하드웨어 복잡도를 고려하여 layered 복호방식의 블록-시리얼(부분병렬) 구조로 설계하였으며, SM(sign-magnitude) 수체계 연산을 기반으로 하는 DFU(Decoding Function Unit)를 적용하여 면적을 최소화하였다. 기존의 DFU에 적용된 min-sum 복호 알고리즘 보다 복호성능이 좋은 INMS 복호 알고리즘을 적용함으로써 LLR 비트 수를 1-비트 감소시켜 하드웨어를 최적화시켰다

## ABSTRACT

This paper describes performance evaluation using fixed-point Matlab modeling and simulation, and hardware design of LDPC decoder which is based on Improved Normalized Min-Sum(INMS) decoding algorithm. The designed LDPC decoder supports 19 block lengths(576~2304) and 6 code rates(1/2, 2/3A, 2/3B, 3/4A, 3/4B, 5/6) of IEEE 802.16e mobile WiMAX standard. Considering hardware complexity, it is designed using a block-serial(partially parallel) architecture which is based on layered decoding scheme. A DFU based on sign-magnitude arithmetic is adopted to minimize hardware area. Hardware design is optimized by using INMS decoding algorithm whose performance is better than min-sum algorithm.

## 키워드

LDPC, improved normalized min-sum algorithm, DFU, error correction code, WiMAX

## I. 서 론

4세대 통신시스템에서는 채널용량의 한계에 근접하는 높은 성능과 고속 복호가 가능한 새로운 채널부호화 기법이 요구된다. 4세대 이동통신 시스템을 위한 차세대 오류정정 방식으로 1962년 로버트 갤러거(R.Gallager)에 의해 제안된 LDPC(Low Density Parity Check) 부호<sup>[1]</sup>가 많은 관심을 받고 있다. 당시의 기술로는 구현이 어려워 관심을 받지 못하였으나 1990년대부터 재조명

되고 있으며, LDPC 부호의 생성 및 복호에 대한 연구가 활발히 진행되고 있다.<sup>[2,3]</sup> LDPC 부호는 모바일 WiMAX 표준(IEEE 802.16e), 무선랜 표준(IEEE 802.11n), 10 Gbps 이더넷 표준(IEEE 802.3an), 유럽 디지털 위성방송 표준(DVB-S2), 중국 지상파 디지털방송 DTTB(digital television terrestrial broadcasting) 등에서 채널부호화 방식으로 채택되고 있으며, LDPC 부호 및 복호기 설계기술은 차세대 고속 무선통신 시스템 및 단말기 구현의 핵심기술이 될 것이다 LDPC 부호의

복호는 기본적으로 반복복호를 기반으로 수행되며, 복호 알고리즘, 복호기 구조, 고정소수점 비트 수 등 다양한 요인들이 복호성능과 하드웨어 복잡도에 영향을 미친다.

본 논문에서는 INMS 알고리즘 기반의 LDPC 복호기를 Matlab으로 모델링하고, 고정소수점 시뮬레이션을 통해 복호 수렴속도와 BER (bit error rate) 성능을 분석하였으며, 이를 통해 IEEE 802.16e WiMAX용 LDPC 복호기에 적용하여 하드웨어를 최적화하고 복호성능을 향상 시켰다

## II. LDPC 부호 및 INMS 복호 알고리즘

LDPC 부호는 원소의 대부분이 '0'으로 구성되는 패리티 검사 행렬 (parity check matrix; PCM)에 의해 정의되는 선형 블록부호이며 PCM의 구성에 따라 여러 가지 형태로 구분된다 구조화된 부호의 일종인 quasi-cyclic(QC) LDPC 부호는  $m \times n$  크기의 PCM에 의해 정의되며,  $z_f \times z_f$ 의 치환행렬 (permutation matrix) 또는 영 행렬 (zero matrix)인 부행렬(sub-matrix)로 구성되고,  $m_b \times n_b$  크기의 이진 기저행렬 (binary base matrix)로부터 확장될 수 있다. 치환행렬은 단위행렬을 주어진 값만큼 오른쪽으로 순환 이동시킨 행렬을 나타낸다. IEEE 802.16e 표준<sup>[4]</sup>에 정의된 LDPC 부호의 PCM 파라미터는 표 1과 같이 19가지 블록길이와 6가지 부호율에 대해 114가지의 PCM을 규정하고 있다.

LDPC 부호는 Tanner 그래프 상의 검사노드 (check node; CN)와 변수노드(variable node; VN) 사이에서 반복적인 정보전달 과정에 의한 belief propagation 알고리즘으로 복호될 수 있다. Tanner 그래프는 PCM의 행과 열을 CN와 VN로 매핑시킨 이분(bipartite) 그래프이며, CN와 VN 사이의 연결은 PCM에서 1의 위치에 의해 결정된다. LDPC 부호의 복호는 two-phase 복호방식과 layered 복호방식으로 구분되며 합곱(sum-product; SP) 알고리즘<sup>[5]</sup>, SP 알고리즘의 연산 복잡도를 감소시킨 LLR(log-likelihood ratio)-SP 알고리즘<sup>[6]</sup>, LLR-SP 알고리즘을 근사화하여 연산 복잡도를 더욱 감소시킨 최소합(min-sum; MS) 알고리즘<sup>[7]</sup> 등 다양한 방법들이 제안되고 있다. 본 논문에서 사용된 Improved Normalized MS (INMS) 알고리즘<sup>[8]</sup>은 최소합 알고리즘의 CN 연산에서 Multiple Normalized Factor  $\alpha_1, \alpha_2$ 를 곱하여 복호성능을 향상 시킨 것으로 식(1)~(2)로 표현되며, 최솟값에는  $\alpha_1 = 0.75$ 를 곱하고 준최솟값에는  $\alpha_2 = 0.875$ 를 곱하여 복호성능을 높이게 된다.

$$L_{j \rightarrow i} = \left( \prod_{i' \in w(j)_i} \alpha_{i'j} \right) \cdot \left( \min_{i' \in w(j)_i} \beta_{i'j} \right) \cdot \alpha_v \quad (1)$$

$$\alpha_v = \begin{cases} \alpha_1, & \text{if } L_{i \rightarrow j, \min} \text{ is 1st min} \\ \alpha_2, & \text{if } L_{i \rightarrow j, \min} \text{ is 2nd min} \end{cases} \quad (2)$$

표 1. IEEE 802.16e 표준의 LDPC PCM 파라미터  
Table. 1 LDPC PCM parameters for IEEE 802.16e

파라미터	IEEE 802.16e			
블록길이( $n$ )	576+96f (0≤f≤18)			
부행렬 크기( $z_f$ )	24+4f (0≤f≤18)			
부호율( $R$ )	1/2,	2/3(A,B),	3/4(A,B),	5/6
layer 수( $m_b$ )	1/2	2/3(A,B)	3/4(A,B)	5/6
	12	8	6	4

## III. INMS 복호 알고리즘을 적용한 LDPC 복호기 설계

### 1. 고정 소수점 모델링 및 성능분석

INMS 복호 알고리즘의 복호성능을 분석하고 최적 하드웨어 설계조건을 찾기 위해 Matlab을 이용하여 LDPC 복호기를 모델링 하였다. 입력 데이터의  $E_b/N_o$ 를 1.5~3.0 dB 범위에서 0.3 dB 단위로 가변시키고 고정소수점 비트를 (4.3), (5.3)로 설정하여 시뮬레이션 하였다. ( $m, n$ )의 표현에서  $m$ 은 정수부분의 비트 수를 나타내며,  $n$ 은 소수부분의 비트 수를 나타낸다. 최대 반복복호 회수를 8로 설정하였으며, 100 프레임의 데이터를 시뮬레이션에 사용하여 평균 BER를 구하였다. 그림 1은 부호율이 1/2이고, 블록길이가 2304 비트 인 경우의 시뮬레이션 결과이다. INMS 복호 알고리즘을 적용한 모델링의 고정소수점 비트 폭 (4.3), (5.3)과 Min-Sum 복호 알고리즘을 적용한 모델링의 고정소수점 비트 폭 (4.3), (5.3)에 대해 시뮬레이션 하였으며, INMS 복호 알고리즘을 적용한 LDPC 복호기가 고정 소수점 비트 폭 (4.3)일 경우에 복호성능이 우수한 것을 알 수 있다. 이와 같은 결과를 토대로 본 논문의 회로설계에서는 INMS 복호 알고리즘을 고정소수점 비트 폭 (4.3)로 적용하였다.

### 2. LDPC 복호기의 전체 구조

본 논문에서 설계된 LDPC 복호기 프로세서는 two-phase 복호방식 보다 복호 수렴속도가 우수하며, 하드웨어 구조의 융통성이 좋은 layered 복

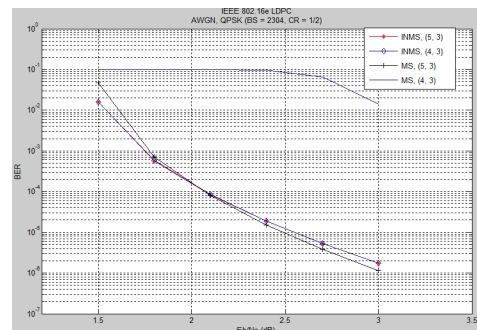


그림 1. 고정소수점 비트 폭에 따른 BER 성능  
Fig. 1. BER performance for fixed-point bit-widths

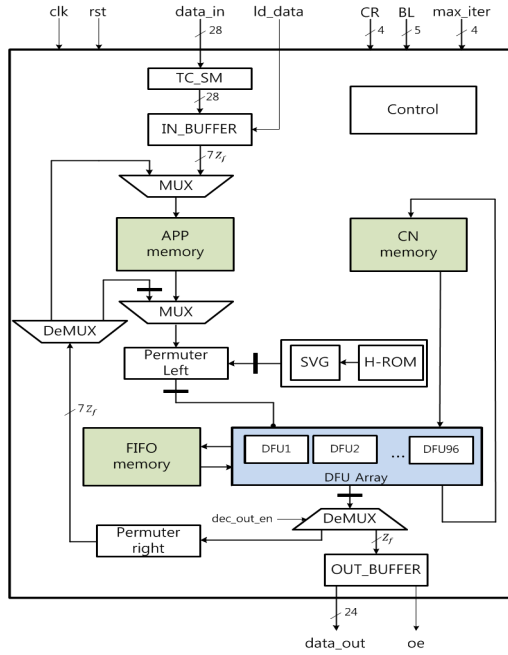


그림 2. 설계된 LDPC 복호기의 전체 구조  
Fig. 2. Architecture of the designed LDPC decoder

호방식을 적용하였다. 내부구조는 그림 2과 같으며, SM 수체계를 기반으로 INMS 복호 알고리즘의 연산을 수행하는 DFU (decoding function unit) 뱅크, PCM 정보를 저장하는 H-ROM, 결정변수 값을 저장하는 APP 메모리, 입력 데이터를 SM 수체계로 변환시켜주는 TC\_SM, 변환된 데이터를 부행렬 단위로 모아주는 입력버퍼, 부행렬 단위의 복호 완료 데이터를 27비트 단위로 나누어 출력하는 출력버퍼 그리고 제어블록으로 구성된다. 설계된 복호기의 동작은 다음과 같다. 28비트 단위로 입력되는 2의 보수 수체계 부호어는 TC\_SM 블록에 의해 sign-magnitude(SM) 수체계로 변환된 후, 부행렬 크기( $z_f \times 7$ ) 단위로 모아져 APP 메모리에 저장되며, 입력된 부호어는 부행렬 단위로 DFU에 의해 복호가 이루어진다. DFU는 이전 레이어의 복호결과 값을 APP 메모리에서 읽어와 복호연산을 수행한 후, 그 결과를 다음 레이어 연산과 다음 반복복호 연산을 위해 메모리에 저장하는 동작을 수행한다. 한 레이어의 복호에는  $l_c + 4$  (단,  $l_c$ 는 유효 부행렬 수) 클럭 주기가 소요되며, 1회의 반복복호에는  $(l_c + 4) \times m_b$  (단,  $m_b$ 는 레이어 수) 클럭 주기가 소요된다.

### 3. INMS 복호 알고리즘을 적용한 DFU 구조

DFU는 입력 부호어에 포함되어 있는 오류를 정정하기 위해 자신을 제외한 나머지 부호어들의 LLR(log-likelihood ratio) 값을 취합하여 원래의 부호어에 가장 가까운 LLR 값을 예측하는 기능을 수행하며, INMS 복호 알고리즘에 의한 CN 연산과 VN 연산을 수행하여 결정변수 값과 CN

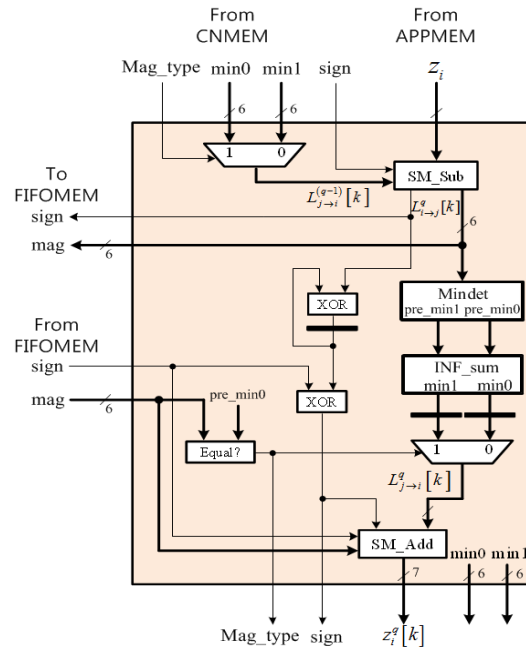


그림 3. 설계된 DFU의 구조  
Fig. 3. Architecture of the designed DFU

값을 계산한다. 부행렬(sub-matrix)단위로 복호 연산을 처리하는 block-serial 방식의 복호기에는 부행렬 최대 크기만큼의 DFU 배열이 사용된다.

INMS 복호 알고리즘 기반의 복호연산을 수행하는 DFU의 구조는 그림 3와 같으며, DFU 내부의 모든 연산이 SM 수체계로 처리되도록 함으로써 수체계 변환 블록을 사용하지 않는 것을 특징으로 한다. VN 값을 구하기 위한 SM 감산기(SM\_Sub), 최솟값 검출기(Min\_det), 부호비트 누산기, CN 연산 후의 결정변수 값을 구하기 위한 SM 가산기(SM\_Add), 그리고 최솟값과 준최솟값에 Multiple Normalized Factor를 연산하여 복호 성능을 향상시키는 Improved Normalized Factor 연산기(INF\_sum) 등으로 구성된다. 설계된 DFU 내부의 LLR값들은 7비트로 근사화 되어 연산되며, 부호와 크기를 분리하여 계산된다. INMS 복호 알고리즘이 적용된 DFU의 핵심적인 블록인 INF\_sum의 구조는 그림 4와 같다. 최솟값과 준최솟값에 Multiple Normalized Factor를 곱하는 연산 대신

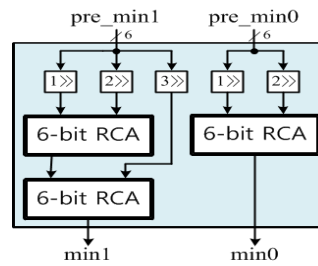
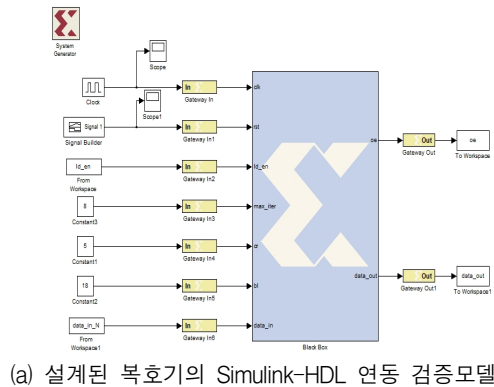


그림 4. INF\_sum 블록  
Fig. 4. INF\_sum block

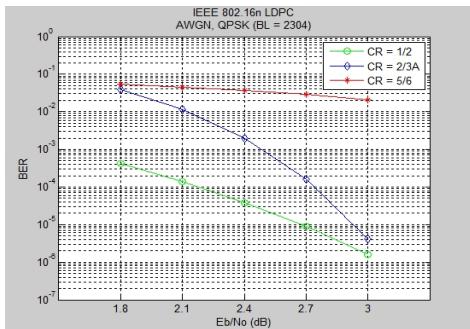
에 최솟값과 준최솟값을 오른쪽으로 시프팅 시키고 더하는 연산을 이용하여 곱셈기를 사용하지 않고 가산기 3개로 이루어진 조합회로를 사용함으로써 하드웨어를 최적화하였다

#### IV. 성능 평가 및 검증

설계된 LDPC 복호기는 Matlab을 이용한 랜덤 소스 벡터 생성, LDPC 부호화, QPSK 변조, 채널 잡음 삽입 그리고 복조 등을 통해  $E_b/N_0=1.8\text{dB} \sim 3\text{dB}$  (0.3dB 간격)의 시뮬레이션 벡터를 생성하였다. 7 비트로 양자화 된 벡터를 이용하여 Verilog HDL로 설계된 복호기의 ModelSim 시뮬레이션을 수행하였으며, 벡터와의 비교를 통해 정정되지 못한 오류 비트들을 찾아 복호성능을 분석하였다. 설계된 복호기는 그림 5-(a)과 같이 Matlab Simulink를 이용하여 Verilog HDL로 설계된 복호기를 Xilinx Blockset으로 모델링 하였으며, Matlab을 통해 생성된 테스트벡터를 복호기의 입력 데이터로 사용하여 Simulink-HDL 연동 검증을 하였다. 최대 반복복호 회수를 8로 설정하였으며, 100 프레임의 데이터를 시뮬레이션에 사용하여 평균 BER를 구하였다. 그림 5-(b)는 블록길이가 2304 비트이고 부호율이 1/2, 2/3A, 5/6 인 경우의 BER 성능 그래프이다.



(a) 설계된 복호기의 Simulink-HDL 연동 검증모델



(b) BER 성능 그래프

그림 5. 설계된 복호기의 Simulink-HDL 연동 검증 (블록길이: 2304, 부호율: 1/2, 2/3A, 5/6, 반복복호 수: 8회)  
Fig. 5. Simulink-HDL co-verification of LDPC decoder (block length: 2304, code rate: 1/2, 2/3A, 5/6, iteration: 8)

#### V. 결론

INMS 복호 알고리즘을 적용하여 IEEE 802.16e의 19가지 블록길이와 6가지 부호율을 지원하는 LDPC 복호기를 설계하고 검증하였다. Matlab으로 복호기를 모델링하여 INMS 복호 알고리즘의 복호 성능을 검증하고 최적설계조건을 도출하였다. 설계된 복호기는 입력 LLR 비트 수를 (4,3)으로 적용하여 하드웨어를 최적화하였으며 복호성능을 향상시켰다.

#### 참고 문헌

- [1] R. Gallager, "Low-Density Parity-Check Codes," IRE Trans. Info. Theory, vol. IT-8, pp. 21-28, Jan. 1962.
- [2] D.J.C. MacKay and R. M. Neal, "Near Shannon limit performance of low density parity check codes," IEE Electronic Letter, vol. 32, no. 18, pp. 1645-1646, Aug. 1996.
- [3] T. R. Richardson and R. Urbanke, "Efficient Encoding of Low Density Parity-Check Codes," IEEE Trans. Inform. Theory, vol. 47, pp. 638-656, Feb. 2001.
- [4] IEEE 802.16e, Part 16: Air interface for fixed and mobile broadband wireless access systems, IEEE std 802.16e-2005, Feb. 2006.
- [5] F.R. Kschischang, B.J. Frey, and H.A. Loeliger, "Factor graphs and the sum product algorithm," IEEE Transaction on Information Theory, vol. 47, pp. 498-519, Feb., 2001.
- [6] J. Chen and M. Fossorier, "Density evolution for two improved BP-based decoding algorithms of LDPC codes," IEEE Commun. Lett., vol. 6, pp. 208-210, May, 2002.
- [7] M. Fossorier, M. Mihaljevic and H. Imai, "Reduced complexity iterative decoding of low-density parity check codes based on belief propagation," IEEE Trans. Commun., vol. 47, pp. 673-680, May 1999.
- [8] Daesun Oh, Parhi. K.K., "Min-Sum Decoder Architectures With Reduced Word Length for LDPC Codes, IEEE Trans. Circuits and Systems, vol. 57, pp. 105-115, Jan., 2010.