

## 컴퓨터 생성 홀로그램 시스템의 버스 구조 분석

\*한익섭 \*\*이윤혁 \*\*\*서영호 \*\*\*\*김동욱

광운대학교 플라즈마 바이오디스플레이 학과

\*hpsycho@gmail.com

## Bus Architecture Analysis for System of Computer Generated Hologram

\*Han, Ic-Syup \*\*Lee, Yoon-Hyuk \*\*\*Seo, Younh-Ho \*\*\*\*Kim, Dong-Wook

Dep. Plasma Bio Display Kwangwoon University

## 요약

최근 차세대 영상 기술로 홀로그래피가 많은 주목을 받고 있다. 컴퓨터를 이용한 홀로그램 생성 방법(computer generated hologram, CGH)을 많이 사용하고 있는데 CGH는 많은 연산량이 요구되기 때문에 실시간의 CGH를 위해서 FPGA나 GPU를 이용한 연산 방법이 주로 사용되고 있다. 하드웨어를 기반으로 하여 구현할 경우에 내부 시스템의 비트 제한으로 인하여 S/W와 같은 품질을 얻을 수 없다. 따라서 본 논문에서는 품질의 저하를 최소화하면서 하드웨어의 자원을 최대한 감소시킬 수 있는 하드웨어 비트 너비를 분석하여 가이드라인을 제시하고자 한다.

## 1. 서론

홀로그래피는 1948년 Gabor에 의해 최초로 제안된 이래 3차원 정보를 기록할 수 있다는 특징 때문에 많은 연구자들의 관심을 끌었다. 기존의 홀로그래피는 홀로그램 필름에 3차원 정보를 기록하고, 현상된 필름을 사용하여 3차원 물체를 복원하는 방식을 사용함으로써 그 응용이 크게 제한되었다. 이러한 단점을 극복하기 위한 새로운 접근방법으로 1966년 이후 많은 연구자들이 컴퓨터에 의한 홀로그램(computer-generated hologram, CGH)의 제작을 연구해 오고 있다 [1]. CGH를 이용하여 한 프레임에 해당하는 홀로그램을 생성하기 위해서는 많은 연산 량과 시간이 소요되기 때문에 실제로 소프트웨어로 CGH를 실시간으로 처리하는 것은 불가능하고 하드웨어로 구현되어야 하며, 지금까지 CGH를 위해 하드웨어를 활용한 많은 연구가 진행되어 왔다 [1]. 이러한 연구들은 GPU 기반의 소프트웨어 방식 [2]과 FPGA 기반의 하드웨어 칩 구현 방식 [2]으로 나누어진다.

## 2. 컴퓨터 생성 홀로그램

디지털 홀로그램은 간섭무늬를 광학 필름 대신에 CCD 카메라에 기록하고 비디오 신호로 전송 혹은 저장한다. 기록된 홀로그램을 재생하기 위해서는 spatial light modulator(SLM)에 표시된 간섭무늬 데이터에 레이저광을 조사한다.

홀로그램은 광학계를 이용하여도 취득할 수 있지만 이러한 광학계 자체를 수학적으로 모델링한 후에 연산에 의해서 취득할 수도 있다. 이러한 수학적 연산을 통해 얻어진 홀로그램을 컴퓨터 생성 홀로그램(computer-generated hologram, CGH)이라고 한다. 여러 종류의 CGH가 있지만 본 논문에서는 "Phase" 방식을 사용한다. CGH는 식 (1)과 같이 정의되는데 앞서서 설명한 것과 같이 홀로그램의 위상( $\theta_H$ )

으로부터 홀로그램의 강도( $I_o$ )를 얻는 방법이다. 식 (1)는 Fresnel Approximation에 의해서 식 (2)으로 근사화된 [2].

$$I_o = \sum_j^N A_j \cos(\theta_H + \phi_o + \phi_j) \quad (1)$$

$$\theta_H = \sqrt{(px_o - px_j)^2 + (py_o - py_j)^2 + z_j^2}$$

$$I_o = \sum_j^N A_j \cos(2\pi(\theta_Z + \theta_{XY}) + \phi_o + \phi_j) \quad (2)$$

$$\theta_Z = \frac{z_j}{\lambda}, \theta_{XY} = \frac{p^2}{2\lambda z_j} (x_{\alpha j}^2 + y_{\alpha j}^2)$$

식 (2)의 ( $\theta_Z + \theta_{XY}$ )는  $2\pi$ 주기로 하여 반복되는 코사인 함수이므로 수행 결과에서 정수부분을 고려하지 않아도 된다. 따라서 소수부분의 연산만 수행함을 나타내는  $\text{mod}[\ ]$ 를 도입하면 식 (3)과 같이 나타낼 수 있다. 식 (2)와 (3)의 경우 같은 연산이지만 하드웨어 측면에서 볼 때 정수 부분의 연산이 없기 때문에 많은 양의 연산을 감소할 수 있다.

$$I_o = \sum_j^N A_j \cos(2\pi \times \text{mod}[\theta_Z + \theta_{XY}] + \phi_o + \phi_j) \quad (3)$$

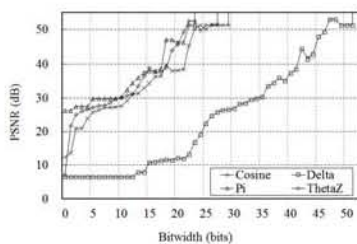
## 3. 고정 소수점의 수치적 해석

CGH는 변수들이 다양한 범위를 갖는다. 즉 큰 정수부의 변수와 큰 소수부의 변수들 간의 연산이 빈번하다. 이러한 연산의 경우 고정 소수점 연산기의 자원을 증가시키면서 연산 결과에 대하여 효율성은 좋지 않다. 따라서 하드웨어 구현에 앞서 연산 결과와 연산기의 비트너비를 정한다. 소프트웨어로 구현하는 경우에는 높은 정밀도를 가지므로 오차가 발생하지 않지만 하드웨어로 구현할 경우에는 하드웨어의

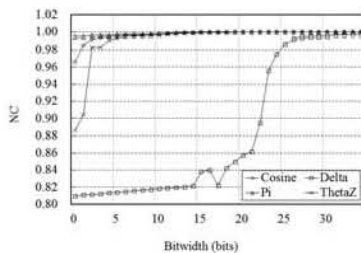
자원의 제한으로 인하여 정밀도의 한계를 갖는다.

본 논문에서 고정 소수점의 수치적 해석을 위한 CGH 변수는  $\pi$ ,  $\Delta$ ,  $\theta_z$ ,  $\cos \theta$ 로 식 (3)에서  $\theta_z$ 는  $\frac{z_j}{\lambda}$ 이고  $\Delta$ 는  $\theta_{XY}$ 내의  $\frac{p^2}{2\lambda z_j}$ 이고 Peak Signal-to-Noise Ratio(PSNR)와 Normalized Correlation(NC)를 이용하였다.

비트너비의 계약을 통하여 생성한 디지털 홀로그램을 복원한 객체에 대한 PSNR 및 NC 결과를 그림 1에 나타내었다. 그림 1(a)의 PSNR 결과를 보면  $\Delta$ 가 가장 많은 비트너비를 요구하는 것을 알 수 있다. 일반적으로 30dB 이상이 되어야 시각적인 품질이 좋은 것으로 판단하기 때문에  $\pi$ 는 약 2bit,  $\Delta$ 는 25bit,  $\theta_z$ 는 3bit,  $\cos \theta$ 는 3bit 이상의 비트 너비를 가져야 한다.



(a)



(b)

그림 1 고정 소수점 시뮬레이션 (a) PSNR (b) NC

#### 4. 복원 객체의 시각적 해석

그림 2에 CGH 변수의 고정소수점 제한에 따라 제한되어 생성된 홀로그램의 복원 결과를 나타 내었다. 그림을 살펴보면 PSNR 및 NC와는 다르게 복원 객체의 결과는 시각적으로 거의 유사한 것을 확인할 수 있다. 코사인 함수의 경우에 1비트만 할당되어도 32비트가 할당된 경우와 거의 유사한 결과를 나타낼 수 있다. 또한  $\pi$ 는 비트수가 결과에 거의 영향을 미치지 않는다는 것도 알 수 있다. 그러나  $\Delta$ 는 20비트 이상이 되어야만 원래의 객체와 유사해진다. 즉, 비트 너비가 매우 민감하다는 것을 확인할 수 있다.  $\theta_z$ 도 연산에서 제외시키더라도 결과에 크게 영향을 미치지 않는다는 것을 알 수 있다. 그러나 그림 2의 결과는 1m 거리에서의 복원된 객체의 단면을 나타내는 것이기 때문에 전체적인 영향을 고려한다면 연산에서 제외시킬 수는 없다. 결론적으로 고정소수점 연산을 이용하여 CGH를 위한 하드웨어의 비트수를 결정할 때에는 홀로그램 및 복원된 객체의 PSNR 및 NC와 함께 시각적인 관찰을 동시에 고려해야 한다.

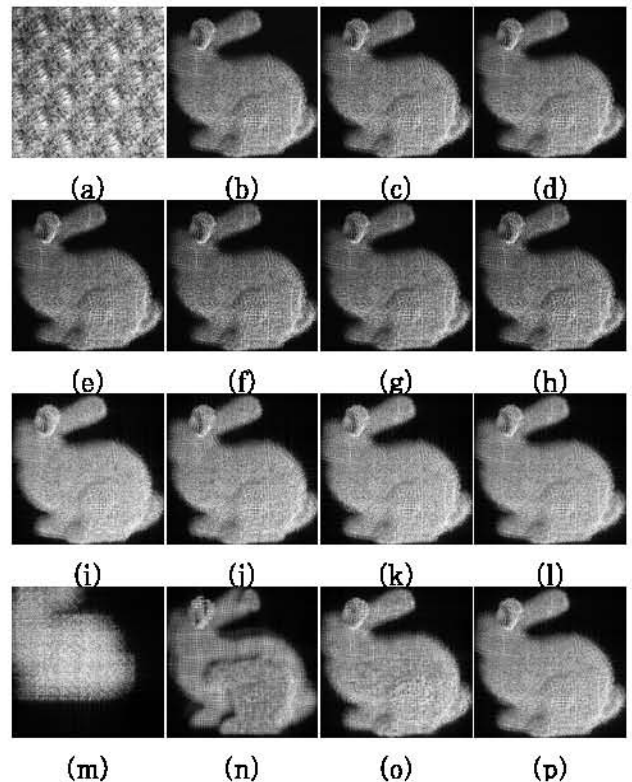


그림 2 CGH 변수의 고정 소수점의 변화에 따른 시각적 결과  
코사인 함수: (a)0 (b)1 (c)16 (d)32 비트,  $\pi$ :(e)0 (f)16 (g)24 (h)32 비트,  $\theta_z$ :(i)0 (j)2 (k)3 (l)32 비트,  $\Delta$ :(m)10 (n)16 (o)25 (p)52비트.

#### 5. 결론

본 논문에서는 ASIC 및 FPGA등의 하드웨어 기반으로 컴퓨터 생성 홀로그램을 구현할 때 시스템의 비트 너비에 분석하여 가이드라인을 제시하였다. 이 과정은 고정소수점 시뮬레이션을 통한 수치적인 결과와 시각적인 결과를 종합적으로 고려하였다. 이 결과들을 통하여 설계자는 응용 환경에 따라 시스템의 성능을 선택할 수 있다.

#### 감사의 글

본 연구는 지식경제부, 방송통신위원회 및 한국산업기술평가관리원의 산업원천기술개발사업(정보통신)의 일환으로 수행하였음. [KI002058, 대화형 디지털 홀로그램 통합서비스 시스템의 구현을 위한 신호처리 요소 기술 및 하드웨어 IP 개발]

#### 참고문헌

- [1] H. Yoshikawa, S. Iwase, and T. Oneda, "Fast Computation of Fresnel Holograms employing Differences", Proceeding of SPIE, vol. 3956, 2000.
- [2] Y.-H. Seo, Y.-H. Lee, J.-S. Yoo, and D.-W. Kim, "A New Hardware Architecture of High-Performance Digital Hologram Generator on the basis of Pixel-by-Pixel Calculation Scheme," Applied Optics, 2012.