

2차원 블록 단위 기반의 고성능 컴퓨터 생성 홀로그램 생성기의 구조

*이윤혁 **서영호 ***김동욱

광운대학교

*winner9100@kw.ac.kr

A High-Performance Architecture for 2 Dimensional Block-Based Computer Generated Hologram

*Lee, Yoon-Hyuk **Seo, Young-Ho ***Kim, Dong-Wook

Kwangwoon University

요약

본 논문에서는 홀로그램을 실시간으로 생성하기 위하여 수정된 디지털 홀로그램(computer-generated hologram, CGH) 수식을 제정의 하여 3단계로 나누고 2차원 블록 단위 기반의 컴퓨터 생성 홀로그램 생성기의 하드웨어 구조를 제안하였다. 유효 광원의 대한 z 축 항에 대하여 연산하는 공통항 연산기와 x, y 축을 연산하는 좌표값 연산기 마지막으로 각 화소의 대하여 연산하는 화소값 연산기로 이루어진 하드웨어를 제안하고 구현 하였다. 구현한 하드웨어는 32×32 중간 블록의 구조를 가질 때 기존 연구에 비하여 86%이상의 DSP블록을 줄일 수 있다.

1. 서론

CGH를 이용하여 한 프레임에 해당하는 홀로그램을 생성하기 위해서는 많은 연산량과 시간이 소요되기 때문에 고속의 연산방법이 필요하다. 이런 고속 CGH를 위한 여러 알고리즘들이 개발되어 왔다[1]. 일본 Nihon대학은 root연산을 Taylor 전개를 통해 변형한 후 CGH 수식의 근사화를 통해 고속화 알고리즘을 정리하였다[2]. 일본의 Chiba 대학은 [2]에서 제안한 근사화를 이용한 고속 알고리즘을 변형시켜 x 축에서 반복덧셈만을 수행하여 CGH를 계산하는 알고리즘을 제안하고 FPGA를 이용한 하드웨어로 구현하였다. 최근 [2]에서는 하나의 홀로그램 화소를 완전히 생성하는 방법을 제안하여 메모리 대역폭을 2,000 배 가량 축소하는 연구도 수행되었다. 본 논문에서 제안한 하드웨어의 목표는 이전에 연구된 고성능의 CGH 하드웨어와 동일한 성능을 가지면서 하드웨어 자원량이 최소화되는 것을 목표로 한다.

2. 수정된 CGH 알고리즘

홀로그램은 광학계를 수학적으로 모델링한 연산에 의해서 구할 수 있다. 이러한 수식을 통해 홀로그램을 얻을 때 컴퓨터 생성 홀로그램(Computer-Generated Hologram, CGH)라고 하고, 그 증명은 본 논문에서 다루지 않는다.

CGH는 식 (1)과 같이 정의 되는데 광원으로부터의 위상으로 홀로그램의 강도(I_α)를 구할 수 있다. N 은 객체의 총 광원 수이고, p_j 는

3차원 객체의 화소 하나의 크기이며 x_j 와 y_j , z_j 는 객체의 위치를 나타낸다. x_α 와 y_α 는 홀로그램 평면의 위치 그리고 p_α 는 홀로그램 평면의 화소 하나의 크기이다.

$$I_\alpha = \sum_j^N A_j \cos \left[\frac{2\pi}{\lambda} \sqrt{(p_\alpha x_\alpha - p_j x_j)^2 + (p_\alpha y_\alpha - p_j y_j)^2 + z_j^2} \right] \quad (1)$$

식 (1)에서 객체의 화소 크기와 홀로그램 평면의 화소 크기가 같다고 가정하고, $p x_{\alpha j} = p_\alpha x_\alpha - p_j x_j$, $p y_{\alpha j} = p_\alpha y_\alpha - p_j y_j$ 라고 하고 이 값이 $|p x_{\alpha j}|, |p y_{\alpha j}| \ll z_j$ 일 경우 Taylor 급수전개를 이용한 Fresnel 근사를 통해서 식(2)와 같이 구할 수 있다[2].

$$I_\alpha = \sum_j^N A_j \cos \left[2\pi \left\{ \frac{z_j}{\lambda} + \frac{p^2}{2\lambda z_j} (x_{\alpha j}^2 + y_{\alpha j}^2) \right\} \right] \quad (2)$$

식 (2)를 x 축과 y 축의 관하여 정리하면 식 (3)과 같이 제정의 할 수 있다. 식 (3)에서 각 축의 θ 항은 $\theta_x = \Delta x_{\alpha j}^2$, $\theta_y = \Delta y_{\alpha j}^2$, $\theta_z = z_j/\lambda$ 로 정의할 수 있고, $\Delta = p^2/2\lambda z_j$ 로 정의 할 수 있다.

새롭게 제정의 된 식을 이용하면 3단계로 나눌 수 있다. 제 1단계로는 유효 광원에 대한 θ_z 와 Δ 항을 구하는 단계이고, 제 2단계로는 1단계에서 구한 Δ 항을 이용하여 홀로그램 평면의 한 블록의 축에 관

한 θ_x 항과 θ_y 항을 구하는 단계이다. 마지막으로 제 3단계는 1단계와 2단계에서 구한 $\theta_x, \theta_y, \theta_z$ 를 이용하여 코사인 값과 유효 광원의 밝기의 곱을 누적 덧셈하여 광원의 밝기를 구하는 단계이다.

3. CGH 하드웨어 구조

본 장에서는 새롭게 제 정의된 수식을 바탕으로 새로운 CGH 하드웨어 구조를 제안한다. 제안하는 구조는 기본적으로 모든 광원에 대하여 홀로그래프 평면에 화소 하나씩 계산하는 방식으로 [2]에서 제안하는 방식이다. 이러한 방식을 동시에 여러 화소에 대하여 연산하는 병렬화가 가능하고 이를 위해서는 다수의 연산하는 하드웨어의 셀이 필요하다. 이 셀의 단위를 행 또는 열단위로 병렬화를 할 수 있고[2], 블록 단위의 병렬화를 할 수 있다. 행 또는 열단위의 구조의 연산량 혹은 데이터 처리율은 블록 단위 구조를 가지는 하드웨어와 거의 동일하지만 블록 단위에 구조를 갖는 하드웨어는 각 위치에서의 좌표에 대한 연산이 가능할 경우 한번의 연산으로 여러 셀에서 이를 이용할 수 있으므로 더 작은 하드웨어로 같은 성능을 구현할 수 있다. 앞 장에서 설명한 새롭게 제 정의 된 수식은 x, y, z 축에 좌표에 대하여 따로 구할 수 있다. 그림 1은 새롭게 제 정의 된 수식을 이용하여 CGH 하드웨어의 전체 구조를 나타내었다. 유효광원 연산기는 앞에서 설명한 1단계에 해당하며 유효 광원에 대한 θ_z 와 Δ 값을 LUT(Look-Up-Table)을 이용한다. 또한 좌표값 연산기는 2단계에 해당하고 θ_z 와 Δ 를 이용하여 각 좌표의 θ_x 와 θ_y 를 구한다. 이 셀은 두 개의 곱셈기와 하나의 감산기로 이루어 졌고 이를 그림 2에 나타내었다. 화소 연산기는 3단계에 해당하고 세 개의 덧셈기와 하나의 곱셈기로 이루어지고 이를 그림 3에 나타내었다.

4. 구현 결과

제안한 하드웨어 구조는 Altera사의 Quartus를 이용하여 verilog HDL로 설계하였고 ModelSim을 통하여 검증을 하였다. FPGA로 구현한 하드웨어는 이전 연구[2]와 동일한 Band width를 가지도록 설계 하였기 때문에 동일한 화질의 홀로그래프를 얻을 수 있고 순차적으로 연산하기 때문에 동일한 데이터 처리율을 가진다. 하지만 블록 단위에 구조를 가지기 때문에 더 작은 하드웨어를 가지고 이를 표1에 나타내었다. 32x32블록의 총 DSP 블록은 1,408개를 차지하는데 이는 이전 연구 [2]에 비하여 86%이상 감소한다.

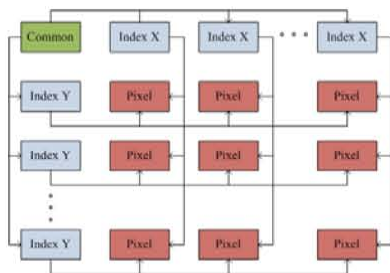


그림 1 CGH 하드웨어 전체 구조

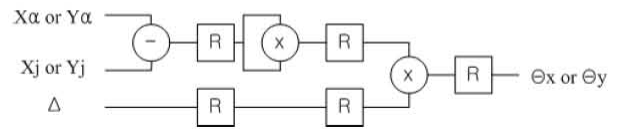


그림 2 좌표값 연산기의 세부구조

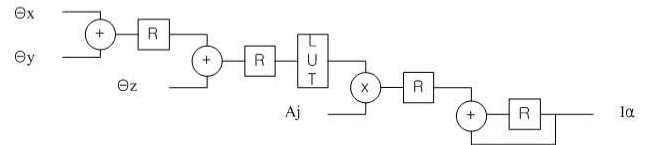


그림 3 화소값 연산기의 세부구조

표 1 하드웨어 자원 양

Logic	[2]	Propose	
		Index	Pixel
Combinational	88	27	48
Register	80	93	80
DSP Block	10	6	1

5. 결론

본 논문에서는 기존의 수정된 CGH 수식을 제 정의 하여 이전의 고성능의 CGH 생성기의 하드웨어 자원 양을 최소화 할 수 있는 구조를 제안하고, 구현하였다.

감사의 글

본 연구는 지식경제부, 방송통신위원회 및 한국산업기술평가관리원의 산업원천기술개발사업(정보통신)의 일환으로 수행하였음. [KI002058, 대화형 디지털 홀로그래프 통합서비스 시스템의 구현을 위한 신호처리 요소 기술 및 하드웨어 IP 개발]

참고문헌

- (1) H. Yoshikawa, S. Iwase, and T. Oneda, "Fast Computation of Fresnel Holograms employing Differences", Proceeding of SPIE, vol. 3956, 2000.
- (2) Y.-H. Seo, Y.-H. Lee, J.-S. Yoo, and D.-W. Kim, "A New Hardware Architecture of High-Performance Digital Hologram Generator on the basis of Pixel-by-Pixel Calculation Scheme," Applied Optics, 2012.