

MOSFET 전력 스위치 도통 손실 감소에 의한 벅 변환기의 중 부하 조건에서의 효율 개선

Buck Converter Efficiency Improvement in Heavy Load Condition by Conduction Loss Reduction of MOSFET Power Switch

*#유정석¹, 유화열², 장지수¹

*#J. S. Yoo(jungsuk.yoo@samsung.com)¹, H.Y.Yu², J. S. Chang¹

¹삼성전자 공과대학교 반도체 공학과, ²삼성전자

Key words : Buck converter, Heavy load, Efficiency, Conduction Loss, MOSFET, Power switch

1. 서론

최근에 휴대폰이나 노트북과 같이 배터리 전원을 기반으로 하는 무선 통신 제품들이 생활의 필수품이 되면서 전력 관리의 중요성이 부각되고 있다. 충전 상태에 따라 변화하는 배터리 전원 전압(입력 전압)을 일정한 출력 전압으로 변환시키는 기능을 하는 벅 변환기는 전력 관리 시스템의 핵심 회로이며 가장 중요하게 요구되는 사양은 효율이다.

MOSFET (Metal-Oxide Semiconductor Field-Effect Transistor)을 이용하여 집적화 시킨 벅 변환기의 효율을 제한하는 가장 큰 요인은 경 부하 조건일 경우에는 전력 스위치의 스위칭 손실이며 중 부하의 경우에는 도통 손실이다 [1]. 본 논문에서는 전력 스위치의 도통 손실을 감소시킴으로써 중 부하 조건에서 벅 변환기의 효율을 개선시키는 방법을 소개하고자 한다.

2. PWM 벅 변환기 개요

벅 변환기가 중 부하 조건에서 동작하는 경우에는 스위칭 주파수를 높임으로써 작은 인덕터의 사용을 가능하게 하는 PWM (Pulse Width Modulation) 제어 방식이 일반적으로 사용된다 [1]. Fig. 1 은 일반적인 PWM 벅 변환기의 블럭도를 나타낸다. 출력 전압과 기준 전압의 차이를 증폭한 후 PWM 신호를 생성하여 MOSFET 전력 스위치 MP 와 MN 의 스위칭 동작을 제어한다. 인덕터와 캐패시터는 전력 스위치들의 스위칭에 의해 생성되는 전압

V_x 의 평균값을 최종 출력 전압으로 만들어 내는 역할을 한다.

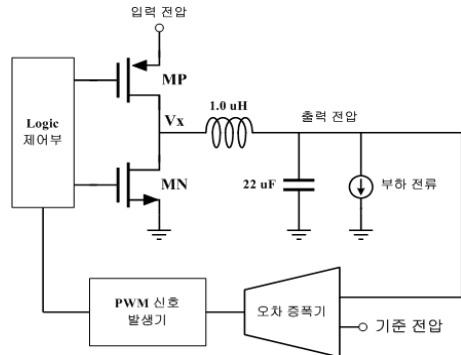


Fig. 1 PWM 벅 변환기의 블럭도

MP 와 MN 의 물리적인 크기와 전기적인 특성에 의하여 벅 변환기의 효율이 결정되는데 중 부하 조건일 경우에는 도통 손실 감소를 위하여 작은 저항 값을 갖도록 설계하는 것이 중요하다.

3. 도통 손실 감소 방법과 개선 효과

반도체 집적 회로 내부에는 칩을 제작하기 위하여 패키지 선과 연결되는 입출력 패드가 존재하는데 이를 구성하기 위하여 일반적으로 RDL (Redistribution Layer) 이라는 추가 금속 layer 를 사용한다. 전력 스위치의 배선에도 RDL 을 이용할 경우에는 금속 선 저항의 대폭 감소를 기대할 수 있다. Fig. 2 는 RDL 을 입출력 패드에만 사용하였을 경우와 MOSFET

전력 스위치의 배선에도 사용하였을 경우의 layout 도면을 각각 나타낸다.

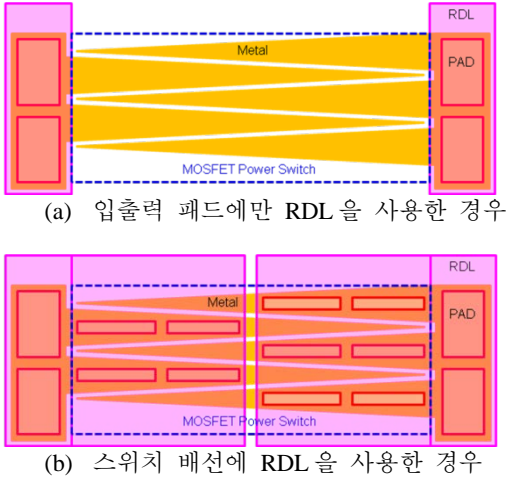


Fig. 2 PWM 벅 변환기의 블럭도

MOSFET 스위치의 크기가 커질수록 ON 저항이 줄어들어 도통 손실이 감소하는 반면, 기생 캐패시턴스가 증가하여 스위칭 손실이 증가한다. 도통 손실을 감소시키기 위해서는 전력 스위치의 크기를 증가시켜야 할 뿐 아니라 벅 변환기에 사용되는 인덕터의 저항 값과 각종 배선에 의한 저항 값도 줄여야 한다. 인덕턴스가 클수록 저항도 비례하여 증가하는 경향이 있으므로 가급적 작은 값의 인덕터를 사용하여야 한다.

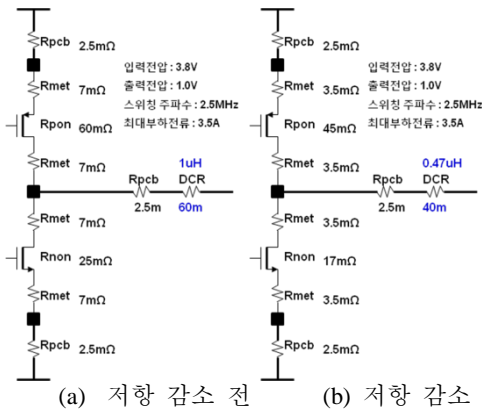


Fig. 3 도통 손실 계산을 위한 modeling

Fig. 3 은 전력 스위치의 크기 증가와 RDL 사용, 인덕턴스 감소에 의한 도통 손실 감소 효과를 계산하기 위하여 각종 저항 값들을 modeling 한 결과이다. Rpcb 는 기판에 의한 저항을 나타내며, Rpon 과 Rnon 은 MP 와 MN 의 ON 저항이다. Rmet 은 전력 스위치의 배선 저항인데, RDL 을 사용한 경우에는 값이 줄어든다. DCR 은 인덕터의 저항 값이다.

Fig. 4 는 Fig. 3 model 을 이용한 벅 변환기의 효율 simulation 결과이다. 경 부하인 경우에는 효율이 감소하지만 중 부하일수록 효율 개선 효과가 커지는 것을 확인할 수 있다.

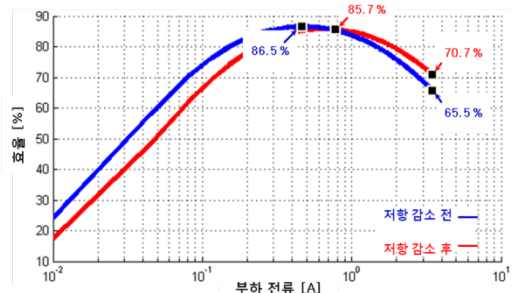


Fig. 4 벅 변환기의 효율 변화

4. 결론

전력 스위치의 크기 증가와 배선 시 RDL 사용, 인덕턴스 감소를 통하여 벅 변환기의 중 부하 조건에서의 효율을 개선할 수 있었으며, 특히 최대 부하 전류 조건에서는 5% 이상의 효율 개선이 가능하였다.

후기

이 연구는 삼성전자 반도체 총괄 system LSI 사업부에서 수행 되었습니다.

참고문헌

1. W. R. Liou, M. L. Yeh, and Y. L. Kuo, "A high efficiency dual-mode buck converter IC for portable applications," IEEE Trans. Power Electron., vol. 23, no. 2, pp. 667-677, Mar. 2008.