

GLR (Glass Level Routing)을 이용한 디스플레이 구동 IC 모듈 전원선의 저항 감소 기법 Power Line Resistance Reduction Technique for Display Driver IC Module with GLR (Glass Level Routing)

*#권태호¹, 장지수¹, 조영진², 이승권²

*# T. H. Kwon(the.kwon@samsung.com)¹, J. S. Chang¹, Y. J. Cho², S. K. Lee²

¹삼성전자 공과대학교 반도체 공학부, ²삼성전자

Key words : Power line resistance, DDI module, Glass level routing

1. 서론

DDI (Display Driver IC) 모듈을 화상 표시 장치의 절연 기판 위에 구성하는 COG (Chip on Glass) 기술이 많이 활용되고 있다. COG 배선에는 주로 ITO (Indium thin Oxide)를 사용되는데 ITO는 투명하면서 전기가 통하는 물질로서 LCD (Liquid Crystal Display), 발광 다이오드, PDP (Plasma Display Panel) 등의 편평하고 얇은 디스플레이에 사용되는 전기전도성이 우수한 투명 전극이다 [1, 2].

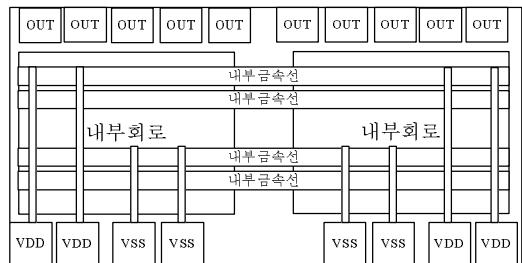
최근 반도체 공정 기술의 비약적인 발전으로 IC (Integrated Circuit) 크기가 크게 감소하였다. 이로 인하여 IC 내부 금속선들의 폭 또한 감소하였으며 금속선의 저항이 증가하게 되었다 [3]. 전원선의 경우, 저항이 커지게 되면 전체 시스템의 성능이 열화 되므로 저항을 감소시키면서 배선 공간을 확보할 수 있는 기술이 요구된다.

전원선 저항의 증가 문제를 해결하기 위하여 추가적인 금속선을 사용하거나 금속선의 두께를 증가시키는 방법도 있으나 이는 제품의 원가 상승의 원인이 된다. 본 논문에서는 GLR (Glass Level Routing)을 이용하여 DDI 모듈 전원선의 저항을 감소시키는 방법을 제안하고자 한다.

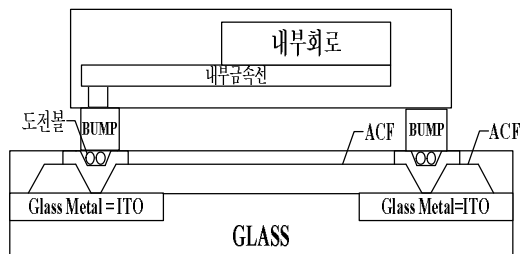
2. COG 배선 방식비교

Fig.1 에 기존의 DDI 모듈 COG 배선 방식을 나타내었다. 회로의 VDD (전원), VSS (접지) 배선은 내부 금속선에서 BUMP, 도전볼, ITO 를 통해 glass 와 연결된다.

BUMP 는 DDI 를 실장기판에 전기적으로 연결하기 위하여 gold 또는 solder ball 을 이용하여 도금 혹은 인쇄 방식으로 IC 에 형성시키는 물질을 뜻한다 [4]. 도전볼은 ACF (Anisotropic Conductive Film)에서 glass pannel 과 DDI 등의 각 부품 간 전기적 신호를 전달하는 역할을 한다 [5].



(a) 평면도

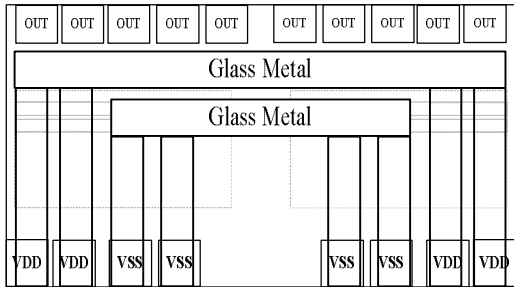


(b) 단면도

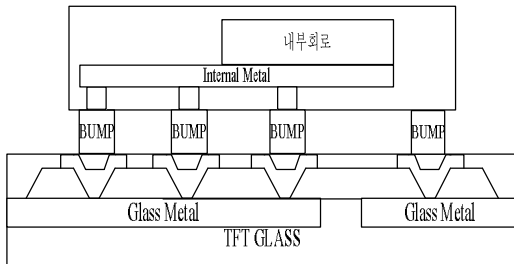
Fig. 1 기존의 COG 배선 방식

Fig.2 는 GLR 을 이용한 COG 배선 방식을 나타내는데 내부 금속선 위에 BUMP 를 추가하였다. Glass metal 을 추가된 BUMP 위에 연장하여

배선하는 GLR 은 기존의 배선 방식보다 여러 개의 glass metal 선 사용이 가능하여 배선 시 사용되는 금속 선의 총 폭을 증가시킬 수 있게 하는 장점이 있다. 금속 선 폭의 증가는 배선 저항의 감소를 뜻하게 된다.



(a) 평면도



(b) 단면도

Fig. 2 GLR 을 이용한 COG 배선 방식

3. 분석

기존 COG 배선 방식과 GLR 을 이용한 배선 방식을 modeling 하여 Fig.3 에 나타내었다. DDI 모듈의 내부 회로와 내부 전원 금속 선의 총 저항을 R_{int} , 칩 외부의 전원 선 저항으로 작용하는 BUMP, 도전볼, glass metal 과 관련된 총 저항을 R_{ext} 로 표시하였다. 전원 선의 총 배선 저항을 R_t 로 정의하면, 기존 방식의 경우에는 내부 저항과 외부 저항이 직렬 연결이므로 다음과 같은 총 저항 값을 갖게 된다.

$$R_t = R_{int} + R_{ext}$$

GLR 을 이용한 제안된 방식의 경우에는 BUMP, 도전볼, glass metal 을 기존의 방식에 병렬로 추가하여 배선에 사용한다. 추가되는 배선과 연관된 총 저항을 R_g 로 나타내었을 경우,

총 배선 저항 R_t 가 다음과 같이 변하게 되어 기존의 방식보다 저항 값이 감소한다.

$$R_t = R_{int} + (R_{ext}/R_g)$$

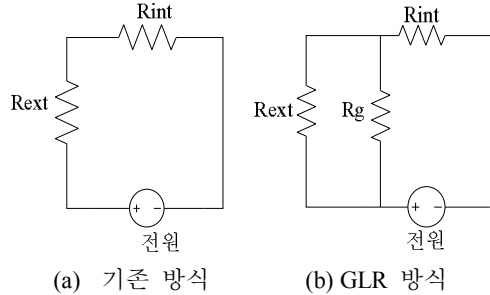


Fig. 3 기존 방식과 GLR 방식의 modeling

4. 결론

본 논문에서는 DDI 모듈 전원 선의 저항을 줄이기 위한 GLR 을 제안하였다. GLR 을 사용할 경우, IC 면적의 증가 없이 배선의 저항을 크게 감소시킬 수 있다는 것을 간단한 modeling 을 이용하여 설명하였다.

후기

이 연구에서 제안한 GLR 을 이용한 DDI 모듈 전원 선의 저항 감소 기법을 향후 측정을 통하여 추가 검증할 예정입니다.

참고문헌

- [1] 최윤형, ZTO/Ag/ZTO 다층 투명 전극 및 이를 이용한 투명 트랜지스터 특성 연구
- [2] 투명전극 재료의 동향연구, 월간세라믹스, 2003. 4 월호
- [3] Mingjing Chen, Cost-effectiv IR-Drop failure identification and yield recovery through a failure-adaptive test scheme, Design, Automation & Test in Europe Conference & Exhibition (DATE), 2010, Page(s):63-68
- [4] <http://terms.naver.com/entry.nhn?docId=503176&categoryId=2915>
- [5] <http://terms.naver.com/entry.nhn?docId=503161&categoryId=367>