

(용융 금속을 이용한 웨이퍼 레벨 Build-up 스택 공정 기술) Wafer Level Build-Up Stacking Process using Molten Metal Filling for Multi-Chip Packaging

*권영설¹, #이재학¹, 송준엽¹, 김형준¹

*Y. S. Kwon¹, #J. H. Lee(jaehak76@kimm.re.kr)¹, J. Y. Song¹, H. J. Kim¹

¹한국기계연구원 초정밀시스템연구실

Key words : Build-up, Oxide bonding, Multi-chip packaging

1. 서론

TSV(Through-Silicon Via) 3D 패키징 기술은 작은 크기와 높은 성능을 달성 할 수 있는 실용적인 기술로써 반도체 제조업체 및 연구 기관들에 의해 꾸준히 연구되어 왔다. TSV 3D 패키징은 기존의 2D 패키징에 비해서 수직으로 적층함으로써 배선 거리를 줄였기 때문에, 칩의 집적도는 높이고 전력 소비는 크게 줄일 수 있다. W2W(Wafer-to-Wafer)에 기반을 둔 3D 적층 기술은 C2C(Chip-to-Chip) 방식에 비해 쉬운 정렬과 많은 처리량을 가지고 있어, 3D 이미지 센서 및 3D 스택 메모리로써 개발 되어 왔다. 반면, 3D 적층된 칩의 전체 수율이 적층된 여러 층들의 수율에 의존하기 때문에 웨이퍼레벨의 3D 적층방법은 높은 생산 수율 제품에만 이용할 수 있었다. 이 논문에서는 oxide bonding 과 용융 금속 충진을 사용하여, 임시적인 본딩이 불필요한 build-up 방식의 새로운 적층 공정을 제안한다.

2. 공정개요

W2W 본딩 공정은 많은 처리량, 빠른 공정주기, 얇은 층으로 인한 짧은 비아거리등 많은 장점이 있다. 그러나 이 본딩 공정은 동일 칩 크기에만 적용 할 수 있으며, 총 수율이 적층과정 중에 낮은 수율의 웨이퍼에 의존되는 단점이 있다. 이 논문에서는 임시 접합 과정을 생략함으로써 수율을 높일 수 있도록, oxide bonding 과 용융 금속을 사용한 웨이퍼 레벨 Build-up 적층 공정을 제안 하였다. 또한 solder filling을 통해 기계 및 전기 배선을 형성 할 수 있기 때문에 추가적인 bumping 공정이 불필요하다.

Fig.1에서 공정의 개략도를 나타내었다.

1)wafer plasma teratment : O2 플라즈마 처리는 접합 온도를 낮추고 표면 활성화를 통해 접합력을

향상하는 데 사용된다.

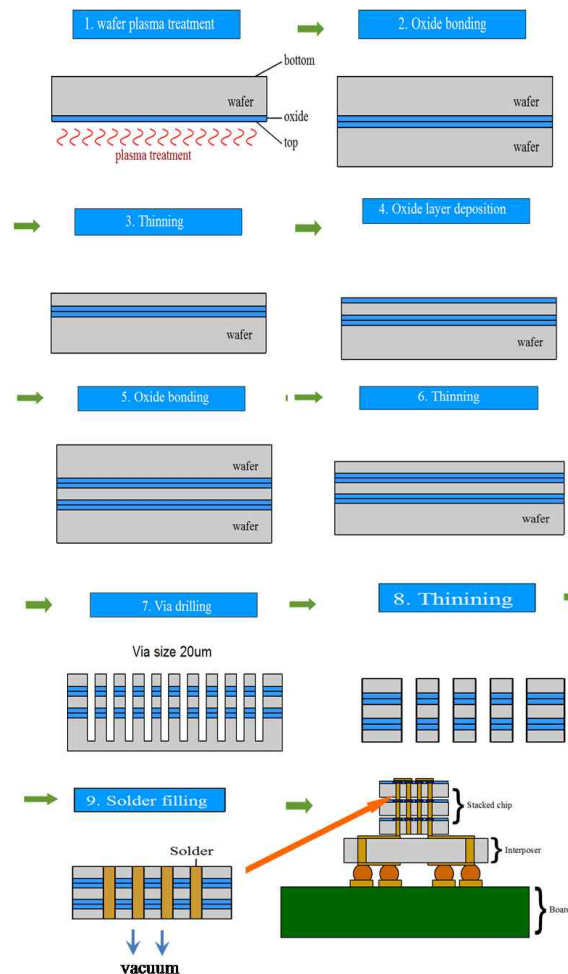


Fig.1 Process flow of Wafer Level Build-Up Stacking Process using molten metal filling

2)oxide bonding : 플라즈마 처리를 한 실리콘 웨이퍼는 기계적 지그에 의해 정밀하게 정렬되어 강한 실리콘결합 (Si-O-Si)을 형성한다.

3)Thinning : 두꺼운 하부 웨이퍼가 상부의 웨이

퍼를 충분히 지지하여 추가적인 임시 접합 없이 상단 웨이퍼를 50 μm 까지 연마할 수 있다.

4), 5), 6) 연속 웨이퍼레벨 build-up 적층 : 두 번째 thinning 된 웨이퍼에 oxide layer를 증착 후 다시 플라즈마 처리하여 3번째 웨이퍼를 본딩한다. 이후 3번째 웨이퍼까지 thinning.

7) Via last DRIE process : 적층된 웨이퍼 들을 DRIE를 사용하여 관통하여 동시에 TSVs를 형성.

8) thinning process of bottom wafer : 두꺼운 하단 웨이퍼를 thinning 하여 관통된 TSV를 드러냄.

9) TSV filling : 진공 압력을 이용하여 형성된 TSVs에 용융 솔더(Sn3Ag0.5Cu)를 채운다. 이 공정 시간은 5초 이내로 Cu 전기 도금에 비해 매우 짧다.

10) Singulation 및 적층 : 웨이퍼 레벨로 적층된 칩들을 dicing 등을 통해 개별 칩으로 나눈다. 이후 계획에 따라 C2C 또는 C2W 적층을 한다.

3. 시편 제작 과정

Fig. 4에서 웨이퍼들은 기구 장치를 사용하여 정밀하게 정렬 하였고, 260 $^{\circ}\text{C}$ 에서 플라즈마 처리에 의한 저온 oxide bonding이 되었다.

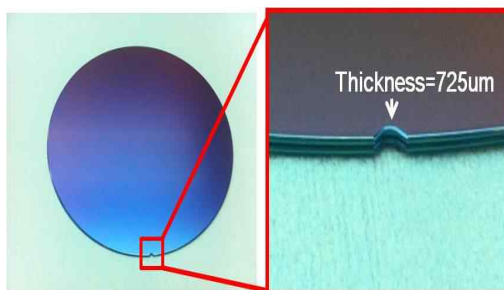


Fig.4 Low temperature Oxide bonding wafers

Fig.5 는 윗단의 웨이퍼를 50 μm 까지 thinning 한 것을 보여준다. 하단의 두꺼운 웨이퍼와의 Oxide bonding 은 기존의 임시 접합에 비해 평탄도와 접합력이 좋기 때문에 상단의 웨이퍼를 Fig.5 와 같이 매우얇은 두께까지 thinning 할 수 있다.

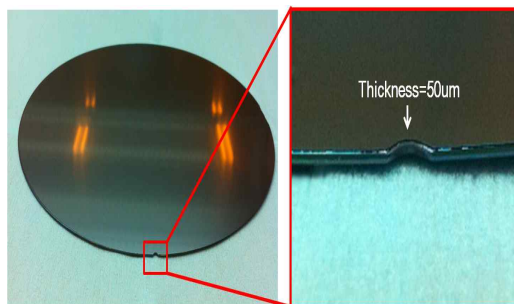
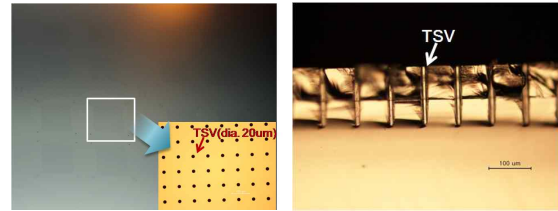


Fig.5 Wafer Level Build-Up Stacking wafer after backside thinning process of upper device wafer

모든 웨이퍼를 적층한 후에 DRIE를 이용해 관통홀 TSVs를 형성하고 바닥 웨이퍼의 뒷면을 연마하였다. Fig. 6에서 보여지듯 직경 20 μm 의 TSVs가 정확히 정렬되어 나타났다.



(a) Upper view (b) Cross-section view

Fig.6 TSVs of stacking wafers

SACVD 공정으로 TSVs 내부의 절연층을 형성하였고, IMP sputter 공정으로 barrier 와 wetting layers를 형성하였다. 최종적으로, 진공압을 이용하여 Fig.7과 같이 TSVs에 용융 솔더를 채웠다.

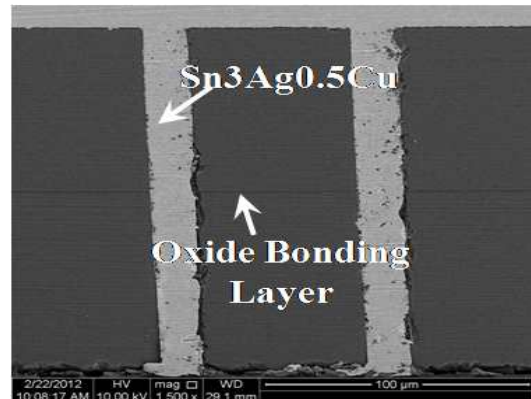


Fig.7 Cross-section view of TSVs filled with solder

4. 결론

이 논문에서는 oxide bonding과 용융 금속 충전 방법을 이용한 wafer level build-up 적층 방식을 제안하였다. 이 방식은 임시 본딩 및 추가적인 bumping 공정이 필요 없다는 장점이 있으며, 시편 제작을 통해 성공적으로 입증하였다.

참고문헌

1. C. S. Tan, R. J. Gutmann and L. Rafael Reif, "Wafer Level 3-D ICs Process Technology," Springer (New York, 2008)
2. P. Garrou, C. Bower and P. Ramm, "Handbook of 3D Integration," WILEY-VCH, 2008