

Insert-Bump를 이용한 본딩 공정에 관한 연구

Study on the Insert-Bump Bonding Process

*이영강¹, #송준엽², 이재학², 김형준², 김선락², 권영설²

*Y. K. Lee¹, #J. Y. Song(sjy658@kimm.re.kr)², J. H. Lee², H. J. Kim², S. R. Kim², Y. S. Kwon²

¹과학기술연합대학원 나노메카트로닉스학과, ²한국기계연구원 초정밀시스템연구실

Key words : Insert-bump bonding, Cu pillar bump, Sn3Ag planar bump, Die shear test

1. 서론

휴대폰과 같은 모바일 기기의 발달과 함께 반도체 시장에서는 칩의 고성능 및 소형화의 필요성이 증가하고 있으며, 이러한 추세에 따라 TSV (Through Silicon via)를 이용한 3D 적층 패키징 기술을 적용하려는 연구가 활발하다. 기존의 Cu pillar bump를 이용한 접합 방법의 경우 칩 사이의 CTE 차이에 의하여 전단력이 발생하며 이때 열응력이 접합부에 집중되어 접합부에 크랙이 발생하기 쉬운 단점이 있다[1]. 하지만 본 연구에서 제안한 insert bump bonding 방법은 기존 공정에 비하여 칩 사이의 정렬이 간편하고 mechanical interlocking 효과에 의하여 접합력이 높은 장점과 열응력이 분산되는 효과가 있다. Fig. 1은 Insert-bump bonding 공정을 나타낸다. 본 연구에서는 ISB dummy 시편을 제작하여 ISB본딩 실험을 수행하였고 die shear test를 이용하여 ISB 본딩 공정의 최적화에 관한 연구를 수행하였다.

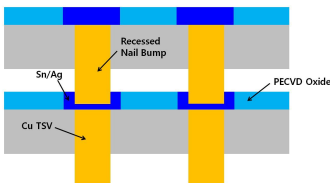
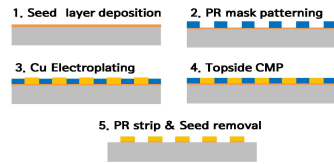


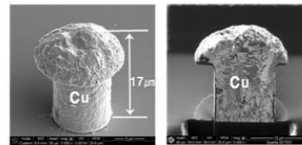
Fig. 1 Insert-Bump bonding process

2. ISB Dummy Sample 제작

ISB dummy sample은 Cu pillar bump 제작과 Sn3Ag Planar bump 제작으로 나뉜다. Fig. 2는 각 순서에 따른 전체공정과 이를 통해 제작된 Cu pillar bump의 모습을 나타낸다. Cu pillar bump의 높이는 17 μ m이며 직경은 10 μ m이다.



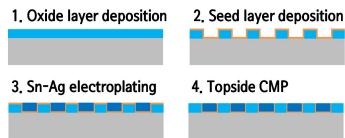
(a) Cu pillar bump fabrication process



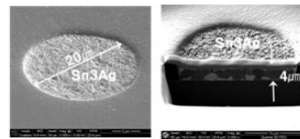
(b) Cu pillar bump

Fig. 2 Dummy specimens Cu pillar bump

Sn3Ag Planar bump를 제조하기 위한 공정은 크게 4단계로 나뉘며 Fig. 3은 각 순서에 따른 전체공정과 제작된 Sn3Ag Planar bump를 나타낸다. Sn3Ag의 직경은 20 μ m이며 4 μ m의 depth를 가지고 있다.



(a) Sn3Ag planar bump fabrication process

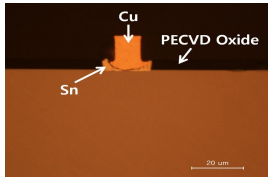


(b) Sn3Ag planar bump

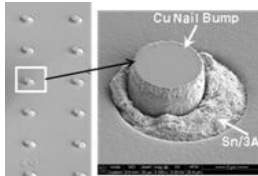
Fig. 3 Dummy specimens Sn3Ag planar bump

3. ISB Bonding Test

이렇게 제작된 dummy sample을 이용하여 ISB 본딩 실험을 진행하였다. 플립칩 본더를 이용해 칩을 정렬하고 본딩 시간은 60초로 고정하였으며 접합온도는 250℃, 300℃, 접합하중은 20N, 30N, 40N으로 변화시켜가며 본딩 실험을 수행하였다. Fig. 4는 접합 수행 후 peel test한 적층시편의 파괴면을 나타내고 있으며 높은 접합력에 의해서 상부의 Cu pillar bump가 칩에서 분리되었음을 알 수 있다. 이러한 높은 접합력은 Cu와 Sn3Ag 접합부의 금속 접합 및 mechanical interlocking에 의해 유지됨을 추정할 수 있다.



(a) Optical image of fractured surface



(b) SEM image of fractured surface

Fig.4 Image of fractured surface

4. Die Shear Test

접합온도 및 접합하중에 변화를 주어 본딩 실험을 진행한 칩들을 가지고 ISB 본딩 공정의 최적화를 수행하기 위해 die shear test를 진행하였다. Test speed는 200μm/s, shear height는 10μm, Y-distance는 700μm를 조건으로 하여 실험을 진행하였고 결과 데이터를 Table 1에 나타내었다.

Table 1 Results of Die Shear Test

Temperature	Pressure	Time	Force
250℃	20N	60sec	0.685kg
	30N		0.862kg
	40N		0.808kg
300℃	20N	60sec	1.139kg
	30N		1.139kg
	40N		2.174kg

실험 결과 250℃의 접합온도와 20N의 접합하중을 가했을 때 최소값인 0.685kg, 300℃의 접합온도와 40N의 접합하중을 가했을 때 최대값인 2.174kg의 shear force값이 측정되었다. 접합온도가 높을수록, 접합하중이 클수록 더 높은 접합력이 측정되는 결과를 얻을 수 있었는데 접합온도가 높으면 계면 반응이 많이 일어나기 때문에 양호한 접합부가 형성되는 것으로 사료되며 접합하중이 큰 경우에는 접합 면적이 증가함과 동시에 mechanical interlocking효과가 발생하면서 높은 접합력이 측정되는 것으로 판단된다. Fig. 5는 die shear test를 통해 얻어낸 force-distance curve를 나타내고 있고 Fig. 6은 Die shear test 장비를 나타낸다.



Fig. 5 Force-Distance Curve

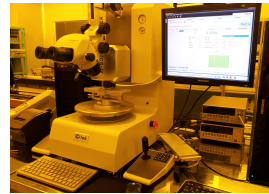


Fig. 6 Die Shear Tester

5. 결론

본 연구에서는 ISB dummy 시편을 제작하여 ISB 본딩 공정의 최적화를 수행하였으며 die shear test를 통해서 본딩 접합부의 접합력을 평가함으로써 접합부의 기계적 신뢰성이 높은 구조임을 확인할 수 있었다.

참고문헌

1. C. Scheiring, H. Kostner, "Advanced-chip-to-wafer technology : Enabling technology for volume production of 3D system integration on wafer level," IMAPS, 2004.