

# FPGA 기반 초고속 데이터 처리 IP 연구 Study of High-speed Data Processing IP based on FPGA

\*#진경찬<sup>1</sup>, 김형태<sup>2</sup>

\*K.C. Jin<sup>1#</sup>(kcjin@kitech.re.kr), H.T. Kim<sup>2</sup>

<sup>1</sup>한국생산기술연구원 스마트자동차센터, <sup>2</sup>한국생산기술연구원 스마트시스템연구그룹

Key words : FPGA, C-to-FPGA, GPU, Signal processing

## 1. 서론

영상처리 시스템은 초고속의 실시간 영상처리 및 대용량 데이터 처리의 고성능 연산 능력을 요구하는 방향으로 진화하고 있다. 이러한 추세에 따라 멀티코어 CPU 및 GPU가 상용화되고 있으나, CPU 시스템은 초고속의 신호처리의 최적의 하드웨어 환경을 제공하기는 어려운 구조로 되어 있다.<sup>[1]</sup> 또한, 최근 대용량 영상처리 분야에 활용되고 있는 GPU는 1 TFlops와 같은 높은 성능을 제공하지만,<sup>[2]</sup> 200W의 높은 소비전력으로 동작하며, 신호처리 연산시 GPU의 구조상 그래픽 데이터와 같은 형식으로 변경이 되어야만 최적의 성능을 제공한다는 단점이 있다. 본 논문에서는 초고속 신호처리의 최적의 성능을 효과적으로 수행하기 위해서 C-to-FPGA를<sup>[3]</sup> 적용한 FPGA디바이스를 적용하여 신호처리의 효율성을 살펴보고자 한다.

## 2. CPU, GPU 및 FPGA 신호처리

CPU 동작 클럭의 물리적 한계로 인해, 최근 영상처리 시스템은 병렬 CPU 코어를 확장하는 구조를 채택하고 있다. 단일 CPU 환경에서는 내부 연산 장치의 수를 확장하여 병렬 명령어를 이용하는 구조를 채택하고 있다. 그러나 연속된 명령어들의 의존 관계에 의하여, 동시에 실행할 수 있는 명령어의 수가 제한되는 단점이 있다. GPU는 데이터 병렬형의 연산에 특화된 프로세서로 이용될 수 있으며, GPU의 연산을 담당하는 유닛 프로세서는 여러 유닛씩 바인드 된 클러스터로서 관리되고 있다. 명령 유닛은 클러스터내 복수의 프로세서에 대해서 동일한 명령을 보낸다. 프로세서에서는 클러스터 전체가 1개의 명령으로 복수의 데이터에 대해서 처리를 행하는 SIMD(Single Instruction, Multiple Data) 형태로 대형화되어 병렬처리가

수행되고 있다. 이에 반해 FPGA 칩은 ASIC보다 성능이 낮은 측면을 가지고 있으나, 적용 애플리케이션에 따라 최적화된 기능을 제공할 수 있다는 특징이 있다.

## 3. FPGA IP 설계

최근 FPGA IP 설계의 효율성을 높이기 위한 C-to-FPGA 설계 방법은 알고리즘을 하드웨어로 변환하여 SoC 칩을 설계하는 방법이다. SoC 상의 특정한 프로세서와는 상관없이 PC 환경에서 알고리즘에 대한 성능평가 및 수정이 가능하다는 장점이 있다. 그림 1에서는 C-to-FPGA 개발의 흐름도를 보여주고 있다.

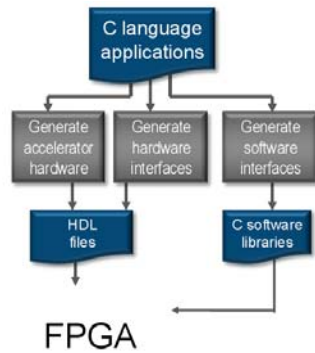


그림 1. C-to-FPGA 구성도

C-to-FPGA 설계는 C 언어에 의한 프로그래밍에 의하여 전체 시스템이 구성된다. C-to-FPGA 설계 툴인 Impulse C의 경우에 통합 환경 상에서 C 언어 기반의 성능에 대한 측정, 하드웨어 HDL 변환 기능, 시뮬레이션과의 인터페이스 등을 지원하고 있다.

#### 4. FPGA IP 구현

C-to-FPGA 개발 환경은 그림 2에서와 같이 Impulse C의 Codeveloper Application Manager를 이용하였으며, Xilinx 사의 EDK (Embedded Development Kit)에 적용될 IP를 생성하는 기능을 수행한다.

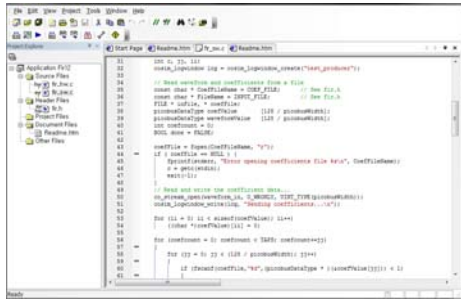


그림 2. Impulse C 개발 환경

개발된 FPGA IP는 그림 3에서와 같이 Pico Computing 사의 Pico M501 보드를 이용하여 IP의 기능 분석 및 성능 검증이 가능하며, M501은 PCI 버스를 통해 직접적으로 제어가 가능하다.



그림 3. Pico M501 보드

그림 4에서는 Pico M501보드의 PSP (Platform Services Package)의 개략도를 보여주고 있다.

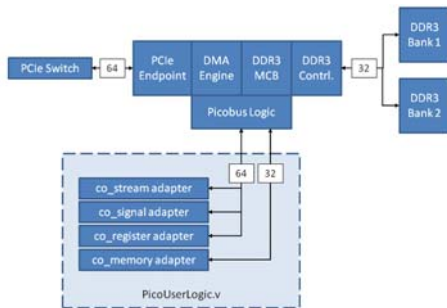
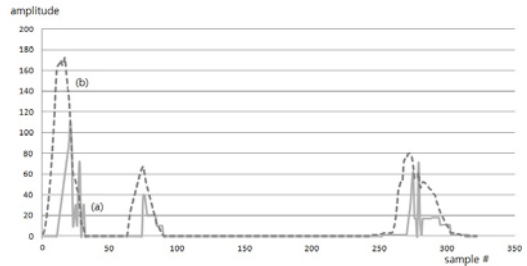


그림 4. Pico M501 PSP 구조

#### 5. 실험 및 결과

Impulse C를 이용하여 FIR (Finite Impulse Response) 필터에 대한 처리를 그림 5에서 보였다. 구현된 IP 코드는 C코드로 작성되었으며, Impulse C에서 VHDL 코드로 변환된다. 실험에 사용된 OS 환경은 64bit의 Window 7 professional 이며, 320 개의 1차원 신호에 FIR 필터링을 수행하였다.



(a) 원신호 (b) 필터신호

그림 5. 1차원 신호에 대한 FIR 필터링

#### 6. 결론 및 향후 계획

본 논문에서는 초고속 신호처리를 위한 하드웨어 개발 연구에 C-to-FPGA를 적용하여 FPGA IP를 적용하여 신호처리의 효율성 및 구현방법을 살펴보았으며, C-to-FPGA 코드는 PC의 PCI 버스와 직접 연결된 FPGA 보드에 탑재가 되어 신호처리에 적용될 수 있음을 확인하였다. 향후에는 3차원 영상의 역투영변환 및 필터링 기능에 C-to-FPGA IP를 구현하여 대용량 영상처리에 적용하고자 한다.

#### 후기

본 논문은 산업연구회사업의 지원으로 수행되었습니다.

#### 참고문헌

1. Peiheng Zhang, Guangming Tan, Quang R. Gao, "Implementation of the Smith-Waterman Algorithm on Reconfigurable Supercomputing Platform", CAPSL Technical Memo 78, April 16th, 2007.
2. 진경찬외, "Wavelet 잡음감소기반 파면복원의 3D 표면 개선 연구", 대한전자공학회 2011 하계종합학술대회, 2011.
3. <http://www.impulseaccelerated.com>.