

# 3차원 형상의 전자회로 구현을 위한 적층성형 기초연구 Preliminary Research on the Layer-by-layer Fabrication for the 3D Electronics

\*장성현<sup>1</sup>, 정현준<sup>1</sup>, 이인환<sup>2#</sup>, 조해용<sup>2</sup>

\*S. H. Jang<sup>1</sup>, H. J. Jung<sup>1</sup>, I. H. Lee<sup>2#</sup>([anxanx@chungbuk.ac.kr](mailto:anxanx@chungbuk.ac.kr)), H. Y. Cho<sup>2</sup>

<sup>1</sup>충북대학교 정밀기계공학과, <sup>2</sup>충북대학교 기계공학부

Key words : Rapid Prototyping, Conductive ink, 3D Electronics

## 1. 서론

적층에 의한 임의 형상 제작 기술은 많은 연구를 통해 보편화 되어있다. 즉, 다양한 방식의 쾌속조형 (Rapid Prototyping, RP) 시스템들이 개발되었으며 최근에는 다중재료를 이용하는 시스템에 대한 연구가 활발히 진행되고 있다<sup>1,2</sup>. 본 연구는 다중재료를 적용하는 RP기술을 적용하여 단일공정의 3차원 임의형상 전자회로를 구현하는 것의 기초 연구이다.

일반적으로 전자기기는 내부의 PCB기판과 외형의 케이스로 구성되었다. 한편, PCB기판은 평면형상을 가지고 있는 것이 대부분이며, 따라서 전자기기의 외관형상 설계에 많은 제약이 따른다. 이에 본 연구에서는 평면형상을 갖는 PCB기판을 대체할 수 있는 새로운 방식의 전자회로 제작시스템을 제안한다. 즉, Fig. 1과 같이 전자기기의 외형을 만드는 동시에 각 회로소자들을 포함시켜 하나의 공정으로 제품을 구현하는 것이다.

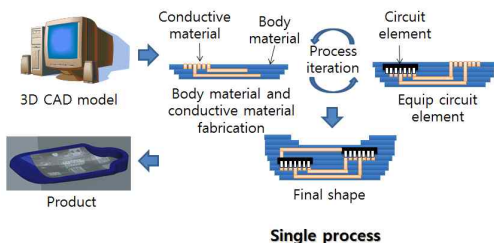


Fig. 1 Schematic diagram for the 3D Electronics.

## 2. 적층성형 제작 실험

본 연구에서는 적층조형 시스템으로 상용화된 RP시스템을 이용하였다. 즉, Objet Geometries 사의 PolyJet 방식의 Eden250을 적용하였으며, 이는 임

크렛 기술과 광조형 기술이 결합된 방식을 사용한다.

한편, 본 연구에서는 적층조형을 통한 외관형상 및 회로소자의 동시성형을 위해서 외형 케이스의 성형 중에 필요시 회로소자를 위치시키고 이를 전도성 재료로 연결하여야 한다. 하지만 본 연구에서 사용된 상용화된 RP시스템은 제품의 성형 시 구조물 전체에 지지대(Support) 재료가 채워지게 된다. 이에 본 연구에서는 제안된 제작방식을 검토하기 위해 외관 케이스의 CAD 모델을 적층성형 방향에 따른 여러 개의 단면형상으로 나누어 각각 제작하고 이를 적층 조립하였다. 이때 필요시 해당 단면에 회로소자를 위치시킨 후 제작하게 된다. 한편, 각 단면에서 필요시 미리 정해진 경로를 따라 전도성 잉크를 직접 주사해 회로소자의 연결을 위한 도선을 성형하였다. 사용된 전도성 잉크는 비저항이  $3 \sim 5 \times 10^{-6} \Omega cm$  이고  $120 \text{ }^\circ C$  이하의 저온에서 경화 가능한 NPK사의 Nano-coin을 사용하였다.

한편, 본 연구에서 단면형상의 제작에 사용된 재료는 Objet Geometries사의 Verogray로서, 열변형온도가  $45 \sim 50 \text{ }^\circ C$ 이다<sup>3</sup>. 따라서 전도성 잉크를 경화시키기 위해 열을 가하게 되면 RP로 제작된 단면형상 구조물에 열에 의한 휨 및 변형이 발생하게 된다. 그러므로 본 연구에서는 전도성 잉크의 경화온도를  $290 \text{ }^\circ C$  로 높이고 단시간에 국부적으로 가열하는 열풍 건조 방식<sup>4</sup>을 사용하였다.

## 3. 실험결과

Fig. 2(a)는 제작된 전자회로의 사진이고, Fig.2(b)는 내부구조의 개략도이다. 사용된 회로는 전지에 저항을 달고 스위치 작동여부에 따라 LED

를 제어하는 것이다. 각 단면형상의 외관 크기는  $30 \times 30 \times 1$  mm이고, 30개의 단면 형상을 각각 조립하여 제작하였다.

Fig. 3은 Fig. 2의 구조물 제작 과정을 보여준다. 각 단면형상을 차례로 조립하면서 동시에 회로소자를 설계된 위치에 삽입한다. 또한 회로소자를 연결하기 위한 도선 역할을 하는 전도성 잉크도 수평방향 뿐만 아니라 수직방향으로도 주사하고 경화시킨다.

이와 같이 본 연구에서는 다중재료 적층성형기술을 이용하여 형상자유도가 높은 임의형상의 전자회로 제작에 대한 기초연구를 수행하였다. 즉, 적층조형을 이용하면 다양한 회로형상을 평면 형태를 갖는 PCB가 아닌 3차원 형상으로 제작할 수 있음을 확인하였다. 한편, 회로소자의 전기적 결선을 위한 전도성 잉크의 경화를 위해서는 높은 온도의 가열이 필요하며, 이는 전체 구조물의 열변형을 일으킬 수 있다. 따라서 고온 경화가 필요하지 않은 전도성 소자를 이용하는 도선 제작이나, 열에 의한 변형이 작은 구조물 재료의 적용에 대한 연구가 필요하다.

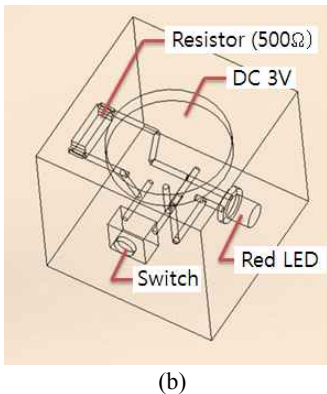
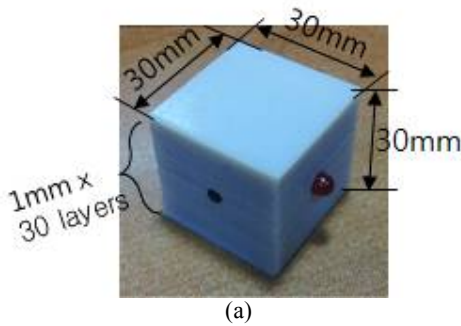


Fig. 2 Layer by layer fabrication of 3D Electronic; (a)

final part and(b) schematic drawing

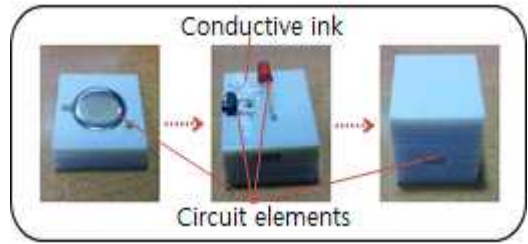


Fig. 3 Fabrication process of 3D electronics part.

#### 4. 결론

3차원 형상의 전자회로 구현을 위해 다중재료 적층성형을 적용하는 공정을 제안하였다. 적층성형의 모사를 위해 RP로 제작된 단면 형상을 층층이 쌓아올리면서 동시에 필요한 회로소자를 삽입하고 이의 결선을 위한 도선을 성형하였다. 본 연구는 향후 회로소자가 내장된 보다 복잡한 형태의 임의형상 제작기술의 기초연구로 활용될 수 있을 것이다.

#### 후기

이 논문은 2010년도 정부(교육과학기술부)의 재원으로 한국연구재단의 기초연구사업 지원을 받아 수행된 것임(2010-0023501)

#### 참고문헌

1. Lopes, A. Navarrete, M. Medina, F. Palmer, J. MacDonald, E. Wicker, R., "Expanding Rapid Prototyping for Electronic Systems Integration of Arbitrary Form," proceedings of Solid freeform fabrication 2006, 644- 655, 2006.
2. 김호찬, 최재원, "다중재료 광조형 장치 개발," 한국정밀공학회지, 27(3), 135-141, 2010.
3. <http://www.objet.com/>. (2012.09.28. checked).
4. 김영모, 홍승찬, 이재효, "R2R 공정에서 적외선 가열과 열풍을 혼합한 건조방식에서 전도성 금속 잉크의 건조 및 큐어링 공정 특성에 관한 실험적 연구," 반도체디스플레이기술학회지, 9(2), 73-78, 2010.