

EMC 영향에 따른 Fan-out 웨이퍼 레벨 패키지의 휨 현상 연구 Effect of EMC on Warpage of Fan-out Wafer Level Package

*이미경¹, #좌성훈¹, 김경호¹, 정훈선¹

*M. K. Lee¹, #S. H. Choa (shchoa@seoultech.ac.kr)¹, K. H. Kim¹, H. S. Jung¹

¹서울과학기술대학교 NID융합기술대학원,

Key words : Fan-out, FOWLP, eWLP, Wafer level package, EMC

1. 서론

최근 넷북, 태블릿 PC 스마트폰을 포함한 휴대용 게임기 등이 반도체 시장의 대부분을 차지하고 있다. 따라서 소비자들은 배터리 소모가 적으며, 더 작은 크기의 성능이 좋고, 저렴한 비용으로 공급되는 휴대용 제품을 원하고 있다. 이러한 요구에 따라 현재 CSP (chip scale package)가 개발 되었으며, TSV (Through Silicon Via), POP (Package on package), FOWLP (Fan-out Wafer Level Package) 등이 연구 되고있다.

현재 반도체 패키징 공정은 칩 단위의 개별 패키지에서 웨이퍼 레벨 패키지로 옮겨지는 추세이다. 웨이퍼 레벨 패키지는 공정이 줄어드는 것으로 인한 비용절감이라는 장점을 가지고 있지만, warpage가 기존의 패키징보다 더 많이 발생하여 핸들링이 어렵다는 단점을 가지고 있다. 특히 FOWLP에서는 RDL공정 전 EMC 몰딩으로 인한 warpage로 인하여 현재 연구개발의 어려움에 봉착해 있다.

본 논문에서는 FOWLP에서 RDL공정을 위한 좀 더 쉬운 핸들링을 위하여, 각각의 다른 특성을 가지고 있는 몇 가지 EMC 재료를 사용하여 웨이퍼 레벨에서 몰딩을 한 후, warpage를 줄일 수 있는 방법을 연구하였다.

2. 해석 조건

EMC 몰딩에 대한 warpage 해석을 수행하기 위하여 유한요소해석프로그램인 ANSYS를 사용하였다. 본 논문에서는 1 mm의 두께를 가지고 있는 Alloy 재질의 8 인치 Carrier 와 0.5 mm의 EMC 재료를 사용하였으며, 칩 사이즈는 5 x 5 mm이다. 대칭 구조로 인해 1/4 모델을 사용하였고, FOWLP의 구조는 Fig. 1 과 같다. 패키징 재료에 대해서는 탄성 물성이 고려되며, EMC 재료는 다양하게 사용

되었다. 각 패키지 재료의 물성은 Table 1과 같으며, Young's modulus는 0.022 GPa 에서 30 GPa, CTE 는 7 ppm/°C 에서 25 ppm/°C, T_g는 115 °C 에서 185°C 사이의 변화율을 가지고 있다.

Table 1 Material properties

	Young's modulus (GPa)	Poisson's ratio (ν)	CTE α1, α2 (ppm/°C)	T _g (°C)	
Carrier	148	0.3	5		
Tape	0.0028	0.4	205		
Chip	112.4	0.28	2.62		
EMC	a	8.5	0.3	25 / 95	140
	b	17	0.3	7 / 37	115
	c	19.8	0.3	7 / 28	165
	d	20	0.3	11 / 38	185
	e	21.5	0.3	8 / 32	150
	f	22	0.3	7.4 / 33	160
	g	30	0.3	8 / 34	145
	h	23.5	0.3	10 / 44	150
	i	23	0.3	9 / 45	145

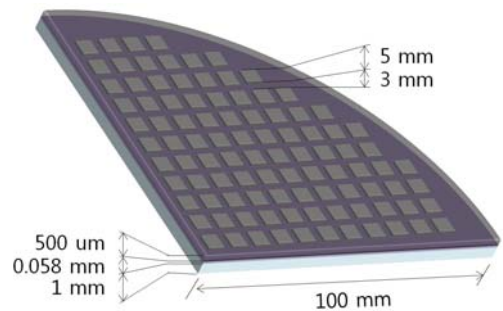


Fig. 1 FOWLP Structure

3. 해석 결과

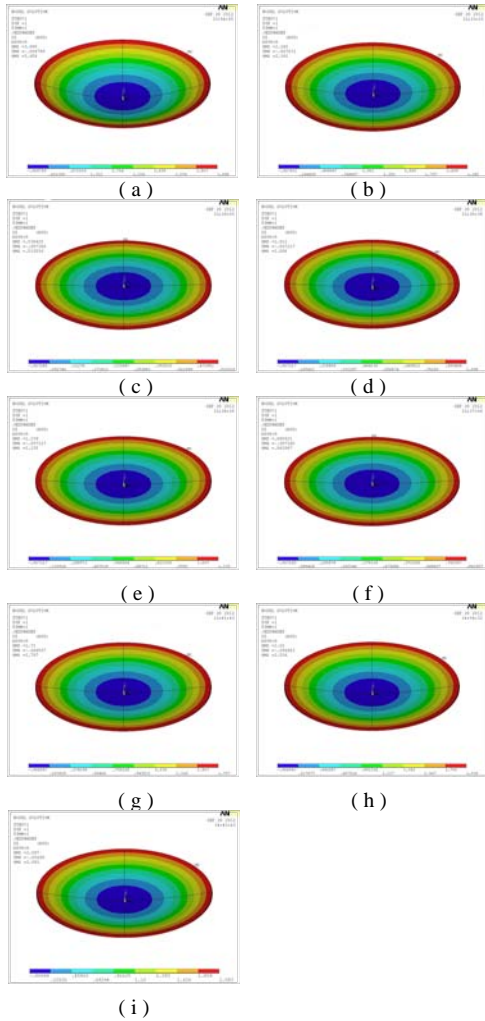


Fig. 2 Results of warpage

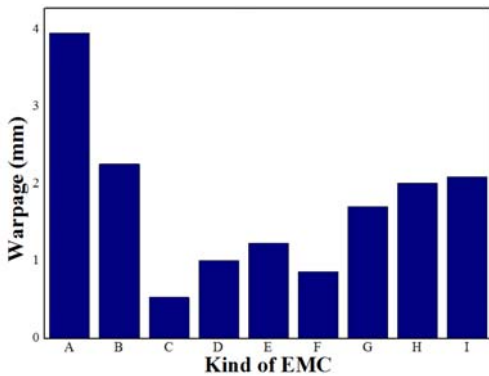


Fig. 3 Warpage results for EMC materials

Fig. 2 는 시뮬레이션을 통한 warpage 의 결과를 보여주며, Fig. 3 은 EMC 재료의 종류에 따른 warpage 결과 값을 보여준다. 대체적으로 Tg값이 높은 c, d, f, 등의 EMC 재료가 warpage가 적은 것을 알 수 있다. 또한, Tg가 비슷한 e와 h 를 비교하였을 때, warpage는 CTE의 영향에 민감한 것을 관찰할 수 있다. 이로써 본 논문의 연구의 경우 Tg가 높고, CTE 가 낮을수록 warpage가 적게 발생한다는 것을 알 수 있다.

4. 결론

본 연구에서는 EMC 영향에 따른 FOWLP 패키지 의 휨 현상에 대해 분석하였다. 본 논문에서 사용된 10가지의 EMC 재료의 특성을 분석한 결과 carrier의 재질이 Alloy 일 경우 CTE 가 낮을수록 warpage가 적게 발생하는 것을 알 수 있다. 또한, EMC 경화 온도 보다 높은 Tg 값을 가지는 경우에도 warpage 발생량이 적은 것을 알 수 있다. 이와 같은 결과를 통해 EMC 재료의 선정으로 통하여 보다 효과적으로 warpage가 감소 됨을 알 수 있다.

참고문헌

1. Jupyong Hong, Shan Gao, "Parametric Design Study for Minimized Warpage of WL-CSP," 2nd Electronics Systemintegration Technology Conference Greenwich, 187-192, 2009.
2. Eric Kuah TH, JY Hao, "Encapsulation Challenges for Wafer Level Packaging," Microelectronics and Packaging Conference, 2009.
3. Ser Choong Chong, Chee Houe Khong, "Process Challenges and Development of eWLP," Electronics Packaging Technology Conference, 12, 527-531, 2010.
4. Seng Guan Chow, "Board Level Solder Joint Reliability Modeling of Embedded Wafer Level BGA (eWLB) Packages under Temperature Cycling Test Conditions" 13, 674-680, 2011