

Embedded Wafer Level Package (EWLP) 적용을 위한 본더 헤드 설계 및 해석에 대한 연구

Design and Analysis of Chip Bonding Head for Embedded Wafer Level Package (EWLP) Application

*김형준¹, 이재학¹, 하태호¹, 이창우¹, 송준엽¹, 서민석²

*#H. J. Kim¹ (kimhj@kimm.re.kr), J. H. Lee¹, T. H. Ha¹, C. W. Lee¹, J. Y. Song¹, M. S. Suh²

¹ 한국기계연구원 초정밀시스템연구실

²(주)에스티 기술연구소

Key words : Chip-to-wafer (C2W) bonder, Embedded Wafer Level Package (EWLP), Bonding head

1. 서론

Embedded Wafer Level Packaging (EWLP) 기술은 high I/O 디바이스에서 기존의 chip scale package (CSP) 기술이 가지는 pitch 및 범프크기의 한계를 극복하고, 고가의 BGA (Ball Grid Array) 기판을 대체하여 전체 패키지 단가를 낮추기 위한 목적으로 개발되었다. 특히 EWLP 기술은 Infineon 사의 EWLB (Embedded Wafer Level Ball Grid Array) 방식과 Freescale 사의 RCP (Redistributed Chip Package) 방식을 대표적인 제조 방법으로 들 수 있는데, 두 방법 모두 KGD (Known Good Die)의 재배치와 웨이퍼 레벨 몰딩을 이용한 재구성 웨이퍼를 기본구조로 하는 점에서는 동일하다 [1-2]. 단지 세부적인 몰딩 공정이나, 재구성 웨이퍼의 재배선 공정과 같은 후공정에서 약간의 차이가 있을 수는 있다.

EWLP 제조 공정을 완료한 후 3 차원 (3-Dimensional; 3D) 적층 공정은 크게 두 가지로 나누어 질 수 있다.

1) 3D Package-on-Package (PoP: EWLP + EWLP): 재구성 웨이퍼 공정 완료 후, 재배선 공정을 수행한다. 이후 EWLP 패키지 singulation 을 위해 dicing 한 후 패키지 적층 본딩을 수행한다[3] (Fig. 1 (a)).

2) 융복합 패키지 (EWLP + TSV 칩 적층): 공정이 완료된 EWLP 웨이퍼 상에 초박형 3D-TSV 칩, MEMS 칩, 플립칩 등을 Chip-to-Wafer (C2W) 형태로 3 차원 적층하는 형태이다 (Fig. 1 (b)).

그림에서 알 수 있듯이, 두 경우 모두 bottom 패키지는 front 와 backside 를 전기적으로 연결할 수 있는 관통비아가 형성되어 있어야 한다. 또한 EWLP 웨이퍼의 특성상 warpage 값이 크기 때문에, 본딩시 warpage 상쇄를 위한 자율순응 기능이 포함될 필요가 있다. 융복합패키지의 경우에는 EWLP 웨이퍼 자체가 chip 본딩을 위한 기판이 되므로 본딩 장비가 웨이퍼 레벨 본딩 공정을 지원할 수 있어야 한다.

따라서 본 연구에서는 자율순응 기능이 적용된 C2W 본딩 헤드 및 장비 layout, 그리고 현재 진행중인 본딩 헤드의 가열/냉각시 열해석에 대하여 기술하고자 한다.

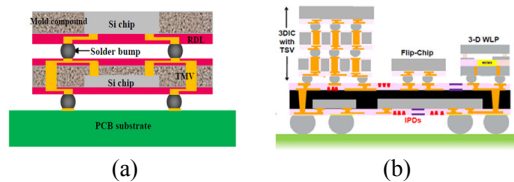


Figure 1. EWLP-based 3D integrated package schematics. (a) 3D PoP with EWLPs and (b) 3D hybrid package with EWLP and stacked chips.

2. Warpage 상쇄 및 균일압 인가를 위한 자율순응형 본딩 헤드 설계

그림 2 에서 알 수 있듯이 EWLP 재구성 웨이퍼는 hard 한 Si 칩과 이를 둘러싸고 있는 matrix 가 되는 고분자 몰딩 소재와의 기계적인



Figure 2. Warpage evolution of typical EWLP wafer.

물성차이 때문에 상당한 warpage 가 발생하게 된다. 따라서 본딩시에 이러한 warpage 를 상쇄하고 균일한 압력을 가해주기 위한 구조가 본딩 헤드에 적용되어야 한다. 그림 3 에 공압 및 welded bellows 를 적용하여 자율순응 기능을 적용한 본딩 헤드의 디자인을 나타내었다. 일반적으로 TSV 를 적용한 칩 적층의 경우, 칩 두께가 50~100um 이하로 초박형이며 범프의 크기 또한 50um 이하로 미세하므로 칩과 기관의 coplanarity 가 좋지 않으면 쉽게 크랙이 형성되거나 misalignment 가 발생하게 된다. 본 연구에서 설계된 자율순응형 본딩 헤드의 경우 공압을 이용하여 칩과 기관간의 warpage 를 상쇄하고 본딩되는 칩의 전면에 걸쳐 균일한 압력이 가해질 수 있도록 설계하였다. 그림 4 는 실제 자율순응 기능이 작동되었을 때의 본딩 헤드 구동에 대한 개념도이다. 실제 칩의 본딩 시 in-situ 본딩 force feedback 제어를 통하여 정밀하게 균일압을 가할 수 있도록 시스템을 구성하였으며, 칩이 기관에 닿기 전까지는 position feedback 을 통하여 공정 시간을 단축할 수 있도록 하였다.

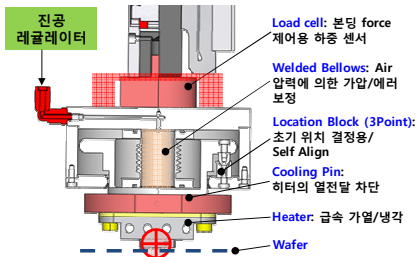


Figure 3. Bonding head design with wedge compensation function.

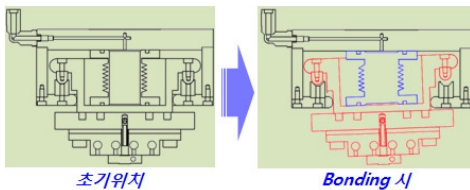


Figure 4. Operating mode of wedge compensation function during bonding process.

3. 본딩 헤드 열성능 해석

칩 본딩 시 가열/냉각 공정에 따른 본딩 헤드의 열성능 해석이 진행중이며 일부 진행된 결과를 그림 5 에 나타내었다. 해석 결과 현재 본딩 헤드 디자인에 채택된 소재들의 경우 열관성이 커서, 특히 냉각시에 cooling rate 가 매우 낮다는 결과를 확인할 수 있었다. 따라서 초당 100°C 이상의 냉각 속도를 확보할 수 있는 소재 선정 및 히터 형상 재설계가 진행중이다.

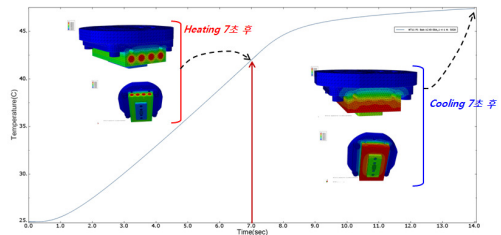


Figure 5. Result of thermal simulation during heating (7sec) and cooling (7sec) processes.

4. 결론

EWLP 가 적용된 3D integration 공정을 위한 본딩 헤드의 설계 및 열해석을 수행하였다. EWLP 의 경우 공정중 자체적으로 발생하는 큰 warpage 를 상쇄하고 초박형 칩과 기관간의 coplanarity 를 확보하기 위하여 자율순응 기능이 적용된 본딩헤드의 설계가 진행되었다. 본딩시 필요한 고속 가열/냉각 특성을 확인하기 위한 본딩 헤드의 열해석 결과, 고속 냉각 특성 확보를 위한 소재의 선정과 히터 형상 재설계가 필요함을 확인할 수 있었다.

참고문헌

1. T. Mayer, et al., "Embedded Wafer Level Ball Grid Array (eWLB)", *Proc. 10th EPTC*, pp. 994 (2008)
2. Freescale Semiconductor website, <http://www.freescale.com/files/shared/doc/reports/presentations/RCPPRESENTATION.pdf>
3. Kim.H.J, et al., "Process and Reliability Assessment of 200μm-Thin Embedded Wafer Level Packages (EMWLPs)", *Proc. 61st ECTC*, pp. 78-83 (2011)