
급수형 전하분포를 이용한 DGMOSFET의 채널두께에 대한 문턱전압 특성분석

조경환, 한지형, 정학기
군산대학교 전자공학과

Analysis of Threshold Voltage for DGMOSFET according to Channel Thickness Using Series Charge Distribution

Kyounghwan Cho, Jihyung Han, Hakkee Jung
Department of Electronic Eng., Kunsan National University

요 약

본 논문에서는 채널의 두께 변화에 따른 Double Gate MOSFET의 문턱전압특성을 분석 하였다. 채널의 두께는 소자의 크기를 결정할 뿐만 아니라 단채널효과에도 커다란 영향을 미치므로 IC 설계 시 매우 중요한 파라미터이다. 그러므로 본 연구에서는 급수형 전하분포를 이용하여 채널두께에 따른 DGMOSFET의 문턱전압을 분석하였으며 이를 통해 채널의 두께가 증가할수록 문턱전압은 감소한다는 결과를 얻었다.

Abstract

In this paper, the threshold voltage characteristics have been analyzed by varying the channel thicknesses of Double Gate MOSFET. The channel thickness, as well as determining the size of the device which hardly affects SCE(Short Channel Effects), therefore the channel thicknesses is a very important parameter in the IC(Integrated circuit) design. In this study, using series charge distribution to analyze the threshold voltage on the channel thickness. Consequently, the threshold voltage decreases with increasing a channel thickness.

키워드

DGMOSFET, 채널두께, 단채널효과, 문턱전압

1. 서 론

MOSFET가 지속적으로 축소화됨에 따라 기존의 Gate-Bulk MOSFET 소자로는 단채널효과 (SCE : Short Channel Effect)를 제어하는 것이 매우 어려워지고 있다. 단채널효과는 문턱전압의 이동 (Threshold voltage roll-off), 문턱전압이하 스윙 값의 저하, 드레인유기방벽

감소(DIBL: Drain Induced Barrier Lowering) 등 여러 가지 효과를 나타낸다. 이는 소자의 특성을 저하시킴으로써 집적회로에서 초소형 트랜지스터의 사용을 제한하게 된다. 결국 단채널효과를 어떻게 효율적으로 제어 할 것인가에 대한 문제가 중요시 되었다. 이와 같은 문제를 해결하기

위하여 개발되고 있는 소자 중 가장 유망한 소자 구조가 바로 더블게이트 (Double Gate :DG) MOSFET 이다[1]. DG MOSFET는 채널을 통한 드레인 전계의 침투에 대해 상단 및 하단게이트를 통하여 효율적으로 방지할 수 있어 단채널효과를 효과적으로 제어하는 장점을 가진다. 또한 낮은 채널 도핑을 사용하는 것이 가능하므로 수송자의 이동도가 증가되고 불순물에 의한 변이 효과를 감소시킬 수 있어 소자의 특성 변화를 최소화 할 수 있는 장점이 있다.

본 논문에서는 급수형 전하분포를 이용하여 채널두께에 따른 DBMOSFET의 문턱전압변화에 대하여 고찰하고자 한다. 2장에서는 DG MOSFET의 구조 및 해석학적 모델에 대하여 설명할 것이며 3장에서는 이 모델을 이용하여 계산한 문턱전압에 대하여 이야기 할 것이다. 마지막으로 4장에서는 결론을 맺고자 한다.

II. DG MOSFET 구조 및 해석학적 모델

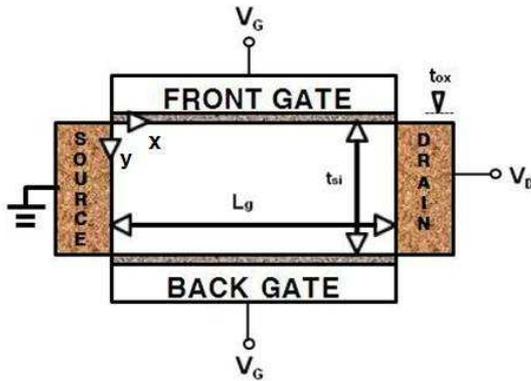


그림1. Double Gate MOSFET의 개략도
Fig 1.Schematic diagram of DG MOSFET

그림 1은 본 연구에서 사용한 Double Gate MOSFET의 개략도이다. 여기서 t_{si} 는 채널 두께, t_{ox} 는 게이트 옥사이드 두께 그리고 L_g 는 채널길이 이다. 이 구조에서 채널의 길이(X)와 깊이(Y) 방향에 대한 전위분포를 구하기 위하여 포아송 방정식을 이용하였다.

$$\psi(x,y) = qN_A / \epsilon_{si} \quad (1)$$

여기서 q 는 전자의 전하, N_A 는 도핑농도, ϵ_{si} 는 실리콘 유전율을 나타낸다. 식(1)을 풀기위한 경계 조건은 다음과 같다.

$$\begin{aligned} \psi(0,y) &= V_{bi} \\ \psi(L,y) &= V_{bi} + V_{DS} \\ \psi(x,0) &= V_{GF} + \frac{\epsilon_{si}}{C_{ox}} \frac{\partial \psi}{\partial y} \Big|_{y=0} \\ \psi(x,t_{si}) &= V_{GF} - \frac{\epsilon_{si}}{C_{ox}} \frac{\partial \psi}{\partial y} \Big|_{y=t_{si}} \end{aligned} \quad (2)$$

여기서 V_{bi} 는 자생전압, V_{DS} 는 드레인-소스 전압, $C_{ox} = \epsilon_{ox} / t_{ox}$ 이며 ϵ_{ox} 는 게이트 옥사이드 유전율이다. 채널 내 전위분포는 다음과 같은 식을 사용하였다[2].

$$\psi(x,y) = V_{bi} + \frac{V_{DS}}{L} x \sum_{n=1}^{\infty} C(n)(y) \sin \frac{n\pi x}{L} \quad (3)$$

이때 열방사전류는

$$I_{ther} = \frac{q v_m(y) v_{th} t_{si} W}{6} = \frac{q v_m(d_{eff}) v_{th} t_{si} W}{6} \quad (4)$$

으로 표현 할 수 있다[3]. 파라미터 d_{eff} 는 자유 전자의 전도중심을 나타내며 다음과 같이 표현 된다[4].

$$d_{eff} = \int_0^{t_{si}/2} y e^{\psi_{min}/V_t} dy / \int_0^{t_{si}/2} e^{\psi_{min}/V_t} dy \quad (5)$$

식 (4)을 이용하면 t_{si} 값의 변화에 따른 문턱전압을 구할 수 있으며 문턱전압은 열방사전류가 $10^{-7}A$ 일 때 상단게이트전압을 문턱전압으로 정의하였다.

III. 문턱전압 결과 및 고찰

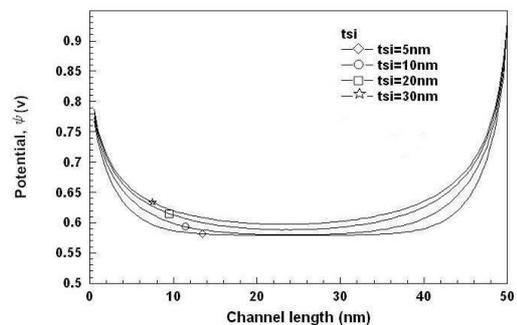


그림2. 채널두께변화에 대한 전위분포
Fig 2. Potential distribution of channel thickness

그림 2는 식(3)을 토대로 채널두께 변화에 대한 전위분포를 시뮬레이션 한 결과로 이후 이 결과 값들은 식(4)과 함께 채널두께에 따른 문턱전압을 분석하는데 이용될 것이다.

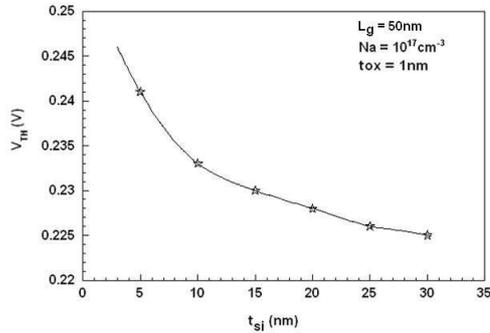


그림3. 채널두께에 따른 문턱전압의 변화
Fig 1. Threshold voltage roll-off as a function of channel thickness

그림 3에 t_{si} 의 변화에 따른 문턱전압을 도시 하였으며 이때의 파라미터값들은 $L_g = 50\text{nm}$, $t_{ox} = 1\text{nm}$, $N_A = 10^{17}\text{cm}^{-3}$ 이며 t_{si} 을 5~30nm이다.

그래프에서도 확인 할 수 있듯이 t_{si} 가 점차 증가함에 따라 문턱전압 값이 감소한다는 것을 알 수 있다. 이는 DGMOSFET의 소자의 t_{si} 가 채널내의 전위분포변화에 의존하기 때문으로 t_{si} 가 증가함에 따라 채널 내의 전계가 감소하여 산화막 내의 전위를 감소시키기 때문에 나타나는 현상이다.

IV. 결론

본 논문에서는 MOS 소자의 축소화에 의해 발생하는 문턱전압의 이동, 문턱전압이하 스윙값의 저하, 드레인유기방벽감소 등과 같은 단채널효과를 개선시키기 위해 제안된 여러 소자 구조들 중에서 상단게이트와 하단게이트를 갖는 Double-Gate MOSFET의 구조 및 급수형 전하분포를 이용한 채널두께의 변화에 따른 문턱전압에 대하여 분석하였으며 다음과 같은 파라미터 값들을 이용하여 ($L_g = 50\text{nm}$, $t_{ox} = 1\text{nm}$, $N_A = 10^{17}\text{cm}^{-3}$, $t_{si} = 5\sim 30\text{nm}$) 시뮬레이션을 수행하였다. 시뮬레이션 결과는 그림 2와 3에 그래프로써 도시하였으며 결론적으로 채널두께가 증가함에 따라 문턱전압이 감소한다는 것을 알게 되었다. 이와 같은 결과는 향후 DGMOSFET를 이용한 IC설계에 이용할 수 있다고 사료된다.

감 사 의 글

본 연구는 군산대학교정보통신기술연구소의 부분적인 지원으로 수행되었음

참 고 문 헌

- [1] H.K.Jung, J.H. Han, J.H. Lee "Analysis of subthreshold swing of double-gate Using Gaussian Function" International Journal of KIMICS, vol. 15, no. 1, pp681-684, May, 2011.
- [2] Z. Ding, G. Hu, J. Gu, R. Lin, L. Wang and T. Tang, "An analytical model for the subthreshold swing of double-gate MOSFETs", IWJT, 2010
- [3] H.K.Jung, Sima Dimitrijevic, "Analysis of Subthreshold Carrier Transport for Ultimate DGMOSFET", IEEE TRANSACTIONS ON ELECTRON DEVICES, vol. 53, no.4, pp. 685-691, APR, 2006
- [4] J.H. Han, H.K.Jung, C.S.Park, "Structure-Dependent Subthreshold Swings for Double-gate MOSFETs", International Journal of KIMICS, vol. 9, no. 5, pp583-586, OCT, 2011.