
40MHz ~ 280MHz의 동작 주파수와 32개의 위상을 가지는 CMOS 0.11- μm 지연 고정 루프

이광훈* · 장영찬*

*금오공과대학교

A 40 MHz to 280 MHz 32-phase CMOS 0.11- μm Delay-Locked Loop

Kwang-Hun Lee* · Young-Chan Jang*

*Kumoh National Institute of Technology

E-mail : ycjang@kumoh.ac.kr

요 약

본 논문은 40 MHz에서 280 MHz 동작 주파수에서 32-phase clock을 출력하는 multiphase delay-locked loop (DLL)을 제안한다. 제안된 multiphase DLL은 고해상도의 1-bit delay를 위하여 matrix구조의 delay line을 사용한다. Delay line의 선형성을 향상시키기 위하여 matrix 입력단의 비선형성을 보정할 수 있는 기법이 사용된다. 설계된 multiphase DLL은 1.2 V supply를 이용하는 0.11- μm CMOS 공정에서 제작되었다. 125 MHz 동작 주파수에서 multiphase DLL의 DNL은 +0.51/-0.12 LSB 이하로 측정되었으며, input clock의 jitter가 peak-to-peak jitter가 12.9ps일 때 출력 clock의 peak-to-peak jitter는 30 ps이다. 면적과 전력 소모는 각각 480 x 550 μm^2 과 1.2 V 공급전압에서 9.6 mW이다.

ABSTRACT

This paper describes a multiphase delay-locked loop (DLL) that generates a 32-phase output clock over the operating frequency range of 40 MHz to 280 MHz. The matrix-based delay line is used for high resolution of 1-bit delay. A calibration scheme, which improves the linearity of a delay line, is achieved by calibrating the nonlinearity of the input stage of the matrix. The multi-phase DLL is fabricated by using 0.11- μm CMOS process with a 1.2 V supply. At the operating frequency of 125MHz, the measurement results shows that the DNL is less than +0.51/-0.12 LSB, and the measured peak-to-peak jitter of the multi-phase DLL is 30 ps with input peak-to-peak jitter of 12.9 ps. The area and power consumption of the implemented DLL are 480 x 550 μm^2 and 9.6 mW at the supply voltage of 1.2 V, respectively.

키워드

Multi-Phase, DLL, Clock Generator

1. 서 론

최근 mobile, microprocess, 그리고 통신과 같은 응용 분야의 interface 속도가 빨라짐에 따라 timing margin을 향상시키기 위한 phase alignment 회로가 요구되고 있다. 일반적으로 정

확한 phase alignment를 위하여 multi-phase clock generator가 사용되고 있다. Multi-phase clock generator는 간단하게 phase-locked loop (PLL)의 voltage controlled oscillator (VCO)나 delay-locked loop (DLL)의 voltage controlled delay line (VCDL)의 buffer stage를 출력하고자 하는 phase의 개수만큼 delay cell로 구성함으로

써 설계될 수 있다. 이 경우 N개의 출력 phase를 위하여 VCO나 VCDL이 N개의 delay cell로 구성되어야 한다. 이 경우 delay cell의 개수가 많아져 PLL과 DLL의 최대 동작 주파수가 제한된다. 이러한 제한을 해결하기 위하여 phase interpolator를 사용한 PLL과 DLL이 제안되었다 [1]-[6].

Phase interpolator는 두 입력 phase의 strength를 조절함으로써 출력 클럭의 phase를 제어한다. 하지만 phase interpolator는 두 입력 클럭의 위상차에 따라 그 특성이 영향을 받게 된다. Phase interpolator의 입력 클럭이 low frequency일 때 두 입력 클럭의 phase 차이가 증가되어 출력 클럭의 phase resolution 특성이 악화된다. 이러한 문제점을 개선하기 위해 저항 averaging technic과 matrix 구조를 이용한 VCDL 구조가 연구되었다 [5].

본 논문에서는 40 MHz에서 280 MHz 동작 주파수에서 32-phase 클럭을 출력하는 DLL을 제안한다. 제안된 DLL은 고해상도의 1-bit delay를 위하여 matrix구조의 VCDL을 사용하며, delay line의 선형성을 향상시키기 위하여 matrix 입력단의 비선형성을 보정할 수 있는 기법을 제안한다.

II. 32-Phase DLL

그림 1은 설계된 32-phase clock을 출력하는 DLL의 block diagram이다. DLL은 기존의 phase detector (PD), charge pump (CP), 초기 false locking을 막기 위한 PD_INIT, loop filter (LF), VCDL에 해당하는 Delay Matrix, Delay Matrix의 입력단의 interpolator 블록과 Delay Matrix의 delay를 제어하기 위한 Delay Ctrl Bias 블록, 32-phase의 클럭 중 출력 클럭의 phase를 선택하기 위한 MUX와 이를 위한 Encoder로 구성된다.

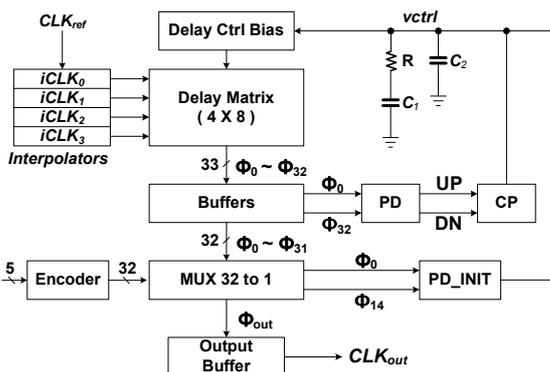


그림 1. DLL의 블록도

그림 2(a)는 Delay Matrix의 블록도이다. Delay Matrix는 32-phase clock을 출력하기 위한 32개의 delay cell과 1-bit delay 해상도를 향상하기 위한 4개의 dummy stage로 이뤄져있다 [5].

각 phase의 delay error를 줄이기 위한 저항 averaging technique이 사용되었다 [5]. Delay cell은 입력 클럭을 주기의 1/8 만큼 delay 시킨다. Delay Matrix의 4개 입력 (iCLK₀~iCLK₃) 간의 delay 차이는 delay cell의 지연에 1/4 크기로 결정된다. 그림 2 (b)는 delay cell의 회로도이다. Delay cell은 current starved inverter 구조로 PMOS와 NMOS의 바이어스 전압 (vcp, vcn)으로 delay를 제어한다. 또한 current starve inverter 출력에 MOS cap을 추가시켜 넓은 영역의 주파수에서 동작이 가능하다 [6].

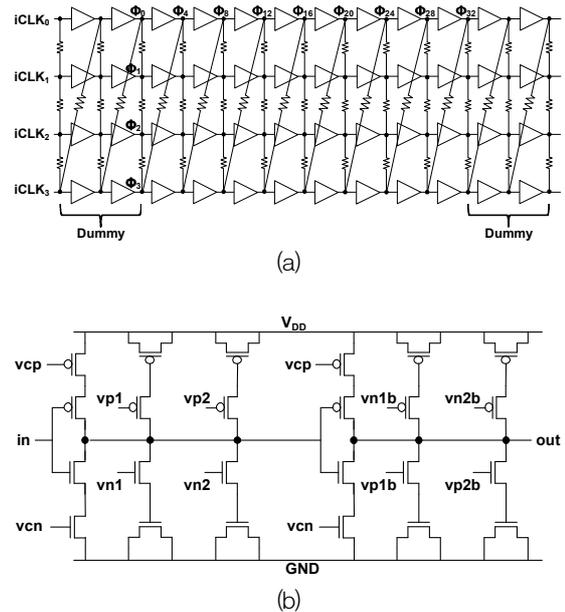


그림 2 (a) Delay Matrix의 블록도 (b) delay cell의 회로도

그림 3(a)는 Delay Matrix의 4개 입력 (iCLK₀~iCLK₃)을 만들기 위한 interpolator의 블록도이다. Delay matrix와 동일한 delay cell을 이용하여 iCLK₀과 iCLK₄의 delay를 delay cell의 지연만큼 차이 나게 한다. 이 두 개의 클럭을 half sized inverter phase interpolator [1]와 저항 phase interpolator [4]를 이용하여 delay cell의 delay를 1/4 만큼 지연시킨 클럭 (iCLK₁~iCLK₃)을 생성한다. Interpolator의 출력 iCLK₀~iCLK₃는 Delay Matrix에서 생성하는 32-phase 출력 clock의 1-bit delay 선형성에 직접적으로 영향을 미친다. 특히 4개의 출력 중 iCLK₂가 1-bit delay 선형성에 영향을 크게 준다. 이는 iCLK₂는 낮은 주파수에서 iCLK₀과 iCLK₄의 phase 차이에 의해 phase interpolator가 정확하게 되지 않고, 이러한 phase interpolator error는 iCLK₁과 iCLK₃에 영향을 주기 때문이다. 따라서 본 논문에서는 32-phase 출력 클럭의 1-bit delay 선형성을 향상시키기 위해 iCLK₂ phase를 제어할 수 있는 scheme을 사용하였다. 이를 위한 회로를 그림

3(b)에 보였다. 2-bit 디지털 코드를 이용하여 inverter의 size를 조절한다. 이를 이용하여 두 입력 iCLK₀과 iCLK₄의 phase strength를 조절해 iCLK₂ phase를 제어한다.

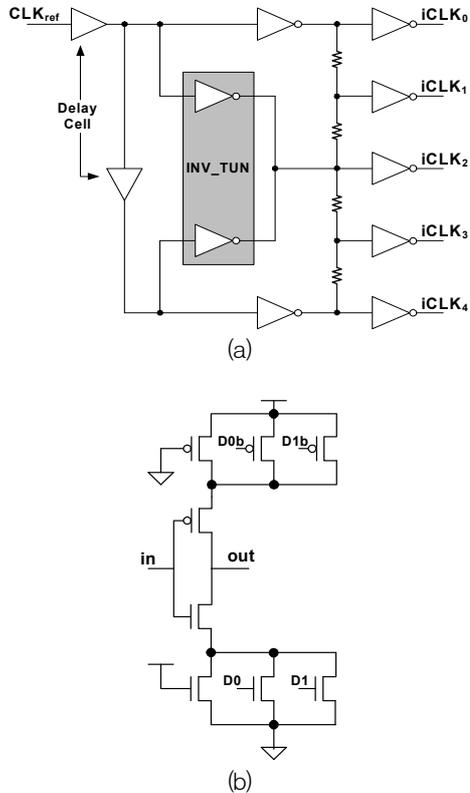


그림 3. (a) Interpolator 블록도 (b) INV_TUN 회로도

III. 칩 구현 및 측정 결과

그림 4는 제작된 DLL의 칩 사진이다. 제안된 DLL은 1.2 V supply, 0.11- μ m 1-poly 6-metal CMOS 공정을 이용하여 제작되었다.

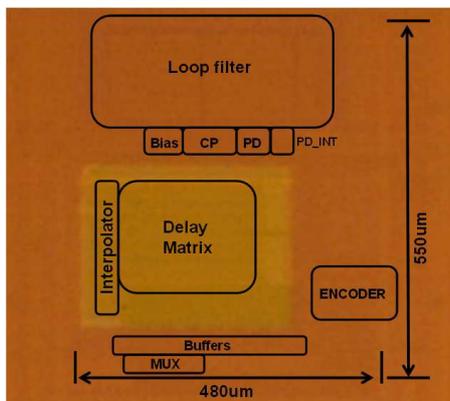
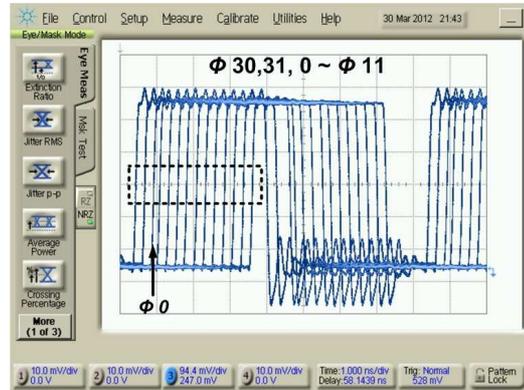
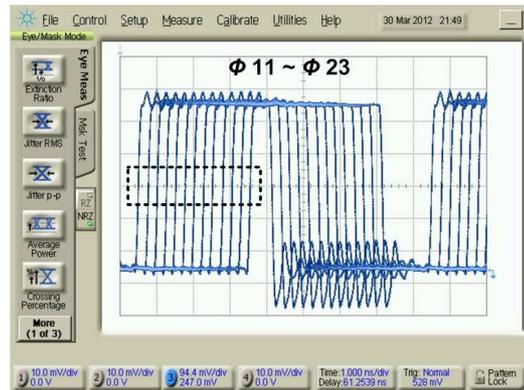


그림 4. 제작된 DLL의 칩 사진

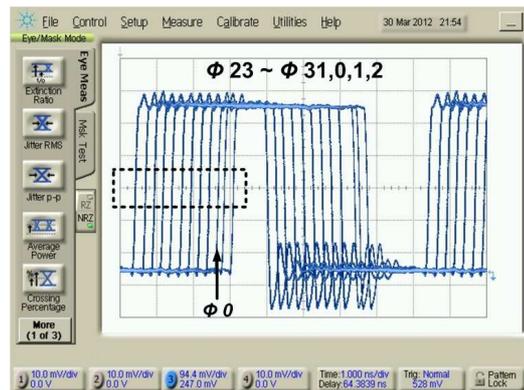
출력 clock의 phase 선택을 위한 encoder를 포함한 DLL의 면적은 480 x 550 μ m²이고, 전력 소모는 125 MHz 동작 주파수에서 9.6 mW이다. 측정된 multi-phase DLL의 동작 주파수는 40 MHz에서 280 MHz이다. 동작 주파수 전 영역에서 32-phase clock 이 출력된다.



(a)



(b)



(c)

그림 5. 125 MHz 동작 주파수에서 측정된 32-phase 출력 clock 파형 (a) $\phi_{30,31,0} \sim \phi_{11}$ (b) $\phi_{11} \sim \phi_{23}$ (c) $\phi_{23} \sim \phi_{31,0,1,2}$

그림 5는 125 MHz에서 측정한 32-phase 출력 클럭의 파형이다. 그림 5(a)는 출력 clock의 30 번

째 phase에서 11번째 phase까지 측정된 파형이며, (b)와 (c)는 각각 11번째 phase에서 23번째 phase까지, 23번째 phase에서 2번째 phase까지 측정된 파형이다.

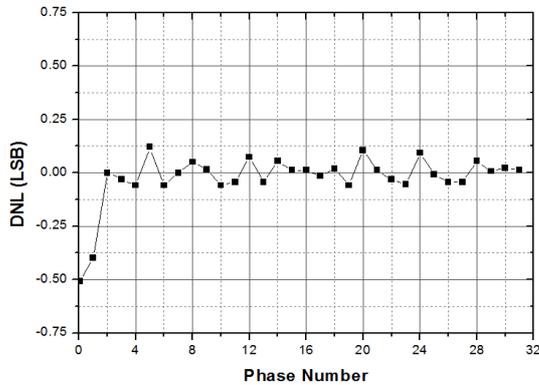


그림 6. 125MHz 출력 clock의 측정된 DNL

그림 6은 125 MHz의 동작 주파수에서 측정된 32-phase 출력 클럭의 differential non-linearity (DNL)이다. 125 MHz 동작 주파수에서 1-step resolution에 해당하는 256 ps가 1-LSB 일 때, DNL은 - 0.507 LSB에서 +0.12 LSB로 측정되었다. 또한, 40 MHz에서 280 MHz 동작 주파수 영역에서 측정된 peak DNL은 +0.792/-0.731 LSB이다. 그림 6에 보인 바와 같이, peak DNL 값은 phase 0과 phase 1에서 나타나는데, 이는 layout 상의 signal routing loading의 부정합 문제이다.

그림 7은 125 MHz 동작 주파수에서 측정된 출력 clock의 jitter histogram이다. 측정된 rms jitter와 peak-to-peak jitter는 각각 3.56 ps와 30 ps 이다. DLL은 입력 기준 클럭 jitter를 제거하지 못하기 때문에, DLL의 자체 jitter 특성은 출력 jitter에서 입력 기준 클럭의 jitter 값의 차이로 결정된다. 125 MHz 동작 주파수에서 측정된 DLL의 입력 기준 클럭의 rms jitter와 peak-to-peak jitter는 각각 1.75 ps와 12.9 ps 이다.

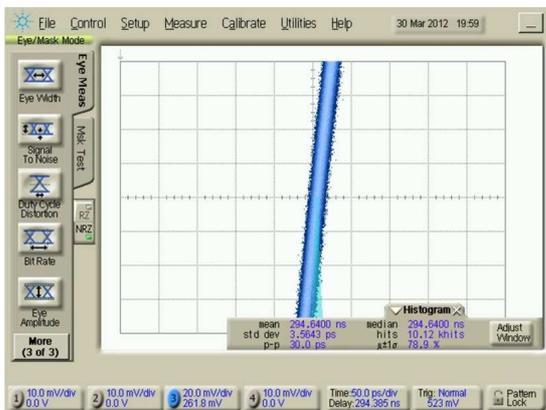


그림 7. 125MHz 출력 clock의 측정된 jitter histogram

IV. 결론

40 MHz에서 280 MHz 동작 주파수에서 32-phase clock을 출력하는 multi-phase DLL은 matrix구조의 delay line을 사용한다. 1-bit delay의 선형성을 향상시키기 위하여 matrix 입력단의 비선형성을 보정할 수 있는 기법이 사용되었다. 설계된 multi-phase DLL은 1.2 V supply를 이용하는 0.11- μ m CMOS 공정에서 제작되었다. 동작 주파수 영역에서 multiphase DLL의 DNL은 0.792 LSB 이하로 측정되었다. 125 MHz 동작 주파수에서 multi-phase DLL의 rms jitter와 peak-to-peak jitter는 각각 3.56 ps와 30 ps로 측정되었다. 면적과 전력 소모는 각각 480 x 550 μ m²과 1.2 V 공급전압에서 9.6 mW이다.

감사의 글

This research was supported by the Basic Science Research program through the National Research Foundation of Korea (NRF) funded by the Ministry of Education, Science and Technology (2010-0006314), the IT R&D program of MKE/KEIT (10039159), and IDEC.

참고문헌

- [1] J. G. Maneatis, et. al., "Precise Delay Generation Using Coupled Oscillators," *IEEE J. Solid-State Circuits*, vol. 28, no. 12, pp. 1273-1282, Dec. 1993.
- [2] S. Sidiropoulos, et. al., "A Semidigital Dual Delay-Locked Loop," *IEEE J. Solid-State Circuits*, vol. 32, no. 11, pp. 1683-1692, Nov. 1997.
- [3] Youngsam Moon, et. al., "An All-Analog Multiphase Delay-Locked Loop Using a Replica Delay Line for Wide-Range Operation and Low-Jitter Performance," *IEEE J. Solid-State Circuits*, vol. 35, no. 3, pp. 377-384, Mar. 2000.
- [4] J.-M. Chou, et. al., "Phase averaging and interpolation using resistor strings or resistor rings for multi-phase clock generation," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 53, no. 5, pp. 984- 991, May 2006.
- [5] Y.-S. Kim, et. al., "A 100 MHz to 1.4 GHz Locking 40-Phase All-Digital DLL," *IEEE J. Solid-State Circuits*, vol. 46, no. 2, pp. 435-444, Feb. 2011.
- [6] Y.-S. Kim, et. al., "A 40-to-800 MHz locking multi-phase DLL," *IEEE Int. Solid-State Circuits Conf. 2007 Dig. Tech Papers*, pp.306-307, Feb. 2007.