

TT-P060

NBTI 스트레스로 인한 p채널 MOSFET 열화 분석

김동수, 김효중, 이준기, 최병덕

성균관대학교 정보통신공학부 전자전기컴퓨터공학과,

MOSFET의 크기는 작아지고 다양한 소자열화 현상으로 신뢰성 문제가 나타나고 있다. 특히 CMOS 인버터에서 PMOS가 'HIGH'일 때 음의 게이트 전압이 인가되고 소자 구동으로 인해 온도가 높아지면 드레인 전류의 절대값은 줄어들고 문턱 전압 절대값과 GIDL전류가 증가하는 NBTI현상이 발생한다. 본 연구에서는 NBTI현상에 따른 열화 특성을 분석하였다. 측정은 드레인과 소스는 접지시킨 상태에서 온도 100°C에서 게이트에 -3.4V과 -4V의 게이트 스트레스를 인가한 후 게이트 전압에 따른 드레인 전류를 스트레스 시간에 따라 측정하였다. 측정에 사용된 소자의 산화막 두께는 25Å, 채널 길이는 0.17 μm , 폭은 3 μm 이다. 게이트에 음의 전압이 가해지면 게이트 산화막에 양전하의 interface trap이 생기게 된다. 이로 인해 채널 형성을 방해하고 문턱 전압은 높아지고 드레인 전류의 절대값은 낮아지게 된다. 또한 게이트와 드레인 사이의 에너지 밴드는 게이트 전압으로 인해 휘어지게 되면서 터널링이 더 쉽게 일어나 GIDL전류가 증가한다. NBTI스트레스 시간이 증가함에 따라 게이트 산화막에 생긴 양전하로 인해 문턱 전압은 1,000초 스트레스 후 스트레스 전압이 각각 -3.4V, -4V일 때 스트레스 전에 비해 각각 -0.12V, -0.14V정도 높아지고 드레인 전류의 절대값은 5%와 24% 감소한다. GIDL전류 역시 스트레스 후 게이트 전압이 0.5V일 때, 스트레스 전에 비해 각각 0.021 μA , 67 μA 씩 증가하였다. 결과적으로, NBTI스트레스가 인가됨에 따라 게이트 전압 0.5V에서 0V사이의 드레인 전류가 증가함으로 GIDL전류가 증가하고 문턱전압이 높아져 드레인 전류가 -1.5V에서 드레인 전류의 절대값이 줄어드는 것을 확인할 수 있다.

Keywords: NBTI, GIDL, Interface trap