

Core-A를 이용한 실시간 영상 신호 처리 SoC 설계

신요순*, 김한식**, 류광기***

한밭대학교 정보통신전문대학원

e-mail: sysvictory@hanbat.ac.kr*, ukala@nate.com**, kkryoo@hanbat.ac.kr***

Core-A based real-time video signal processing SoC design

Yosoon Shin*, Hansik Kim**, Kwangki Ryoo***

Graduate School of Information and Communication, Hanbat National University

요 약

본 논문에서는 Core-A를 이용한 실시간 영상 신호 처리 SoC 설계와 검증에 대해 기술한다. 영상 신호 처리를 위한 방식으로 SoC를 사용하였으며 영상 처리를 위한 ISP를 설계하였다. 영상 처리를 위한 마이크로프로세서는 코드밀도를 높이고 Verilog HDL을 사용하여 기술되어 여러 응용분야에서 최적화할 수 있는 국내에서 개발된 Core-A를 사용하였다. 본 논문에서 제안한 SoC는 Verilog HDL언어로 설계 되었고, 기본 SoC의 구조는 Core-A, AMBA Bus, ISP, Memory controller, Uart로 구성하였다. 구현된 SoC는 다양한 영상 신호 처리를 지원하여 향후 영상압축 인코더의 실시간 이미지 처리용 소스로 사용할 수 있고 신호 처리 알고리즘 검증용에도 유용하게 사용될 수 있을 것으로 보인다. 설계 검증을 위해 먼저 FPGA를 이용하여 검증하였으며 TSMC 0.18 μ m CMOS공정으로 합성한 결과 동작주파수는 50MHz, 전체 게이트 수 86.1k로 확인되었다.

1. 서론

최근 전자기기의 가장 큰 특징은 스마트다. 단어 그대로 다양한 형태의 기능을 복합적으로 제공하고 있다는 뜻이다. 예를 들어, 스마트폰의 경우 음성 통신뿐만 아니라 카메라를 이용한 사진 및 영상의 촬영이 가능하고 내부 SW를 이용한 편집이 가능하다. 또한 화상통화를 지원하며 실시간 영상 처리를 이용하여 영상 변환 기능을 제공하는 경우도 있다. 이처럼 멀티미디어 처리를 위한 방식도 여러 방향으로 발전하고 있다[1].

대부분의 스마트 기기에 사용된 카메라의 경우 영상 처리 S/W, 영상처리 H/W를 이용하여 다양한 영상처리 방식을 지원하고 있다. S/W를 이용한 방식은 유연하며 편리한 구현이 가능하지만 부동소수점 연산 등 복잡도가 높은 연산의 경우 부적합하며 이를 H/W로 구현 할 경우 가장 효율적인 방법이지만 구현 과정도 복잡하고 설계비용이 많이 드는 단점이 있다. 이러한 문제로 인해 S/W와 H/W를 동시에 집적할 수 있는 영상 신호 처리 SoC가 주목받고 있다. 다시 말해 영상 신호 처리 SoC는 프로세서에 사진, 영상, 화상 통화 등을 효과적으로 처리하기 위한 H/W를 설계하여 S/W보다 가속이 가능한 멀티미디어 데이터의 입출력을 위한 인터페이스를 포함한 특화된 칩이라고 할 수 있다. 압축을 제외한 대부분의 영상 처리 신호의 경우 단순한 연산을 반복 처리하며 이러한 연산이 서로 독립적이므로 특정 신호 처리 H/W를 구현하기에 용이

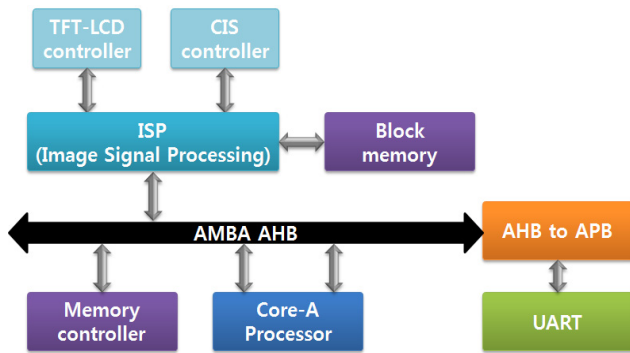
하다. 그렇기 때문에 비교적 낮은 범용 프로세서를 이용한 구현이 가능하고 낮은 칩 가격에 원하는 기능을 제공할 수 있는 특정 기능에 특화된 영상 신호 처리 SoC설계 방식이 널리 사용되고 있다[2].

반도체 집적을 위한 CMOS공정이 점점 발달하면서 같은 크기에 많은 기능을 포함하는 것이 용이해지고 있다. 하지만 대부분의 SoC의 경우 칩 레이아웃 시 핵심 프로세서의 경우 국외에서 제공되는 Hard-Core 프로세서IP를 사용하기 때문에 위치와 모양의 변화가 쉽지 않다는 단점이 있다. 그렇기 때문에 Verilog HDL로 구현되어 변형이 용이한 Soft-Core 형태로 제공되는 프로세서가 필요하다. 그렇기 때문에 국내에서 개발되었으며 Soft-Core로 제공되는 Core-A라는 프로세서를 이용 할 경우 좀 더 자유로운 칩 레이아웃이 가능하게 된다. 그리고 국산 IP를 사용함으로써 국외에 지출되는 로열티를 줄일 수 있다는 장점도 있다. 그렇기 때문에 본 논문에서는 SoC의 핵심 프로세서로 국내에서 개발된 Core-A 프로세서를 이용한 영상 신호 처리 SoC 설계를 제안한다[3].

본 논문의 구성은 다음과 같다. 2장에서는 설계한 멀티미디어 SoC의 구조에 대해 설명한다. 다음으로 핵심 프로세서로 사용된 Core-A에 대해 기술한다. 다음으로 3장에서는 FPGA를 이용한 설계 검증을 하였으며 4장은 ASIC 설계를 통한 칩 레이아웃한 결과를 보인다. 마지막으로 5장에서는 결론으로 끝을 맺는다.

2. 영상 신호 처리 SoC 플랫폼 구조

그림 1은 영상 신호 처리를 위한 Core-A 기반 SoC 플랫폼의 구조이다.



(그림 1) 영상 신호 처리 SoC 구조

본 논문에서 설계한 영상 신호 처리 SoC는 Core-A 모듈, AMBA bus 모듈, ISP 모듈, TFT-LCD controller 모듈, CIS controller 모듈, Memory controller 모듈, UART 모듈, Block memory 모듈로 구성된다.

TFT-LCD controller 모듈은 ISP 모듈에서 출력되는 영상을 TFT-LCD에 출력하기 위해 사용하며, Memory controller 모듈은 Core-A가 동작하기 위한 프로그램이 저장된 SRAM에 접근하는데 사용된다.

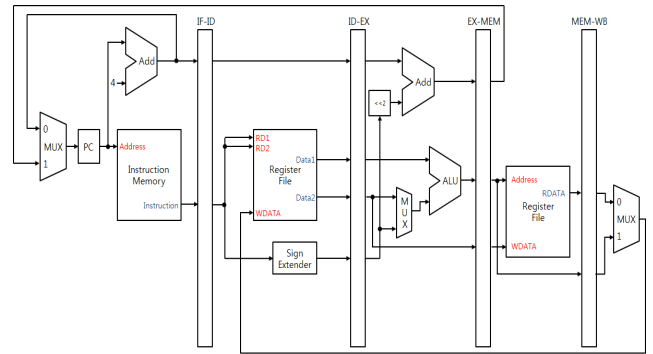
UART 모듈은 SoC에서 동작하는 소프트웨어를 제어하기 위해 사용되며, UART 모듈에서 입력되는 제어 신호로 ISP 모듈의 내부 레지스터에 값을 설정한다.

ISP 모듈은 UART 모듈로부터 설정된 내부 레지스터에 값으로 CIS controller 모듈에서 입력 영상 신호 처리하여 TFT-LCD controller 모듈로 출력하는 기능을 한다. AMBA bus는 고속 인터페이스를 위한 AHB bus와 저속 인터페이스를 위한 APB로 구성되며 AHB to APB 모듈을 통해 고속 인터페이스와 저속 인터페이스간 통신을 수행한다.

2.1. Core-A

Core-A는 32비트 임베디드 프로세서로써 독자적인 RISC(Reduced Instruction Set Computer)의 ISA를 갖는다. Core-A의 장점은 SoC 탑재가 용이하다는 점이다. SoC는 내부에 함께 포함되는 IP와의 연계를 위해 IP의 위치와 모양이 변하는 칩 레이아웃에서 유동적인 변화가 필요하다. 이와 같은 상황에서 필요한 프로세서가 Soft-Core 임베디드 프로세서이며 Core-A가 이에 해당한다. 그러므로 고정된 칩 레이아웃을 갖는 Hard-Core에 비해 성능과 면적에서 효율성이 높은 구조를 구성할 수 있는 특징이 있다.

그림 2는 Core-A 내부의 파이프라인 구조이며, 5단계의 파이프라인으로 구성되어 높은 동작속도를 가진다[4].



(그림 2) Core-A 내부의 파이프라인 구조

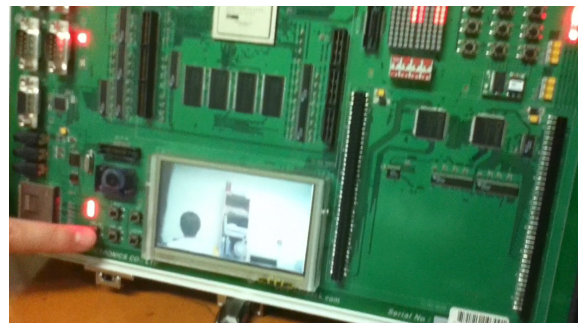
3. 제안하는 SoC의 FPGA 구현 결과

제안하는 영상 신호 처리 SoC의 설계 검증은 FPGA를 이용하여 검증 하였다. 검증을 위한 디바이스는 Xilinx사의 VIRTEX-4 XC4VLX80 FPGA 디바이스를 사용하였으며 내부 영상 신호 처리 제어 소프트웨어를 이용하여 SoC의 동작을 검증하였다.

아래의 <표 1>은 영상 신호 처리 SoC의 FPGA 구현 결과를 나타낸다. 사용된 Slices는 4,766이고 Utilization은 13%로 나타났다. 그 외에 LUTs는 8,560, BRAM의 사용량은 다른 로직과 다르게 84%로 높게 나타났는데 이는 SoC 내부에 Block RAM으로 인해 BRAMs 사용량이 증가했기 때문이다.

<표 1> 영상 신호 처리 SoC의 FPGA 구현 결과

Logic Utilization	Used	Available	Utilization
No of Slices	4,766	35,840	13%
No of Slices Flip Flops	3,184	71,680	4%
No of Input LUTs	8,560	71,680	11%
No of Bonded IOBs	124	768	16%
No of BRAMs	189	200	94%



(그림 3) 영상 신호처리 SoC 실험 화면

그림 3은 영상 신호 처리 SoC를 FPGA 테스트 보드를 이용하여 검증한 사진이며, CIS로부터 입력된 영상을 신

호 처리 후 TFT-LCD에 출력된다.

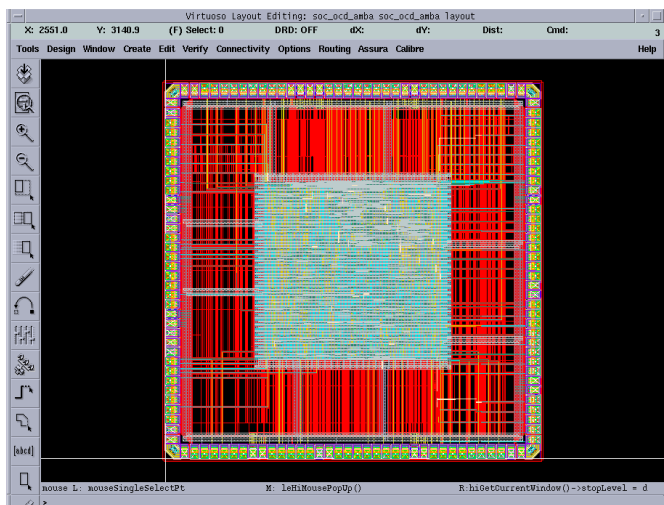
4. 제안하는 SoC의 ASIC 구현 결과

본 논문에서 제안하는 SoC 하드웨어 구조는 Verilog HDL로 설계 하였다. 하드웨어 합성은 IDEC에서 지원하는 CAD tool을 사용하였으며, TSMC 0.18 μ m CMOS공정으로 합성한 결과는 아래 <표 2>와 같다.

<표 2> 제안하는 SoC 하드웨어 합성 결과

구분		결과
공정		TSMC 0.18 μ m
동작 주파수		50MHz
게이트 (k)	Combinational area	6.4k
	Noncombinational area	79.7k
	Total cell area	86.1k

그림 4는 Virtuoso Layout Editing 칩 설계 결과 화면이다.



(그림 4) Virtuoso Layout Editing 칩 설계 결과 화면

5. 결론

본 논문에서는 영상 신호 처리 SoC는 내부 핵심 프로세서를 Core-A를 사용하였고 이를 내부 ISP를 설계함으로써 영상 신호를 처리 할 수 있는 SoC를 제안하였다. 이를 FPGA를 통하여 검증하였고 ASIC 설계를 통해 칩 레아웃 테스트를 실시하였다.

추가적인 연구방향으로 실제 영상 처리 SoC 산업에서 사용되는 국외 프로세서를 장착한 영상 처리 SoC와의 비교 실험을 통해 실제 산업에 적용 될 수 있는지에 대한

검증 과정이 필요하다. 그리고 내부 영상 처리 ISP의 제한된 기능을 확장하여 더 많은 영상 신호를 처리하기 위한 추가적인 설계 및 검증이 필요하다.

감사의 글

본 논문은 교육과학부와 한국연구재단의 지역혁신인력 양성사업 및 지식경제부 출연금으로 수행한 ETRI SW-SoC 융합 R&BD 센터와의 공동 연구의 결과입니다.

참고문헌

- [1] 이혁재외 4명, 멀티미디어용 SOC 설계기술, 2009년 2월 전자공학회학회지 제 36권 제2호
- [2] 이봉규, LEON 2 코어 기반 재구성 가능 영상처리 SoC 개발, 대한전기학회, 전기학회논문지 58(7), 2009.7월
- [3] 서경엽, 고성능 Core-A 임베디드프로세서 구조, 대한전자공학회, 대한전자공학회 학술대회, 2009년 5월
- [4] Core-A Processor, <http://www.core-a.net>