

MLC 낸드플래시 분석 프로그램 구현

오현수*, 이종태**, 최석환***,전중남****

*충북대학교 컴퓨터학과

e-mail:fodorl@naver.com, yyjtt@nate.com,

seokhwan.choi@hynix.com joongnam@cbu.ac.kr

An Implementation of MLC NAND Flash Analyer

Hyun-Su Oh*, Jong-Tae Lee**, Joongnam Jeon****

*Dept of Computer Science, Chung-buk University

Seokhwan Choi****

Hynix semiconductor

요 약

일반적으로 낸드플래시는 Matlab이나 간단한 프로그램 언어를 통하여 분석하는 경우가 많았다. 그 이유는 많은 데이터와 공정마다 변하는 데이터 format 그리고 여러 가지 분석방법의 다양성이 그 이유이다. 그 때문에 분석시간과 분석의 정형화가 이루어지지 않았다. 본 논문의 낸드플래시의 분석을 정형화 하였고, DB를 이용하여 많은 양의 테스트데이터를 관리 하였다. 또한 여러 종류의 테스트데이터 format에 대하여 범용 적으로 사용할 수 있도록 제작 하였다. 제작된 분석기는 낸드플래시의 CCI특성 및 EW cycle과 retention에 대한 stress resistance를 분석할 수 있다. 객체지향 으로 설계가 되어 추후 유지 보수를 용이하게 설계하였다.

키워드 : MLC, NAND Flash, Memory, CCI, Interference

1. 서론

모바일 기기의 사용이 급증하면서 MLC(Multi Level Cell) 낸드플래시의 수요가 급증하고, 미디어 데이터의 사용이 늘어나면서 낸드플래시의 용량은 더욱 증가하고 있다. 낸드플래시는 크게 한 개의 cell에 한 비트를 저장할 수 있는 SLC(Single Level Cell)와 두 비트 이상을 저장할 수 있는 MLC로 나눌 수 있다. MLC는 사용할 수 있는 횟수가 SLC보다 적은 대신 데이터를 저장할 수 있는 용량이 SLC보다 많은 특징을 가진다.

MLC의 단점은 SLC에 비하여 사용횟수가 적다는 것이다. 대표적인 이유로는 한 개의 셀에 두 비트 즉, 4가지 상태의 전압 분포가 존재하므로 CCI(Cell to Cell Interference) [1] [2]의 영향을 더 많이 받는다. MLC 낸드플래시는 데이터를 저장하는 셀의 배열이고 한 개의 셀은 특정 데이터를 의미하는 전압을 가지고 있다.[4] 하지만 먼저 프로그램 된 셀은 주변 셀이 프로그램 될 때 영향을 받게 되고 이로 인하여 데이터를 의미하는 전압이 변하게 된다. 결과적으로 데이터의 오류를 가져오게 된다.[1] [2] 또한 CCI영향은 프로그램 순서와 셀의 물리적 구조, 그리고 주변 셀의 전압 등 MLC 낸드플래시 내부에서 존재하는 여러 요인들과 상관관계를 이루고 있다.

본 논문에서는 MLC 낸드플래시에서 CCI영향에 관련된 요소들의 관계를 WL(Word Line), BL(Bit Line), 페이지, 셀의 패턴의 관점에서 CCI 영향을 분석하는 분석기를

소개한다. 이 분석기는 분석 결과를 쉽게 이해 할 수 있고, 표를 통해 자세한 분석이 가능하다.

2. 낸드플래시 메모리의 특성

(1) 낸드플래시의 구조

낸드플래시의 내부 구조는 Plane, 블록, 페이지로 나뉜다. 예를 들어 H27UCG8T2M[9]는 32Gbit 의 데이터 용량을 갖으며 2개의 plane, 2048개의 블록, 256개의 페이지로 구성되어 있다. 한 개의 블록은 여러 개의 페이지가 있고, 페이지는 수많은 셀이 연속적으로 구성되어 있다고 할 수 있다.

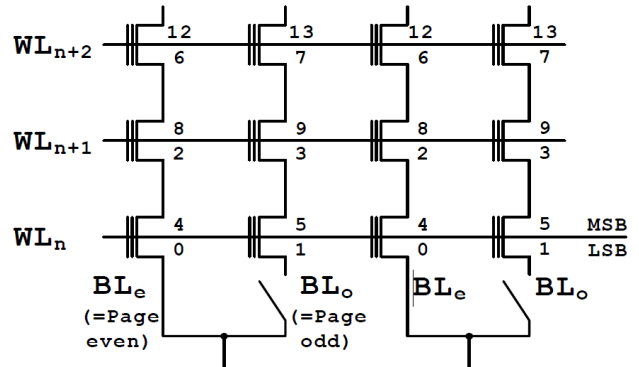


그림 1 MLC 낸드플래시의 셀 구조

그림 1은 낸드플래시 블록에서 구조를 표현한 그림이다. MLC 낸드플래시의 경우 한 개의 셀에 두 비트를 저장하기 때문에 그림 2(a)와 같은 셀 전압 분포를 보이고 있

다.[5]

하지만 셀의 전압이 외부의 요인에 의하여 변하게 된다면 그림 2(b)에서 표시된 곳과 같이 분포가 겹치는 현상이 발생하고 결과적으로 데이터의 에러를 발생한다.

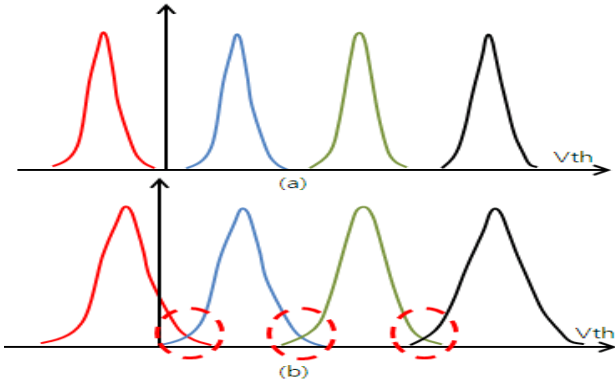


그림 2 MLC 낸드플래시 셀의 전압 분포

(2) 셀의 에러 발생 요인

낸드플래시에서 셀은 데이터를 저장하는 가장 작은 단위이다. 만약 셀에 저장된 값이 다른 요인에 의하여 바뀌게 된다면 낸드플래시 데이터 신뢰성은 떨어지게 된다. 낸드플래시 셀에 영향을 미치는 것은 크게 3가지로 나누어 볼 수 있다. 첫 번째 요인은 CCI이다. CCI는 셀이 프로그램 될 때 주변 셀에 영향을 주는 것이다. 셀의 구조는 2차원 배열이기 때문에 victim 셀에 영향을 줄 수 있는 셀은 8개가 있다. 또한 8개의 셀은 victim 셀에 각기 다른 영향을 주게 되고 이러한 영향은 CCI영향을 최소화 하는데 중요한 자료가 된다.

두 번째 요인으로는 EW(Erase Write) 사이클을 말할 수 있다. 낸드플래시는 블록 단위 삭제와 페이지단위 프로그램을 한다. 하지만 EW 사이클이 증가를 하면서 셀이 가지고 있는 전압의 분포는 바뀌게 된다.

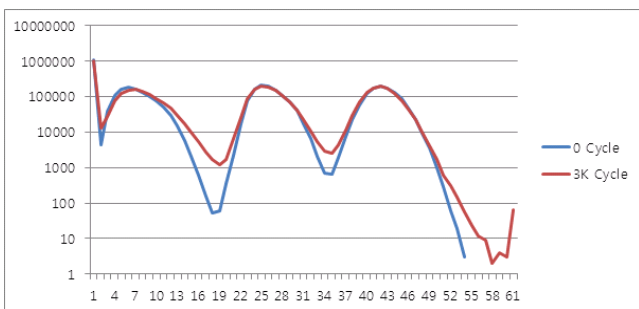


그림 3 EW cycle 변화에 따른 전압분포

그림 3은 낸드플래시에서 EW cycle의 증가로 인하여 전압분포가 어떻게 변하는 지를 보여준다. 이와 같은 분포 shift 현상은 사용 횟수가 증가할수록 오른쪽으로 더욱 shift된다. 결국은 전압을 논리 데이터로 변환하는데 기준

이 되는 read-bias[6]를 넘어가 데이터 에러를 발생하게 된다.

세 번째는 retention을 들 수 있다. Retention은 오랜 시간이나 고온과 같은 환경적인 요인이다. 낸드플래시 테스트는 오랜 시간 테스트를 할 수 없기 때문에 고온에서 시간의 변화에 따라 측정을 한다. 이러한 실험에 따른 결과는 그림 4와 같은 형태로 표현된다.

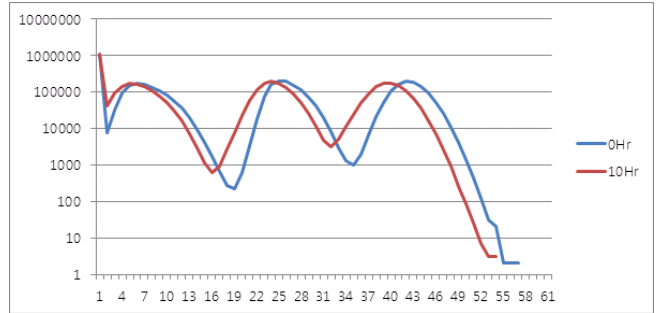


그림 4 Retention의 변화에 따른 전압분포

그림 4에서는 retention의 영향을 많이 받을수록 왼쪽으로 shift되는 것을 볼 수 있다. 그 이유는 오랜 시간이 지나면 셀에 있는 전하가 빠져 나가기 때문이다. EW 사이클의 변화에 따라 에러가 많아지듯이 retention도 read-bias[6]를 넘어가는 데이터의 증가로 에러 발생 원인이 된다.[7]

이렇게 낸드플래시는 내부적인 요인이나 외부적인 요인 또는 복합적인 원인으로 인하여 셀의 값이 변하고 에러를 발생하게 된다.

3. 분석기의 기능

이 분석기는 분석의 용이성을 위하여 데이터베이스를 사용하였다. 테스트 환경에 따라 존재하는 많은 종류의 데이터를 관리 하고 테스트 데이터의 여러 환경 변수를 관리 하는 기능도 하고 있다. 그리고 테스트 데이터는 작게는 수십 MB에서 크게는 100MB 이상의 데이터가 존재한다. 이러한 파일을 여러 개 읽고 분석하기 위해서는 많은 시간이 걸린다. 그래서 테스트 데이터나 입력 데이터를 셀 배열 구조로 변환하여 disk cache에 저장해 놓고 다음 읽을 때부터 disk cache에서 셀 배열을 읽어오게 하였다. 또한 셀의 전압 분포를 이용하여 자동으로 read-bias를 계산하는 알고리즘을 도입하였다.

분석기에 사용되는 분석 기능은 6가지가 있다.

(1) PV Distribution of Block

Stress의 변화에 따라 셀의 전압 분포를 표현하는 것이다. 이 기능은 Stress가 변할 때 분포가 어떻게 변해져 가는지 알 수 있다. 예를 들어 Stress type이 EW cycle이고 각각 0회, 0.5K회, 1.0K회, 1.5K회인 테스트데이터가

있을 때 분포를 변화를 분석할 수 있는 방법이다.

(2) PV Distribution and BER Analysis of a Block with Read Bias Setting

한 가지의 stress를 받은 낸드플래시 셀의 전압 분포를 논리 값대로 분류하고, 전압의 분포를 이용하여 자동으로 read bias를 찾는다. 또한 원본 데이터 또는 read-bias 자동 계산 알고리즘을 통해 BER(Bit Error Rate)를 계산한다.

(3) BER Variation of Pages or Word Line in a Block

낸드플래시의 블록 구조는 WL으로 구분이 되고 WL은 4개의 페이지로 구성이 된다. 이것은 프로그램 순서와 관련이 있다. 어떤 페이지가 먼저 프로그램 되느냐는 낸드플래시 메모리의 특성을 보면 알 수 있다. 하지만 예러가 얼마나 발생하는지 알기 위해서는 각 페이지, WL별 BER을 계산하여야 한다.

(4) Mean and Maximum Page BER Variation under Different Stress Condition

낸드플래시는 stress에 따라 예러가 더 많이 발생한다는 것을 알고 있다. 하지만 모든 범위의 stress를 다 실험해 보고 분석할 수는 없다. 예를 들어 EW cycle의 경우 최대 3K 번의 사이클을 반복한다. 하지만 2K에서 예러의 발생량이 얼마나 되는지를 알기 위해서는 error의 발생 추세를 분석하여야 한다.

(5) Interference Pattern

Victim 셀에 영향을 미치는 주변 셀 중에서 가장 많은 영향을 미치는 것은 2X-Y(left, right, bottom)이다. 하지만 영향을 얼마나 미치게 되는지는 2X-Y 셀의 조합에 의하여 차이를 보인다. 이 차이를 분석하기 위하여 다음과 같은 계산들이 필요하다. 블록에서 victim 셀의 PV별 victim 셀의 전압 평균을 계산하고 victim 셀의 PV와 주변 패턴의 PV별 victim 셀 전압 평균을 계산하면 각각의 패턴이 전체 평균보다 얼마큼 shift 되었는지를 알 수 있다.[3]

(6) Interference PV Distribution

Victim 셀은 주변 셀에 의한 영향을 받는 것을 알고 있다. 그렇다면 분포가 어떻게 변화하는지 한눈에 볼 수 있도록 차트로 표현하여 영향을 가장 많이 받는 패턴을 쉽게 알 수 있도록 한다.

모든 차트는 원본 데이터를 볼 수 있도록 되어있고, 필요하다면 텍스트 파일로 저장도 가능하다. 또한 낸드플래시 테스트데이터는 여러 종류의 테스트 환경에 따라 나누어져 있다. 예를 들면 공정에 따른 분류, stress에 따른 분류 등 여러 가지 종류가 있으며 이를 효율적으로 관리하기

위해서 데이터베이스를 도입하여 파일관리를 쉽게 구현하였다.

4. 구현

C#을 사용한 객체지향 설계중심으로 개발하였고, 테스트데이터는 20n, 26n, 32n공정 데이터를 중심으로 테스트 하였다.

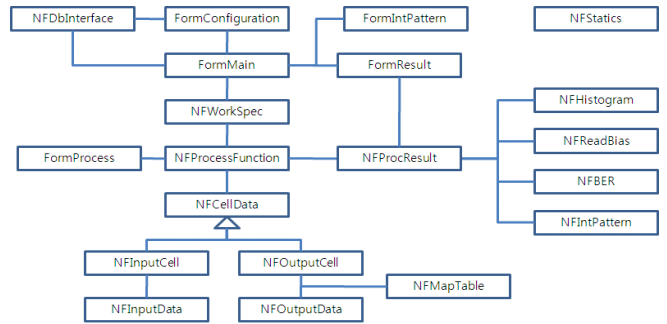


그림 5 Internal Architecture

그림 5는 프로그램의 class 구조이다. Class를 크게 구분하면 'DB interface', 'Cell Data', 'Main form', 'Process Function'으로 구분할 수 있다. DB interface는 데이터의 종류에 따라 파일을 관리하고 원하는 데이터의 path와 설정을 관리한다. Cell Data는 DB에 저장된 정보를 이용하여 테스트 데이터, 입력 데이터를 논리 또는 물리적 셀 구조로 변환하는 역할을 한다. Main form은 분석 방법과 테스트데이터를 선택하여 Process Function이 연산할 수 있는 환경을 설정해 준다. Process Function은 Main form에서 설정된 내용을 바탕으로 차트, read bias, BER, 간섭 패턴을 계산하여 출력할 수 있도록 하는 기능을 한다.

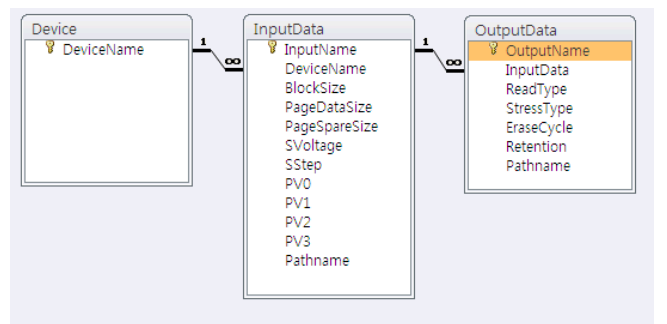


그림 6 Data Base 관계도

그림 6은 분석기에 사용되는 데이터베이스의 관계도로 입력 데이터와 테스트 데이터의 속성들을 담고 있다. 여기에 원하는 테스트 데이터나 설정들을 수정 및 삭제 추가할 수 있도록 분석기에서도 지원을 하고 있다.

분석하고자 하는 파일을 미리 데이터베이스에 추가하여 분석기에서 파일의 속성이나 경로를 설정하는 일 없이 쉽

게 분석이 가능하도록 설계하였다.

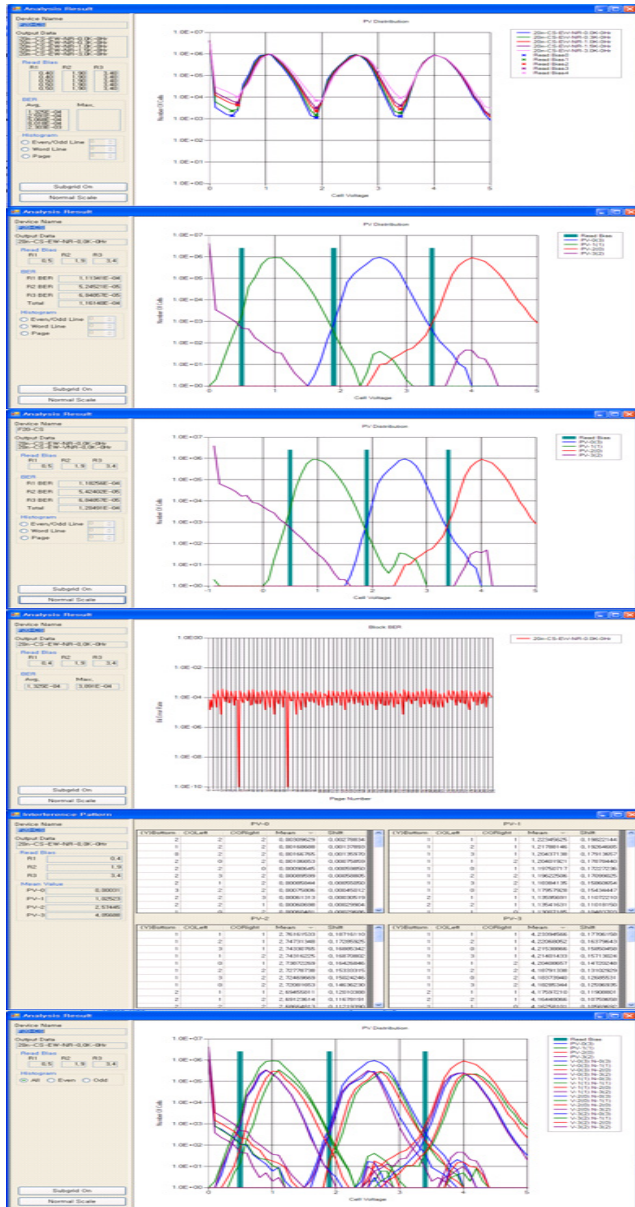


그림 7 출력 화면

Main 화면에서 모든 설정이 끝나고 분석을 실행하면 그림 7과 같은 다양한 출력 화면을 볼 수 있다.

5. 결 과

낸드플래시는 외부에서 보게 되는 논리구조와는 다른 물리적 구조를 가지고 있다. 이러한 구조의 차이로 인하여 낸드플래시의 특성을 분석하기 위하여 다양한 작업들이 필요하게 된다. 또한 다양한 분석 방법이 필요하다.

하지만 기존에 사용되는 낸드플래시의 분석방법은 한 가지 분석방법을 위하여 제작되는 경우가 많고 다양한 데이터 포맷에 적용되기 힘들다는 단점이 있다. 그래서 분석기는 다양한 분석방법 도입과 객체지향 설계를 바탕으로 제작되었기 때문에 추후 유지보수가 편하게 설계 되었고,

새로운 디바이스나 혹은 테스트테이터의 변경사항이 많을 경우에도 프로그램의 수정이 쉽다는 장점이 있다.

다음 연구 진행은 분석기를 이용하여 낸드플래시의 특성분석을 통하여 낸드플래시의 에러를 줄일 수 있는 moving read 알고리즘을 개발을 계획하고 있다.

참고문헌

- [1] 정진호, 김시호 "다중셀 낸드 플래시 메모리의 3셀 CCI모델과 이를 이용한 에러 정정 알고리즘" 전자공학회 논문지 제48권 SD편 10호 2011년 10월
- [2] 이관희, 이상진, 김두환, 조경록 "MLC NAND 플래시 메모리의 CCI 감소를 위한 등화기설계" 전자공학회 논문지 제 48 권 SD 편 제 10 호 2011년 10월
- [3] 전명운, 김경철, 신범주, 이정우 "MLC 플래시 메모리에서의 셀 간 간섭제거 알고리즘" 전자공학회논문지제47권SD편제12호 pp. 827-834, december. 2010.
- [4] Paolo Pavan, Roberto Bez, Piero Olivo, Wnrico Zanoni "Flash Memory Cells-An Overview" PROCEEDING OF IEEE Vol.85, No.8, August 1997
- [5] C.Calligaro, A.Manstretta, A.Modelli, G.Torelli "Technological And Design Constraints For Multilevel Flash Memorys" ICECS 1996 1005p ~ 1008p
- [6] Jae-duk Lee, Sung-hoi Hur, Jung-dal Choi "Effect of Floating-Gate Interference on NAND Flash Memory Cell Operation" IEEE ELECTRON DEVICE LETTERS Vol.23 No.5 May 2002
- [7] Bruno Ricco, Guido Torelli, Massimo Lanzoni, Alessandro Manstretta, Herman E. Maes, Donato Mantanari, Alberto Madelli "Nonvolatile Multilevel Memories for Digital Application" PROCEEDING OF IEEE Vol.86, No.12, Desember 1998
- [8] Tae-Yun Kim, Sanf-Don Lee, Jin-su Park, Ho-youb Cho, Byiung-sung You, Kwang-ho Beak, Jae-ho Lee, Chang-won Yang, Misu Yun, Min-su Kim, Jong-woo Kim, Eun-seong Jang, Hyun Chung, Sang-o Lim, Bong-seok Han, Yo-hwan Koh "A 32Gb MLC NAND Flash memory with Vth Margin-Expanding Schemse in 26nm CMOS" 2011 IEEE International Solid-State Circuits Conference 202p ~ 204p
- [9] Hynix Semiconductor "H27UCG8T2M".

Acknowledgement

본 연구는 지식경제부산하(재 충청광역경제권선도 산업지원단 New IT 차세대 무선통신 단말기 부품 소재 글로벌경쟁력 강화사업의 지원에 의해 수행 되었습니다.