

TF-P025

## 차세대 비휘발성 메모리 적용을 위한 Staggered Tunnel Barrier (Si<sub>3</sub>N<sub>4</sub>/ZrO<sub>2</sub>, Si<sub>3</sub>N<sub>4</sub>/HfAlO)에 대한 전기적 특성 평가

이동현, 정홍배, 이영희, 조원주

광운대학교 전자재료 공학과

최근 Charge Trap Flash (CTF) Non-Volatile Memory (NVM) 소자가 30 nm node 이하로 보고 되면서, 고집적화 플래시 메모리 소자로 각광 받고 있다. 기존의 CTF NVM 소자의 tunnel layer로 쓰이는 SiO<sub>2</sub>는 성장의 용이성과 Si 기판과의 계면특성, 낮은 누설전류와 같은 장점을 지니고 있다. 하지만 단일층의 SiO<sub>2</sub>를 tunnel layer로 사용하는 기존의 Non-Volatile Memory (NVM)는 두께가 5 nm 이하에서 direct tunneling과 Stress Induced Leakage Current (SILC) 등의 효과로 인해 게이트 누설 전류가 증가하여 메모리 보존특성의 감소와 같은 신뢰성 저하에 문제점을 지니고 있다.

이를 극복하기 위한 방안으로, 최근 CTF NVM 소자의 Tunnel Barrier Engineered (TBE) 기술이 많이 주목되고 있는 상황이다. TBE 기술은 SiO<sub>2</sub> 단일층 대신에 서로 다른 유전율을 가지는 절연막을 적층시킴으로서 전계에 대한 민감도를 높여 메모리 소자의 쓰기/지우기 동작 특성과 보존특성을 동시에 개선하는 방법이다. 또한 터널링 절연막으로 유전률이 큰 High-K 물질을 이용하면 물리적인 두께를 증가시킴으로서 누설 전류를 줄이고, 단위 면적당 gate capacitance 값을 늘릴 수 있어 메모리 소자의 동작 특성을 개선할 수 있다.

본 연구에서는 CTF NVM 소자의 trap layer로 쓰이는 HfO<sub>2</sub>의 두께를 5 nm, blocking layer의 역할을 하는 Al<sub>2</sub>O<sub>3</sub>의 두께를 12 nm로 하고, tunnel layer로 Si<sub>3</sub>N<sub>4</sub>막 위에 유전율과 Energy BandGap이 유사한 HfAlO와 ZrO<sub>2</sub>를 적층하여 Program/Erase Speed, Retention, Endurance를 측정 을 통해 메모리 소자로서의 특성을 비교 분석하였다.

### 감사의 글

본 연구는 지식경제부 주관 차세대 테라비트급 비휘발성 메모리 개발 사업의 지원에 의해 연구되었음.

**Keywords:** Charge Trap Flash (CTF) Non-Volatile Memory (NVM) Tunnel Barrier Engineered (TBE)