

대화면 PDP 서스테인 파워 모듈을 위한 고효율 펄스폭 변조 컨버터

이일운, 조신영, 문건우
KAIST

Abstract

대화면 PDP 서스테인 파워 모듈을 위한 고효율 펄스폭 변조 컨버터가 본 논문에서 소개된다. 제안된 컨버터는 일차측에서 병렬로 연결되고, 위상 변조 방식으로 구동되는 두 개의 하프 브릿지 컨버터로 구성되어 있다. 그들의 변압기들은 이차측에서 직렬로 연결된다. 제안된 컨버터에서 모든 스위치들은 그 전 부하 구간동안 ZVS를 가지고 턴 온되며, 동시에 그 ZVS 범위를 확장하기 위해 추가된 전류에 의한 도통 손실을 최소화 할 수 있는 장점을 갖는다. 또한 그 변압기의 턴 비가 비교되는 컨버터들에 비해 유리하게 설계될 수 있어 일차측 도통 손실을 개선할 수 있는 장점도 갖는다. 낮은 프로파일 설계 또한 두 개의 변압기의 사용으로 달성된다. 제안된 컨버터의 성능은 80인치 PDP 서스테인 파워 모듈의 스펙으로 구현된 프로토타입 컨버터들부터 검증된다.

1. 서론

PDP 파워 시스템에서 서스테인 파워 모듈은 PDP를 드라이브 하는 파워의 대부분을 처리하기 때문에 그 파워 서플라이의 전체 효율과 크기의 관점에서 매우 중요한 부분이다. 32인치에서 50인치 PDP의 그 서스테인 파워 모듈은 단순한 구조와 높은 효율, 낮은 재료비 때문에 일반적으로 비대칭 하프 브릿지 컨버터 또는 하프 브릿지 LLC 직렬 공진 컨버터로 만들어져 왔다. 그러나 비대칭 하프 브릿지 컨버터는 그 ZVS 범위를 확장하기 위해 추가된 공진 인덕터로 인한 심각한 이차측 전압 리깅 때문에 그 고유의 이차측 전압 불균형이 더욱 심각해져 50인치 PDP 이상에서 적합하지 않다. 더불어 비선형적인 전압 이득 특성으로 사용 가능 동작 듀티가 50%미만으로 제한되어 PDP에서 요구하는 60ms의 hold-up time 요구 사항이 50인치 이상 PDP에서는 달성하기 어렵다. 하프 LLC 직렬 공진 컨버터 또한 그 응용에 적합한 회로는 아니다. 보다 큰 PDP 스크린 사이즈는 서스테인 파워 모듈의 펄스성 부하의 피크치를 훨씬 증가시켜 그 컨버터의 출력 콘덴서의 RMS 전류 스트레스가 매우 크게 된다. 또한, 그 출력 콘덴서만 있는 출력 필터는 큰 피크를 가진 펄스성 서스테인 부하를 충분히 감쇄시키지 못 하여, 그 부하가 파워 스테이지 안으로 침투하게 된다. 이는 공진 콘덴서 양단에 매우 높은 전압 스트레스를 발생시키고, 트랜스포머에 매우 높은 온도 스트레스를 일으킨다. 이러한 단점들 때문에, 50인치 이상 PDP 서스테인 파워 모듈에는 출력 인덕터를 가진 풀 브릿지 컨버터가 주로 사용되어 왔다.

다양하게 개발된 풀 브릿지 컨버터 중에서, 두 leg 스위치들의 동작 위상을 변조하여 출력을 제어하는 풀 브릿지 컨버터가 그 단순한 구조, 쉬운 구현, 그리고 고유의 ZVS 동작 능력 때문에 많은 관심을 많아 왔다. 그러나 그 컨버터는 출력 부하에 따른 좁은 ZVS 범위를 갖는 단점이 있다 [1]. 이를 보완 하기 위해 일차측에 saturable 인덕터를 갖는 풀 브릿지 컨버터가 있으나, 그 인덕터에서 매우 높은 발열이 발생하게 된다. ZVS 범위를 확장하기 위해 보조 인덕터를 추가하고, 보조 인덕터로 인해 발생된 전압 리깅을 쉬게 제거할 목적으로 일차측에 두 개의 다이오드를 추가한 풀 브릿지 컨버터가 있다. 그러나 이 컨버터는 파워링에 영향을 미치는 듀티 사이클이 손실되는 문제와 추가된 다이오드들에서 출력 부하가 낮아 졌을 때 역 회복 현상이 발생하는 문제를 가지고 있다. 또한 매우 낮은 부하에서는 여전히 ZVS 동작이 실패된다 [2]. 파워링에 영향을 주는 듀티 사이클의 손실 없이 ZVS를 확장하는 풀 브릿지 컨버터들이 있다. 그러나 그 컨버터들에서 ZVS를 확장하기 위해 추가된 ZVS 에너지에 의한 큰 전류 스트레스가 모든 스위치에 흐르게 되어 상대적으로 높은 도통 손실이 발생하게 되는 단점이

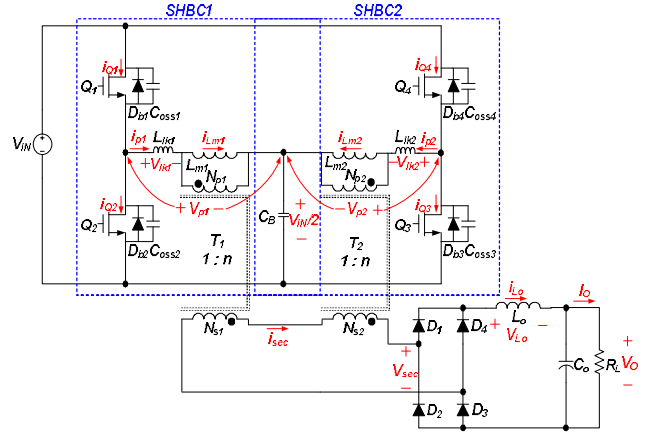


그림.1 제안된 컨버터.

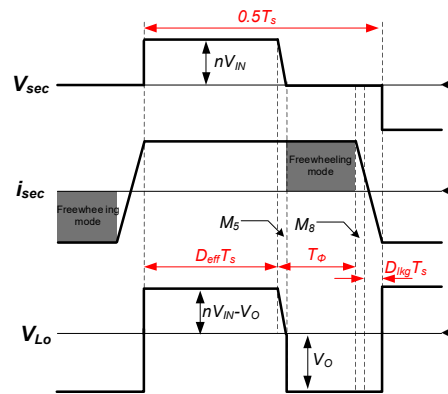


그림.2 출력 인덕터 양단 전압 파형.

있다. 이를 보상하기 위해 큰 인덕터스 값을 갖는 하나 혹은 두 개의 인덕터 아니면 커플된 인덕터가 필요하게 된다. ZVZCS 동작을 갖는 풀 브릿지 컨버터도 그 단점에 하나의 대책일 수 있다. 그 컨버터에서 leading leg 스위치들은 ZVS 동작을 하기 때문에 MOSFET이, lagging leg 스위치들은 ZCS 동작을 하기 때문에 IGBT가 일반적으로 사용된다. 그러나 IGBT의 사용은 수동 소자들의 크기를 줄 일 수 있는 높은 스위칭 주파수의 채택을 어렵게 한다.

본 논문에서는 50인치 이상 PDP 서스테인 파워 모듈을 위한 파워링에 영향을 주는 듀티 사이클의 손실 없이 넓은 ZVS 범위를 갖는 풀 브릿지 컨버터가 제안된다. 제안된 컨버터는 비교되는 다른 풀 브릿지 컨버터에 비해 변압기 턴 비가 유리하게 설계될 수 있어 이차측 전압 스트레스와 일차측 도통 손실이 개선되는 장점도 갖는다. 두 변압기 이용 때문에 낮은 프로파일 설계도 가능하게 된다.

2. 제안된 컨버터

2.1 제안된 컨버터의 구조 및 동작 원리

그림. 1은 50인치 이상 PDP 서스테인 파워 모듈을 위해 새로히 제안된 펄스폭 변조 풀 브릿지 컨버터를 보여 준다. 그림에서 보듯 두 개의 대칭 하프 브릿지 컨버터(SHBC1, SHBC2)가 그 DC 블로킹 콘덴서를 공유하며 일차측에서 병렬로 연결되어 있다. 그들의 변압기들은 이차측에서 직렬로 연결되어 있다.

각 대칭 하프 브릿지 컨버터에 있는 스위치들은 매우 좁은 dead time과 50%의 듀티 사이클을 가진 구동 신호에 따라 대칭적으로 온/오프하게 된다. 제안된 컨버터의 출력 전압은 입력

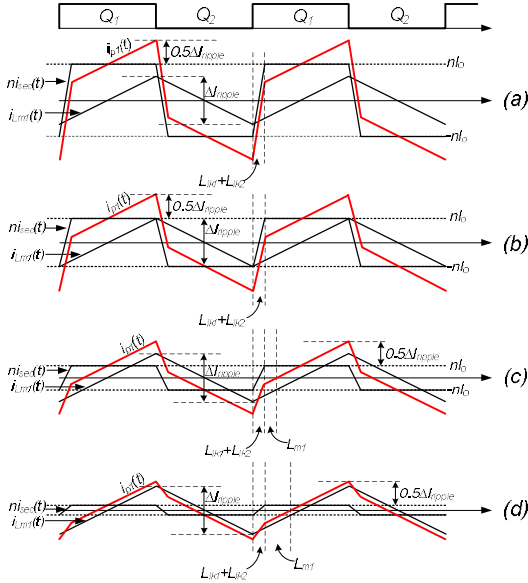


그림. 3 출력 부하 변동 아래에서 SHBC1의 변압기 일차측 전류 파형: (a) Full load (b) Medium load (c) Light load (d) Very light load. 전압과 출력 부하에 따라 두 대칭 하프 브릿지 컨버터의 차를 변조하며 제어된다.

2.1 제안된 컨버터의 이득 특성

그림. 2은 제안된 컨버터의 출력 인덕터 양단 전압 파형을 보여 준다. 그림에서 D_{eff} 는 직접 파워링에 영향을 미치는 듀티 사이클, T_{ϕ} 는 두 대칭 하프 브릿지 컨버터의 위상 차, D_{lkg} 는 파워링에 영향을 미치는 듀티 사이클의 손실을 의미한다.

제안된 컨버터의 이득 특성은 그림. 2의 인덕터 전압 파형에서 volt-sec 균형의 원리를 적용하여 아래와 같이 구해진다.

$$M = \frac{V_o}{V_{IN}} \approx 2nD_{eff} \quad (1)$$

$$D_{eff} = \frac{0.5T_s - T_{\phi} - D_{lkg}T_s}{T_s} \quad (2)$$

2.2 ZVS 조건

제안된 컨버터의 동작 원리상 SHBC2에 있는 스위치들의 ZVS는 출력 인덕터에 저장된 에너지로 달성되고, 그 출력 인덕터는 큰 인덕턴스 값을 가지므로 그 스위치들에서 ZVS는 전 출력 부하 조건에서 쉽게 달성된다. 그러나 SHBC1에 있는 스위치들의 ZVS 달성 과정은 SHBC2의 원리와는 다르다. 그림. 3은 출력 부하 변동 아래에서 SHBC1의 변압기 일차측 전류 파형을 보여 준다. 그림. 3 (a)와 (b)를 바탕으로 full과 medium 부하 조건에서 SHBC1의 ZVS 조건은 아래와 같이 구해진다.

$$\frac{1}{2}(L_{lk1} + L_{lk2})(0.5\Delta I_{ripple} + nI_o)^2 \geq \frac{4}{3}C_{OSS}V_{IN}^2 \quad (3)$$

$$\Delta I_{ripple} = \frac{V_{IN}T_s}{4L_{m1}} \quad (4)$$

식 (3)으로부터 두 변압기의 leakage 인덕터들과 SBHC1의 변압기의 magnetizing 인덕터 L_{m1} 에 흐르는 전류의 리플 값이 SHBC1의 ZVS 달성에 기여하는 것을 알 수 있다.

또한, 그림. 3 (c)와 (d)로부터 출력 부하가 낮을 때 ZVS 조건을 아래와 같이 구할 수 있다.

$$\frac{1}{2}(L_{lk1} + L_{lk2} + L_{m1})(0.5\Delta I_{ripple})^2 \geq \frac{4}{3}C_{OSS}V_{IN}^2 \quad (5)$$

식 (5)로부터 출력 부하가 낮더라도 SBHC1의 변압기의 magnetizing 인덕터 L_{m1} 때문에 ZVS가 달성될 수 있는 것을 알 수 있다.

식 (3)과 (4)로부터 SHBC1의 magnetizing 인덕터 때문에 SHBC1의 ZVS 범위가 확장될 수 있는 것을 알 수 있었고, 따라서 파워링에 영향을 주는 듀티 사이클 손실의 원인인 leakage 인덕턴스 값들을 작게 할 수 있게 되었다. 작은 leakage 인덕턴스 값에 의

한 듀티 사이클 손실의 제거는 변압기 턴 비 설계를 좋게 만든다. 참고로, 기존 위상 차 변조 풀 브릿지 컨버터는 그 ZVS 범위를 넓게 하기 위해 큰 leakage 인덕턴스를 필요로 하고 이는 듀티 사이클 손실의 큰 증가를 일으켜 변압기 턴 비를 나쁘게 한다. 턴 비의 좋고 나쁨은 일차측 도통 손실과 이차측 전압 스트레스에 영향을 준다.

3. 실험 결과

제안된 컨버터의 성능 검증을 위해 80인치 PDP 서스테인 파워 모듈의 사양(385Vdc 입력, 205V/5A 출력)을 가지고 프로토타입 컨버터들을 제작하였다. 효율 비교를 위해 제작된 [2]에 있는 그 풀 브릿지 컨버터는 50%까지 ZVS가 보장되도록 제작되었다. 더 낮은 부하 조건까지 ZVS를 확장하기 위해서는 매우 큰 leakage 인덕턴스 값이 필요했고, 이는 [2]에 있는 그 컨버터의 성능을 매우 악화시켰기 때문이다. 제안된 컨버터에서 그 leakage 인덕터, L_{m1} 및 변압기 턴 비의 그 값들은 다음과 같다.

$$L_{lk1}=4.47\mu\text{H}, L_{lk2}=11\mu\text{H}, L_{m1}=235\mu\text{H}, N_p1/N_s1=N_p2/N_s2=1.5.$$

그림. 4는 부하 변동에 따른 SHBC1의 ZVS 파형을 보여 준다. 파형에서 보듯 전 부하 구간에서 ZVS가 달성되는 것을 확인할 수 있다. 그리고, 그림. 5의 효율 그래프로부터 제안된 컨버터의 언급된 장점들 때문에 기존 풀 브릿지 컨버터들보다 높은 효율이 달성되는 것을 확인할 수 있다.

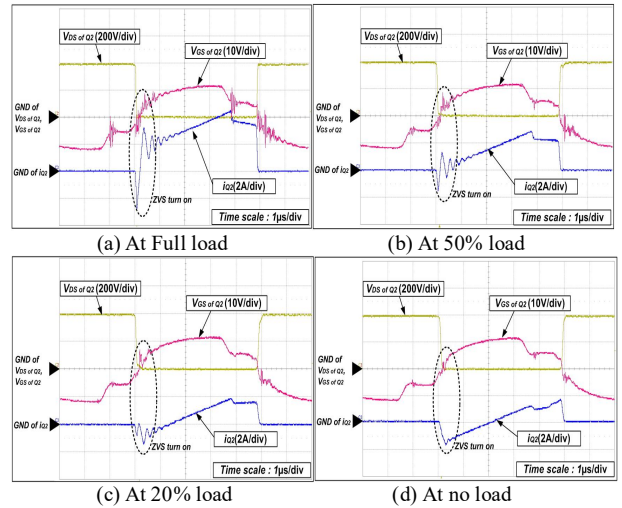


그림. 4 제안된 컨버터의 SHBC1의 ZVS 파형들.

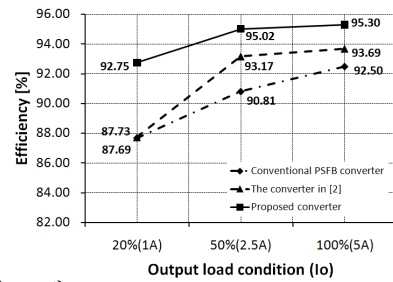


그림. 5 효율 그래프.

4. 결론

본 논문에서는 대화면 PDP 서스테인 파워 모듈을 위한 고효율 펄스폭 변조 컨버터가 제안되었다. 제안된 컨버터의 그 장점들이 기술되었고 실험을 통해 증명되었다.

참고 문헌

- [1] J. A. Sabatè, V. Vlatkovic, R. B. Ridley, F. C. Lee, and B. H. Cho, "Design considerations for high-voltage high-power full-bridge zero-voltage-switching PWM converter," in *Proc. APEC '90*, pp. 275-284.
- [2] R. Redl, N. O. Sokal, and L. Balogh, "A Novel Soft-Switching Full-Bridge DC/DC Converter: Analysis, Design Considerations, and Experimental Results at 1.5kW, 100kHz," *IEEE Trans. Power Electron.*, vol.6, no.3, pp.408-418, July 1991.