

8" Trench Power MOSFET 응용을 위한 Doped Poly 공정연구

양창현¹, 김권제¹, 권영수^{1,2}, 신훈규^{1,3*}

동아대학교 나노공학과¹, 동아대학교 전기공학과², 포항공과대학교 나노기술집적센터^{3*}

A Study on Doped Poly of 8" process for Trench Power MOSFET Application

Chang-Heon Yang¹, Gwon Je Kim¹, Young-Soo Kwon², Hoon-Kyu Shin^{3,*}

Dept. of Nano Engineering, Dong-A University¹, Dept. of Electrical Engineering, Dong-A University²
National Center for Nanomaterials Technology, Pohang University of Science and Technology^{3*}

Abstract - In this paper, an investigation of the 8" process for Trench Power MOSFET Application and Trench MOSFETs and its impact on device performance is presented. Layout dimensions of trench power MOSFETs have been continuously reduced in order to decrease the specific on-resistance, maintaining equal vertical dimensions. We discuss experimental results for devices with a pitch size down fabricated with an unconventional gate trench topology and a simplified manufacturing scheme. The fabricated Trench MOSFETs are observed the trench gate oxidation by SEM

간)시에는 약 8MV/cm 이상의 Planar MOSFET에 가까운 Oxide Breakdown 특성을 보이고 있다. 또한, Oxide Breakdown의 Current Conduction을 살펴보면 Positive Gate Bias시에는 P-N Junction Avalanche Type 같은 매우 양호한 Gate Current 현상을 보이고 있으며 반면에 Negative Gate Bias시에는 낮은 Gate Voltage에서 Current가 증가하기 시작하는 매우 높은 Oxide Leakage Current 특성을 보이고 있어 Device Yield 저하 요인이 되고 있으며 Long Term Reliability에 영향을 주게 된다.

1. 서 론

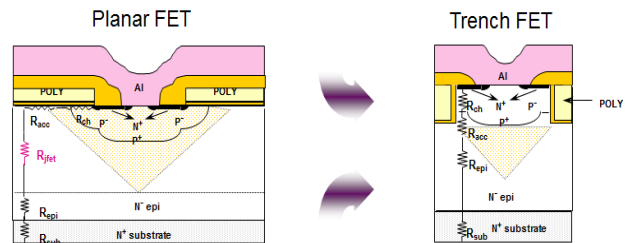
지금까지 모든 전자기기는 소형화, 경량화, 고효율화를 추구하여 왔으며 최근에 들어와서, 휴대형 통신기기, Note PC, 디지털 카메라, 디지털 VCR 등, IT기기를 포함하는 다양한 휴대형 기기들이 급속히 출시 보급되고 있고 이들의 경향은 더욱 더 소형화되고 고효율화(전지수명의 장기화), 다기능화되어 가는 방향으로 가고 있다[1].

이와 함께, 이들의 전원으로 사용되는 DC/DC컨버터나 2차 전지 충전용 스위치소자로 사용되고 있는 전력소자, 특히 Power MOSFET에 대하여는 저 소비전력, 저 전압에서의 동작에 대한 요구가 더욱 더 커지고 있다. 특히, 휴대형기기의 소형, 다기능화에는 소형, 고 전력, 박형의 표면 실장(Surface Mounting)패키지를 갖는 Power MOSFET를 필요로 하고 있으나, 이에 대하여 단순히 칩을 작게 하고 패키지를 소형화하면, 방열용량은 저하되고 반도체 칩의 축소로 인한 Rds(on)(채널의 온 저항)의 증가되어 스위칭시 발열하여 에너지 손실이 발생한다[2,3].

본 논문에서는 우선 이와 같은 Gate 산화막의 특성에 가장 큰 영향을 미치는 poly gate를 doped poly로 개선함으로써 공정 process를 줄이는 한편 공정시 발생하는 문제점을 해결하여 Planar 공정과 동등한 특성을 얻고자 하였다.

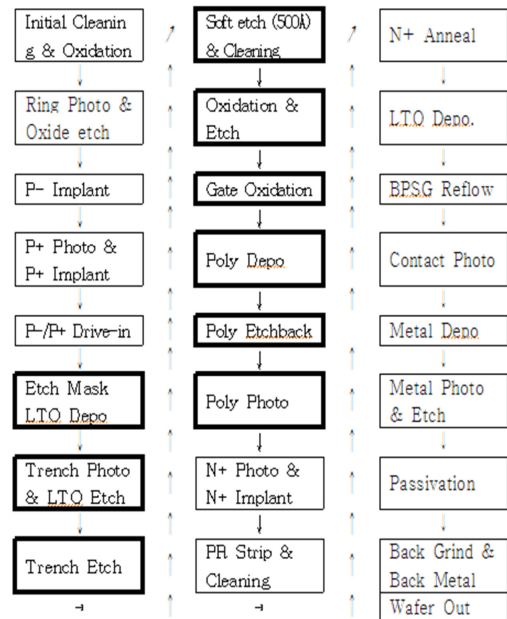
2. 본 론

그림 1은 본 논문에서 제안한 Power MOSFET소자의 도식 도를 기존의 Planar 구조의 vertical한 구조와 비교하여 나타 내었다. Trench MOSFET 공정은 Trench Gate 형성에 있어 Gate Oxide Quality를 향상하기 위해 Trench Etch후 CF4, O2의 Gas 혼합으로 낮은 RF Power를 사용하여 500Å의 Softetch를 실시하여 Trench된 표면의 Roughness 및 Damage 층을 제거하며, 후속 공정으로 Trench Corner에서의 Round-Off 처리와 Channel Mobility 향상 측면 에서 Gate Oxide 성장 전에 1100°C의 고온 Thick 회생산화(3000Å)를 적용한다. 회생산화막 제거후에는 Trench Corner에서의 Gate Oxide Thinning 현상을 최소화하기 위하여 1100°C의 고온 Dry 분위기로 Gate Oxide를 성장하고 있다. 이러한 공정조건 Set-up으로 현재의 Trench MOSFET 공정은 Negative Gate Bias(S-G간)시 약 7.5MV/cm, Positive Gate Bias(G-S



〈그림 1〉 Trench Power MOSFET 단면도

그림 2는 8" Trench Power MOSFET의 공정 Flow chart이며 본 논문에서 평가한 소자를 제작하기 위하여 그림 2와 같은 공정을 이용하여 진행 하였다.



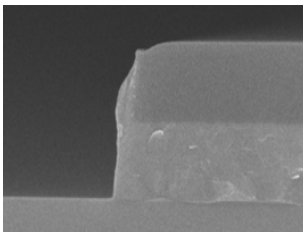
〈그림 2〉 Trench Power 제작의 flow chart

2. 실험 방법 및 결론

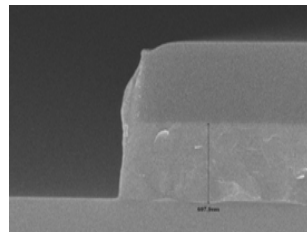
8인치 Trench MOSFET 제조 공정의 온 저항 특성을 개선하기 위하여 Trench MOSFET의 처리 조건과 공정 최적화를 실시하였으며, 제작된 device를 SEM(Scanning Electron Microscope :JEOL JEM-2100F)을 통하여 관찰 하고 결과를 평가 하였다. 필드 산화막의 두께는 10,000Å, 노광 70 sec, Develop 130℃, Trench Etch 15,000Å, Gate Oxide 1000Å, Poly Etch 900Å 등의 최적화 된 공정을 이용하여 device를 제작하였다 . Trench Etcher로는 Dry Etcher인 플라즈마 유도 결합방식의 DMS Model 2000을 사용하였으며, Etch Uniformity확보, Etch Profile 개선과 Selectivity개선등의 공정 파라미터를 Split하여 공정실험을 진행하였다. 실험의 평가는 HRSEM 및 CD SEM을 이용한 단면 및 평면 관찰에 의하여 Profile과 Dimension을 관찰 및 측정을 실시하였다. 실험결과 Trench의 종횡비(Aspect Ratio)가 크면 클수록, 깊이가 깊으면 깊을수록 Trench의 Profile이 바깥쪽으로 휘어지는 경향이 있음을 알 수 있었다. 또한 소자의 특성에 가장 큰 영향을 미치는 poly gate의 공정을 향상시키기 위하여 표1과 같이 조건을 설정하여 실험 하였다.

〈표 1〉 doped poly test 조건

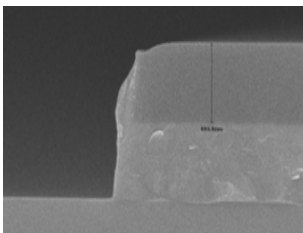
	T	C	B	L	R	AVE
초기Wafer Poly두께[Å]	5920	5936	5899	5938	5888	5916.2
60secEtch후 Poly두께[Å]	2118	2161	2050	2158	2118	2121
Etch Rate[Å/min]	3802	3775	3849	3780	3770	3795.2



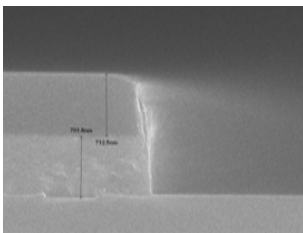
(a) etch후 단면(Left)



(b)etch후 단면(Right)



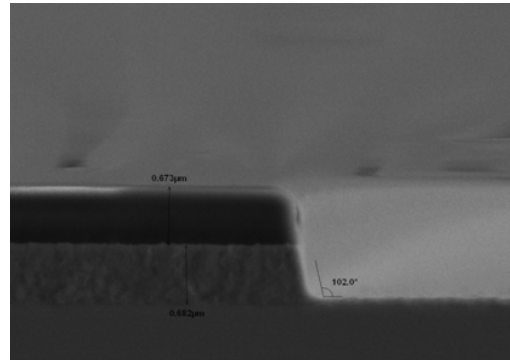
(c) etch후 단면(Center)



(d)etch후 단면(Top)

〈그림 3〉 Poly etch SEM 측정결과

그림 3는 doped poly공정 진행 후 프로파일을 SEM을 이용하여 측정 한 결과 이다. 표1을 통하여 그 결과를 알 수 있으며, 결과를 통하여 doped poly 후 etch 프로파일은 이상이 없는 것으로 확인 되었다.



〈그림 4〉 Poly etch 프로파일 측정결과

그림 4는 poly depo 장비를 이용하여 doped poly 사용전 etch프로파일을 완성한 결과 이며 그림 2의 결과를 볼 때 Undoped Poly 와 차이 없는 것으로 판단되었으며 ADI/ACI Skew 차이도 0.15µm정도로 동일하며 양호한 것을 알 수 있었다.

3. 결 론

트렌치 게이트를 가지는 Power MOSFET를 제작하고 그 특성에 영향을 미치는 각 요소들의 특성을 최적화 하였으며, 그중 가장 큰 부분을 차지하는 poly gate를 unpoped poly에서 doped poly로 개선함으로써 소자제작시 발생하는 공정상의 어려움과 process를 줄일 수 있었다. 이를 활용하여 트렌치 게이트 Power MOSFET 제작에 사용할 시 비용 절감 뿐 아니라 소자의 성능향상에도 기여 할 것으로 예상된다.

[참 고 문 헌]

- [1] P. ROSSEL, H. TRANDUC and G. CHARITAT, Microelectron. Reliab Vol. 37, p. 1375, 1955
- [2] J. Roig, I. Cortes, D. Jimenez, D. Flores, B. Iniguez, S. Hidalgo, J. Rebollo, Solid-State Electronics. Vol. 49, p. 965, 2005
- [3] Pierre Goarin, Rob van Dalen, Gerhard Koops, Christelle Le Cam, Solid-State Electronics. Vol. 51, p. 1589, 2007