

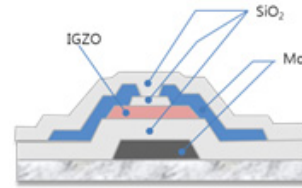
비정질 IGZO 박막 트랜지스터의 직류/교류 바이어스 신뢰성과 교류 동작하는 시프트 레지스터

우종석*, 이영욱*, 강동원*, 한민구*
서울대*

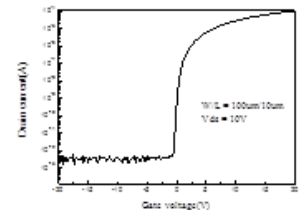
DC/AC bias stability of a-IGZO TFT and New AC programmed Shift Register

Jong-Seok Woo*, Young-Wook Lee*, Dong-Won Kang*, Min-Koo Han*
Seoul National University*

Abstract - 비정질 IGZO 박막 트랜지스터에 포지티브 직류/교류 게이트 바이어스를 인가하여 신뢰성을 분석하고 비정질 IGZO 박막 트랜지스터의 신뢰성을 고려한 시프트 레지스터 회로를 설계하였다. 비정질 IGZO 박막 트랜지스터의 문턱전압은 바이어스 스트레스가 인가되었을 때 양의 방향으로 이동하였고, 전류가 감소하였다. 또한 문턱전압은 직류 바이어스 스트레스가 인가되었을 때 교류 바이어스 스트레스가 인가되었을 때 보다 더 양의 방향으로 이동하였다. 총 8개의 박막 트랜지스터로 구성된 일반적인 시프트 레지스터 회로에서는 특정 박막 트랜지스터에 직류 바이어스 스트레스가 걸리기 때문에 비정질 IGZO 박막 트랜지스터를 이용하여 구동할 때 회로 오동작을 유발할 수 있다. 비정질 IGZO 박막 트랜지스터의 신뢰성 결과를 고려하여 총 9개의 박막 트랜지스터로 구성된 교류 동작하는 시프트 레지스터 회로를 설계하였다. 모든 소자에 직류 바이어스 스트레스가 걸리지 않도록 회로를 설계하였으며, 추가된 트랜지스터의 채널 너비가 매우 작기 때문에 트랜지스터가 하나 추가되어도 회로가 차지하는 면적에는 거의 변화가 없다. 바이어스 스트레스에 따른 소자 열화를 고려하여 시뮬레이션을 해 본 결과 일반적인 회로에서는 회로 오동작이 관측된 반면, 제안한 회로에서는 문제없이 동작하는 것을 확인하였다.



<그림 1> 제작한 비정질 IGZO 박막 트랜지스터의 구조



<그림 2> 제작한 비정질 IGZO 박막 트랜지스터의 특성곡선

곡선 변화를 보여주고 있다. 시간이 증가함에 따라 문턱전압은 양의 방향으로 이동하였고, 3600초가 지난 후 문턱전압은 6.93V 이동하였다. 그림 3(b)는 50%의 듀티비를 가지는 교류 바이어스 스트레스가 인가되었을 때 유효 스트레스 시간(게이트 전압이 걸린 구간의 시간의 합)에 따른 특성곡선의 변화를 보여준다. 게이트에 인가된 펄스전압은 0V~30V이었으며 펄스폭은 20us이었다. 유효 스트레스 시간이 3600초가 되었을 때 문턱전압은 4.08V 이동하였다. 포지티브 직류/교류 바이어스 스트레스가 인가되었을 때 문턱전압은 교류 바이어스 스트레스가 인가되었을 때 직류 바이어스 스트레스가 인가되었을 때보다 적게 이동하였다. 이는 교류 바이어스 스트레스 하에서 게이트 전압이 인가되지 않았을 때가 회복 구간으로 작용하여 유전층에 잡힌 전자가 액티브 층으로 빠져 나오기 때문으로 보인다[12].

1. 서 론

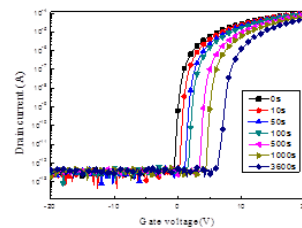
비정질 IGZO 박막 트랜지스터는 다양한 디스플레이 장비에 적용될 수 있는 소자로 주목을 받고 있다[1-4]. 그러나 IGZO 박막 트랜지스터의 신뢰성은 개선되어야 하며 장비에 적용되기 위해서는 소자의 열화를 고려한 회로를 설계하여야 한다. 비정질 IGZO 박막 트랜지스터의 문턱전압은 포지티브 바이어스 스트레스가 걸린 상태에서 양의 방향으로 이동한다[5-9]. 비정질 IGZO 박막 트랜지스터의 문턱 전압은 직류/교류 바이어스 스트레스가 인가되었을 때 각각 다른 양상을 보인다. 이미 직류/교류 바이어스 스트레스에 관련된 연구가 보고된 바 있으며 문턱전압은 교류 바이어스 스트레스가 인가되었을 때 직류 바이어스 스트레스가 인가되었을 때보다 적게 이동하였다[9-11].

시프트 레지스터는 디스플레이 장비에서 게이트 드라이버로서 보편적으로 쓰이는 회로이다. 장비가 올바르게 동작하기 위해서는 시프트 레지스터 회로의 안정성이 보장되어야 한다. 우리는 직류/교류 바이어스 스트레스 하에서 비정질 IGZO 박막 트랜지스터의 신뢰성을 분석하고, 분석한 자료를 바탕으로 비정질 IGZO 박막 트랜지스터의 신뢰성을 고려한 시프트 레지스터 회로를 설계하였다. 시프트 레지스터의 안정성을 향상하기 위해 회로 내 모든 박막 트랜지스터에 직류 바이어스 스트레스가 인가되지 않도록 설계하였다.

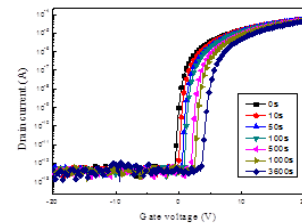
2. 본 론

2.1 비정질 IGZO 박막 트랜지스터 제작 및 특성

우리는 inverted-staggered etch stopper 구조의 비정질 IGZO 박막 트랜지스터를 제작하였다. 250nm 두께의 게이트 전극(Mo)은 유리기판 위에 직류 스퍼터링 방식으로 증착하였다. 20nm 두께의 gate insulator(SiO₂) 층은 플라즈마 화학기상증착(PECVD)방식으로 증착하였다. 그리고 40nm 두께의 IGZO(In₂O₃ : Ga₂O₃ : ZnO = 1:1:1) 층은 스퍼터링 방식으로 증착하였다. 그림 1은 제작된 비정질 IGZO 박막 트랜지스터의 구조를 보여주고 있다. 채널의 너비와 길이가 각각 100um, 10um인 박막 트랜지스터의 기본특성을 측정하였다. 그림 2는 드레인 전압이 10V일 때 제작된 비정질 IGZO 박막 트랜지스터의 특성곡선을 보여주고 있다. 이동도는 6.192cm²/Vs 이고 문턱전압은 0.95V이었다. 신뢰성을 분석하기 위해 비정질 IGZO 박막 트랜지스터에 직류/교류 바이어스 스트레스가 인가되었다. 그림 3(a)는 게이트 전압과 드레인 전압이 30V일 때 스트레스 시간에 따른 비정질 IGZO 박막 트랜지스터의 특성



<그림 3(a)>직류 바이어스 스트레스가 인가되었을 때 특성곡선 변화



<그림 3(b)>교류 바이어스 스트레스가 인가되었을 때 특성곡선 변화

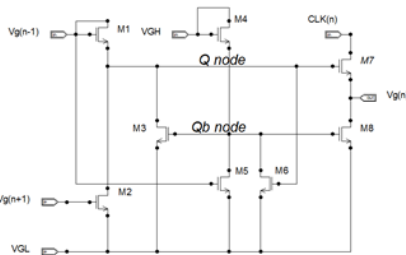
2.2 비정질 IGZO 박막 트랜지스터의 신뢰성을 고려한 시프트 레지스터

보편적인 시프트 레지스터 회로에서는 특정 박막 트랜지스터에 직류

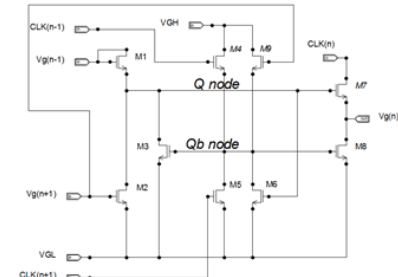
바이어스 스트레스가 인가된다[13]. 박막 트랜지스터의 열화는 교류 바이어스 스트레스가 인가되었을 때 직류 바이어스 스트레스가 인가되었을 때보다 적게 일어난다. 따라서 회로에 쓰인 박막 트랜지스터에 직류 바이어스 스트레스트보다는 교류 바이어스 스트레스트가 인가되도록 회로를 설계할 필요가 있다.

그림 4(a)는 보편적인 8-TR 시프트 레지스터 회로이다. 모든 박막 트랜지스터의 채널 길이는 10 μ m로 동일하다. 채널 너비의 경우 M1, M2, M3, M5, M6 박막 트랜지스터는 100 μ m, M4 박막 트랜지스터는 10 μ m, M7과 M8 박막 트랜지스터는 1000 μ m이었다. 동작구간 이후 Q노드는 VGL에 연결되고, Qb노드는 VGH에 연결되어 clock 신호에 의한 출력 임 파형이 발생하지 않도록 해야 한다. M4 박막 트랜지스터는 Qb노드를 high 전압으로 올려주는데 사용되고, M3과 M8 박막 트랜지스터는 Q노드와 출력을 low 전압으로 내려주는데 사용된다. 따라서 이 박막 트랜지스터에는 직류 바이어스 스트레스트가 인가되고, 열화가 많이 일어난다.

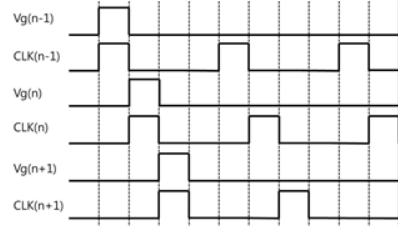
그림 4(b)는 제안된 9-TR 시프트 레지스터 회로이다. 제안된 시프트 레지스터 회로의 채널너비는 M5 박막 트랜지스터가 10 μ m이고, M9 박막 트랜지스터가 100 μ m인 것을 제외하고는 보편적 시프트 레지스터 회로와 동일하였다. 채널길이는 10 μ m로 보편적 시프트 레지스터 회로와 동일하였다. 이전단의 출력 전압이 high일 때 M1 박막 트랜지스터에 의해 Q노드가 high로 충전된다. 이 때 M6 박막 트랜지스터의 채널 너비를 M4 박막 트랜지스터 보다 10배 크게 설정하여 두 박막 트랜지스터가 동시에 켜질 때 Qb노드가 low전압을 유지하도록 하였다. 다음 단계 출력 전압이 high일 때 M2와 M9 박막 트랜지스터가 켜지기 때문에 Q노드 전압은 low로 방전되고, Qb노드 전압은 high로 충전된다. 이 때 M9 박막 트랜지스터의 채널 너비를 M5 박막 트랜지스터보다 10배 크게 설정하여 두 박막 트랜지스터가 동시에 켜질 때 Qb노드가 high 전압을 유지하도록 설정하였다. 동작구간 이후 Qb노드는 이전단의 clock 신호가 high일 때 M4 박막 트랜지스터에 의해 high 전압으로 올라간다. 그리고 다음 단계의 clock신호가 high일 때 M5 박막 트랜지스터에 의해 low전압으로 방전된다. 따라서 Qb노드의 전압은 교류특성을 가지게 되고, M3 박막 트랜지스터와 M8 박막 트랜지스터에는 교류 바이어스 스트레스트가 인가된다. 또한 추가된 박막 트랜지스터의 크기가 상대적으로 작기 때문에 박막 트랜지스터가 하나 추가되어도 전체 회로의 크기는 거의 변하지 않는다.



<그림 4(a)> 보편적인 시프트 레지스터 회로도



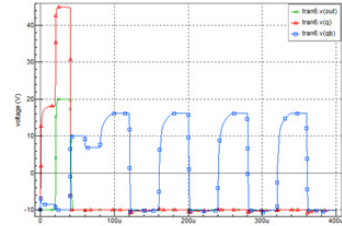
<그림 4(b)> 제안한 시프트 레지스터 회로도



<그림 4(c)> 인가되는 신호 파형

시프트 레지스터의 동작을 검증하기 위해 SPICE 시뮬레이션을 수행하였다. 제작한 비정질 IGZO 박막 트랜지스터와 동일한 특성을 보일 수 있도록 SPICE에서 NMOS의 파라미터는 CGSO와 CGDO가 0.016F/m, VTO가 0.95V로 설정된 것을 제외하고는 비정질 실리콘 박막 트랜지스터와 동일하였다. 그림 5는 소자의 열화를 고려하지 않는 제안한 시프트

레지스터 회로의 시뮬레이션 결과이다. 그림에서 보여지듯이, Qb노드의 전압은 듀티비 50%, 주파수 12.5kHz의 교류특성을 보였다.



<그림 5> 제안한 시프트 레지스터 회로의 시뮬레이션 결과

3. 결 론

우리는 inverted-staggered etch stopper 구조의 비정질 IGZO 박막 트랜지스터를 제작하고 포지티브 직류/교류 바이어스 스트레스트를 인가한 상태에서 신뢰성을 분석하였다. 비정질 IGZO 박막 트랜지스터의 문턱 전압은 교류 바이어스 스트레스트가 인가되었을 때 직류 바이어스 스트레스트가 인가되었을 때보다 적게 이동하였다.

제안한 9-TR 시프트 레지스터 회로는 비정질 IGZO 박막 트랜지스터의 신뢰성을 고려하여 설계되었다. 추가된 박막 트랜지스터는 크기가 작아서 시프트 레지스터 회로 크기에는 거의 변화가 없었다. SPICE 시뮬레이션을 수행한 결과 Qb노드의 전압이 50% 듀티비의 교류 특성을 보이는 것을 확인하였고, 보편적 시프트 레지스터 회로와 달리 특정 박막 트랜지스터에 직류 바이어스 스트레스트가 아닌 교류 바이어스 스트레스트가 인가되는 것을 확인하였다. 또한 소자의 열화를 고려하여 시뮬레이션을 수행하였을 때 보편적 시프트 레지스터 회로에서는 느리게 출력전압이 방전되는 문제가 보여진 것에 비해 제안한 시프트 레지스터 회로에서는 동작시 문제가 보이지 않았다.

[참 고 문 헌]

- [1] H. Hosono *et al.*, "Recent progress in transparent oxide semiconductors: Materials and device application", *Thin Solid Films* 515 (2007).
- [2] A. Suresh, J. F. Muth, "Bias stability of indium gallium zinc oxide channel based transparent thin film transistors" *Appl. Phys. Lett.* **92**, 033502 (2008).
- [3] H. Yabuta *et al.*, "High mobility thin film transistor with amorphous InGaZnO₄ channel fabricated by room temperature rf-magnetron sputtering" *Appl. Phys. Lett.* **89**, 112123 (2006).
- [4] W. Lim *et al.*, *J. Vac. Sci. Technol. B* **26**(3) (2008).
- [5] Sangwon Lee *et al.*, "Electrical stress-induced instability of amorphous indium-gallium-zinc oxide thin-film transistors under bipolar ac stress", *APPLIED PHYSICS LETTERS* 95,132101(2009)
- [6] [1] Ken Hoshino, David Hong, Hai Q. Chiang, and John F. Wager, "Constant-Voltage-Bias Stress Testing of a-IGZO Thin-Film Transistors", *IEEE TRANSACTIONS ON ELECTRON DEVICES*, VOL. 56, NO. 7 (2009)
- [7] A. Suresh and J. F. Muth, "Bias stress stability of indium gallium zinc oxide channel based transparent thin film transistors", *Appl. Phys. Lett.* **92**, 033502 (2008)
- [8] In-Tak Cho, Jeong-Min Lee, Jong-Ho Lee and Hyuck-In Kwon, "Charge trapping and detrapping characteristics in amorphous InGaZnO TFTs under static and dynamic stresses", *Semicond. Sci. Technol.* **24** (2009)
- [9] Jae Kyeong Jeong, Hui Won Yang, Jong Han Jeong, Yeon-Gon Mo, and Hye Dong Kim, "Origin of threshold voltage instability in indium-gallium-zinc oxide thin film transistors", *Appl. Phys. Lett.* **93**, 123508(2008)
- [10] Tze-Ching Fung, Katsumi Abe, Hideya Kumomi and Jerzy Kanicki, "DC/AC Electrical Instability of R.F. Sputter Amorphous In-Ga-Zn-O TFTs", *SID 09 DIGEST* (2009)
- [11] S. Lee, K. Jeon, J. H. Park, S. Kim, "Electrical stress-induced instability of amorphous indium-gallium-zinc oxide thin-film transistors under bipolar ac stress", *Appl. Phys. Lett.*(2009)
- [12] In-Tak Cho, Jeong-Min Lee, Jong-Ho Lee and Kyuck-In Kwon, "Charge trapping and detrapping characteristics in amorphous InGaZnO TFTs under static and dynamic stress", *Semicond. Sci. Technol.* **24**(2009) 015013
- [13] Y. H. Jang, "Instability of integrated shift register circuits using hydrogenated amorphous silicon thin film transistors", *Jpn. J. Appl. Phys.*, vol. 45, no. 9A, pp. 6806-6811, Sep. 2006.