

킹크효과 억제를 위한 새로운 f-모양 트리플게이트 구조의 저온 다결정실리콘 박막트랜지스터

송문규*, 최성환*, 국승희*, 한민구*
서울대*

Novel F-shaped Triple Gate Structure for Suppression of Kink Effect and Improvement of Hot Carrier Reliability in Low Temperature polycrystalline Silicon Thin-Film Transistor

Moon-Kyu Song*, Sung-Hwan Choi*, Seung-Hee Kuk*, and Min-Koo Han*
Seoul National University*

Abstract - 킹크효과를 억제할 수 있는 새로운 f-모양 트리플게이트 구조를 가지는 다결정실리콘 박막트랜지스터는 추가적인 공정과정 없이 제안 및 제작되었다. 이러한 다결정실리콘 박막트랜지스터의 채널에는 순차적인 횡방향 고체화(Sequential Lateral Solidification, SLS)나 CW 레이저 횡방향 결정화(CW laser Lateral Crystallization, CLC) 등과 같은 방법으로 제작된 횡방향으로 성장시킨 그래인이 있다. 이 소자의 전체적인 전류흐름은 횡방향으로 성장시킨 그래인 경계에 강력하게 영향을 받는다. f-모양 트리플게이트에는 횡방향으로 성장시킨 그래인과 평행한 방향으로 위치한 채널, 그리고 수직인 방향으로 위치한 채널이 있다. 이 소자는 f-모양 게이트 구조에서의 비대칭 이동도를 이용하여 다결정실리콘 박막트랜지스터의 킹크효과를 효과적으로 억제시킬 수 있다는 사실을 실험과 시뮬레이션을 통해 검증되었다. 우리의 실험 결과는 이 논문에서 제안된 f-모양 트리플게이트 박막트랜지스터가 기존의 박막트랜지스터와 비교할 때 더 효과적으로 킹크 효과를 감소시킬 수 있다는 것을 보여주었다. 또한 고온 캐리어 스트레스 조건에서의 신뢰성도 개선할 수 있음이 확인되었다.

1. 서 론

현재 저온 다결정실리콘 박막트랜지스터(LTPS TFT)는 AMOLED와 AMOLED의 스위칭 및 주변회로에 폭넓게 이용되고 있다. 특히 SLS나 CLC와 같은 레이저 결정화 방법이 적용된 LTPS TFT는 높은 전계효과 이동도와 큰 구동전류를 그 특징으로 하고 있다. 따라서 이러한 TFT는 AMOLED와 AMOLED의 주변회로에 이용될 수 있다.[1]

다결정실리콘 박막트랜지스터를 아날로그 구동 회로에 사용하기 위해서는 킹크 전류가 없는 높은 전계효과 이동도와 안정된 포화 특성이 필요하다.[2] 그러나 박막트랜지스터의 고유한 플로팅 바디구조에 의한 킹크 효과는 실제적인 구동에 심각한 문제를 일으킨다. 킹크효과는 채널의 드레인 접합부에서 충돌 이온화로 인해서 생기는데 이는 소자가 킹크 효과 영역에서 동작할 때 큰 드레인 전계가 걸리기 때문이다.[3] 킹크효과로 인해 출력 컨덕턴스는 특이하게 증가하고 소자 스위칭 특성은 열화된다.[4]

킹크효과로 인해 구동회로에 기대하지 않은 전압특성이 나타나거나 박막트랜지스터 소자 전기적 특성이 열화될 수 있기 때문에 이는 반드시 개선되어야 한다. 다결정실리콘 박막트랜지스터의 신뢰성 또한 매우 중요한 문제이다. 왜냐하면 구동회로의 소자는 전체 작동시간동안 정확한 출력전류를 유지해야하기 때문이다.

본 논문을 통해서 LTPS TFT에서 킹크효과를 감소시키고 고온 캐리어 신뢰성 개선을 할 수 있는 새로운 f-모양 트리플게이트 박막트랜지스터 구조를 제안하고 제작하였다. 지금까지 킹크효과를 감소시킬 수 있는 몇 가지 소자가 보고된 바 있다. 또한 우리의 이전 논문에서도 듀얼 게이트와 L-모양 듀얼게이트를 통해서 다결정실리콘 박막트랜지스터의 킹크 전류를 감소시킬 수 있다고 밝혔다.[5] 그러나 이러한 결과들은 킹크효과와 감소와 박막트랜지스터에서의 킹크전류를 일정하게 유지하기 위해서는 서브 박막트랜지스터사이에서의 채널 길이의 차이가 커야한다는 문제가 있었다.

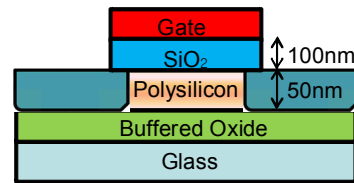
높은 드레인 바이어스 조건에서 킹크 전류를 감소시키기 위해서 우리는 서브 박막트랜지스터의 비대칭 이동도를 적용하였다. 이는 f-모양 게이트 구조를 통해 구현되었다. SLS로 결정화된 LTPS 박막트랜지스터는 횡방향으로 그래인이 성장하였다.

또한 다결정실리콘 박막트랜지스터에서 킹크효과를 감소시키기 위해 플로팅 지점 전압에 대한 연구도 진행되었다. 다결정실리콘 박막트랜지스터에서 킹크효과를 억제하기위하여 제안된 f-모양 게이트 구조에 대한 시뮬레이션을 진행하였고 이를 통해 제안된 f-모양 트리플 게이트 박막트랜지스터가 기존의 박막트랜지스터보다 고온 캐리어 신뢰성 측면에서 우수하다는 것을 확인하였다.

2. 본 론

2.1 소자 제작

우리는 <그림 1>에서 보는 바와 같이 기존의 탑게이트 공정으로 다결정실리콘 박막트랜지스터 평면위에 CMOS를 제작하였다. 첫 번째로 SiO₂ 버퍼층을 유리기판위에 올리고 50nm 두께의 비정질실리콘 액티브층을 PECVD를 이용하여 올렸다. 그 다음 비정질실리콘 액티브층을 SLS방법을 이용하여 결정화 시켰고 이 때 308nm XeCl 엑시머 레이저를 사용하였다. 실리콘 그래인은 횡방향으로 성장하여 결정화 되었다.

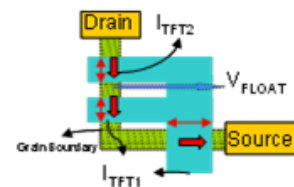


<그림 1> f-모양 트리플게이트 박막트랜지스터의 단면도 및 평면도

레이저 투사 후에 다음과 같은 순서로 LTPS공정이 이루어 졌다. <그림 1>에서 보는 바와 같이 f-모양 액티브 패터닝과 게이트 패터닝은 그레인 성장방향과 동일한 횡방향이며 제작된 박막트랜지스터는 두가지 종류의 서브 박막트랜지스터로 이루어져 있다. 이 중 한 개는 그래인 성장방향과 평행하며 다른 한 개는 그래인 성장방향과 수직이다. 다결정실리콘 박막트랜지스터의 (W/L)비율은 (10/20)µm 이다.

2.2 결과 및 토의

박막트랜지스터의 고유한 플로팅바디 구조로 인한 킹크 전류는 실제 구동에 있어서 치명적인 제한이 된다. 킹크 전류는 채널의 드레인 접합 부근에서 충돌 이온화로 인해 야기되고 이는 드레인 전계가 크기 때문이다. 따라서 우리는 박막트랜지스터의 킹크 전류를 억제하기 위하여 드레인 접합부근의 전계를 감소시킬 수 있는 새로운 구조를 설계해야 했다. 전계는 전압강화와 관련이 있기 때문에 <그림 2>에서 보는 바와 같이 TFT₂에서 기존의 게이트보다 전압강하가 작게 일어날 수 있도록 멀티 게이트 개념을 사용하였다.



<그림 2> f-모양 트리플게이트 다결정실리콘 박막트랜지스터의 개형

높은 V_{DS}조건에서 f-모양 박막트랜지스터의 전체 전류를 결정하기 위해서 T_{FT1}과 T_{FT2}사이의 다음과 같은 관계를 가정하였다.

$I_{TFT1}(\text{Linear}) = I_{TFT2}(\text{Saturation}) - (1)$
그리고 T_{FT2}에서의 전압강하 정도를 알기위해 플로팅 지점의 전압을 분석하였다.

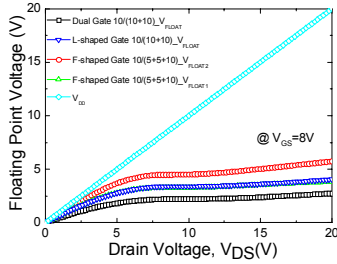
$$V_{float} = (1 - \frac{1}{1 + \frac{k_{TFT2}}{k_{TFT1}}}) \cdot (V_G - V_T), \text{ where } k = \frac{W \cdot \mu \cdot C_{ox}}{2L} \quad (2)$$

식 (2)에서 k_{TFT2}를 k_{TFT1}으로 나눈값을 a라 정의하면 a가 커질수록

V_{float} 가 커져 드레인 접합부근에서 전계의 크기가 작아짐을 알 수 있다. 그리고 TFT₂를 제외한 다른 게이트들은 등가모델로 대체할 수 있다. 즉 TFT₁은 다음과 같은 식으로 나타낼 수 있다.

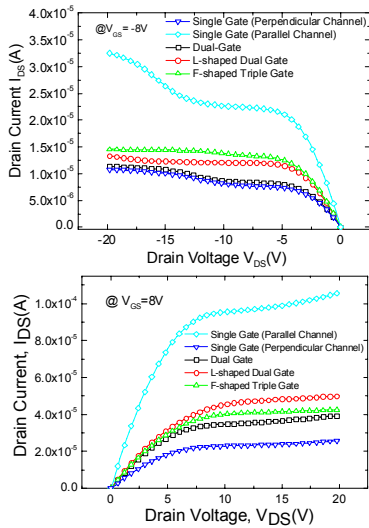
$$\frac{1}{k_{TFT_1}} = \frac{1}{k_{TFT_A}} + \frac{1}{k_{TFT_B}} + \frac{1}{k_{TFT_C}} + \dots - (3)$$

이러한 가정을 통해 구한 f-모양 트리플게이트의 α 값은 6.258로 이 값은 L-모양 듀얼게이트의 값보다 크다. 그러므로 제안한 소자는 드레인 접합부근에서 전계의 크기를 성공적으로 줄일 수 있다는 것이 확인되었다. 이러한 결과는 <그림 3>에서 볼 수 있는 시뮬레이션 결과와 일치하는 것이다. 특히 서브 게이트와 인접한 드레인 영역 사이에서 드레인 전압을 보면 f-모양 트리플게이트 박막트랜지스터가 L-모양 듀얼게이트를 포함한 기존의 게이트 소자보다 드레인 바이어스를 낮출 수 있다는 것을 알 수 있다.



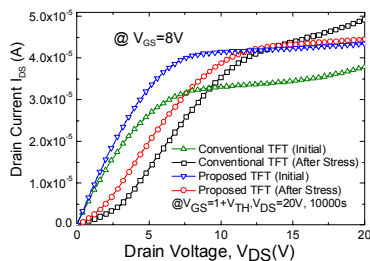
<그림 3> 플로팅 지점 전압의 시뮬레이션 결과

<그림 4>는 f-모양 트리플게이트와 기존의 싱글게이트, 듀얼게이트, L-모양 듀얼게이트 박막트랜지스터의 출력특성을 비교한 것이다.



<그림 4> p-type, n-type f-모양 게이트 박막트랜지스터의 출력특성

f-모양 트리플게이트 구조와 다른 게이트 구조와의 플로팅 전압의 차이로 인해서 비슷한 전류 크기에서 f-모양 트리플게이트 구조는 기존의 게이트 구조보다 우수한 포화특성을 지니게 된다. $|V_{DS}|=20V$, $|V_{GS}|=8V$ 조건에서 L-모양 듀얼게이트 박막트랜지스터와 비교하였을 때 f-모양 트리플게이트 구조는 46%(n-type), 3%(p-type)의 출력 컨덕턴스 특성을 볼 수 있었다.



<그림 5> 고온캐리어 스트레스 전, 후의 박막트랜지스터 출력특성

f-모양 트리플게이트 구조의 신뢰성을 확인하기 위해서 우리는 <그림 5>와 같이 고온 캐리어 스트레스 조건에서 다결정실리콘 박막트랜지스터의 출력 특성을 측정하였다. 스트레스 조건은 $V_{GS}=V_{TH}+1V$, $V_{DS}=20V$, 10,000초였다. 고온 캐리어 스트레스 후에 포화영역에서 기존 박막트랜지스터의 출력 전류는 증가한 반면에 f-모양 트리플게이트 박막트랜지스터는 거의 변하지 않았다. 이러한 결과는 다결정실리콘 박막트랜지스터의 그레인 구조 때문이다.

드레인 접합 부근의 그레인 경계 구조와 다결정실리콘 박막트랜지스터의 열화현상 사이에는 밀접한 관계가 있다.[6] 왜냐하면 f-모양 트리플게이트 박막트랜지스터의 드레인 접합 부근의 서브 박막트랜지스터는 거의 평행한 채널을 갖고 있기 때문이다. 이는 높은 드레인 전계 조건에서 수직채널이 있고 드레인 접합부근의 서브 게이트를 갖고 있는 기존의 게이트 박막트랜지스터보다 더 좋은 신뢰성을 갖고 있다. 이러한 이유로 고온캐리어 스트레스 조건에서 f-모양 트리플게이트 박막트랜지스터의 안정된 포화특성은 기존의 게이트 박막트랜지스터(수직 채널구조)에 비해 더 잘 유지된다.

바이어스 스트레스를 가한 후 f-모양 트리플게이트 박막트랜지스터의 출력 컨덕턴스는 거의 증가하지 않는다. 이러한 실험결과는 기존 게이트 박막트랜지스터에 비해서 f-모양 트리플게이트 박막트랜지스터가 높은 출력저항과 높은 플로팅 n+ 노드 전압을 갖는다는 것을 보여준다. 그러므로 f-모양 트리플게이트 박막트랜지스터는 다결정실리콘 아날로그 회로에서의 오동작을 효과적으로 방지할 수 있다.

3. 결 론

우리는 서로 다른 전계효과 이동도의 서브 박막트랜지스터로 구성된 f-모양 트리플게이트 박막트랜지스터구조를 제안하고 제작하였다. 제안된 박막트랜지스터의 서브 박막트랜지스터 일부는 횡방향으로 성장한 그레인과 평행한 방향으로 드레인 접합부근에 위치하였고 다른 일부는 수직방향으로 소스 접합부근에 위치하였다. 그리고 전류는 소스 근처의 서브게이트 부근으로 제한하였다. 이로써 비대칭 상호컨덕턴스는 f-모양 트리플게이트 구조를 사용하여 구현되었다. 우리는 'a'인자를 조사하였고 드레인 접합 부근의 서브 박막트랜지스터사이의 전압강하를 최소화하기 위하여 이를 이용하였다. 또한 이를 통하여 시뮬레이션 결과 킥효과가 감소되었음을 유추할 수 있었다. 실험을 통해서 제안한 소자가 높은 드레인 바이어스 조건에서 고온 캐리어 신뢰성을 개선할 수 있음을 확인하였다. 그리고 드레인 접합부근의 서브 게이트 사이에서 전압강하를 최소화함으로써 기존의 게이트 박막트랜지스터와 비교하였을 때 킥 효과를 효과적으로 억제할 수 있었다. 또한 제안한 소자가 안정적인 출력 컨덕턴스 특성을 지니고 있다는 것도 확인하였다.

[참 고 문 헌]

- [1] S. Zhang, C. Zhu, J. K. O. Shin, J. N. Li, and P. K. T. Mok, "Ultra-thin elevated channel poly-Si TFT technology for fully-integrated AMLCD system on glass", IEEE Trans. Electron Devices, 47, 569, 2000
- [2] R. Bisht, B. Mazhari, "Impact of Kink effect on performance of Poly-Silicon Based TFT Differential Amplifiers", Proc. of ASID '06, 407, 2006
- [3] A. Valletta, P. Gaucci, L. Mariucci, and G. Fortunato, S. D. Brotherton, "Kink effect in short-channel polycrystalline silicon thin-film transistors", Appl. Phys. Lett, 85, 3113, 2004
- [4] J. P. Colinge, "Reduction of kink effect in thin-film SOI MOSFETs", IEEE Electron Device Lett., 9, 97, 1988
- [5] H. S. Shin, S. H. Jung, W. J. Nam, W. K. Lee, H. J. Lee and M. K. Han, "Novel L-Shaped Dual-Gate Structure of Polycrystalline Silicon Thin-Film Transistors for the Reduction of the Kink Current in Sequential Lateral Solidification or Continuous Wave Laser Method", Jpn. J. Appl. Phys, 45, 4378, 2006
- [6] T.-F. Chen, C.-F. Yeh and J.-C. Lou, "Investigation of grain boundary control in the drain junction on laser-crystallized poly-Si thin film transistors", IEEE Electron Device Lett., 24, 457, 2003