

## 전기 및 열 등가회로를 이용한 BDU(Battery Disconnected Unit)의 온도 특성 해석

조태식\*, 주현우\*\*, 박홍태\*\*  
LS산전 전력연구소\*

### Temperature Characteristic Analysis of the BDU using Electric and Heat Equivalent Circuit

Tae-Sik Cho\*, Hyun-Woo Joo\*\*, Hong-Tae Park\*\*  
LSIS Electro-Technology R&D Center\*

**Abstract** - 본 연구의 목적은 전기 자동차 BDU(Battery Disconnected Unit)의 방열 설계를 위해 전기 및 열 등가회로를 설계하여 온도 특성을 파악하는 것이다. 이 온도 특성을 분석하기 위해서 해석 프로그램으로 매트랩(matlab)의 시뮬링크(simulink) 프로그램을 사용하였으며, 각 소자에서의 발열과 최대 온도 그리고 평균 온도의 해석 값을 통해 실험 결과 데이터와 접목 시킨다면, 배터리 팩(battery pack)의 핵심 부품인 BDU의 최적 방열 설계를 이룰 수 있을 것으로 판단된다.

#### 1. 서 론

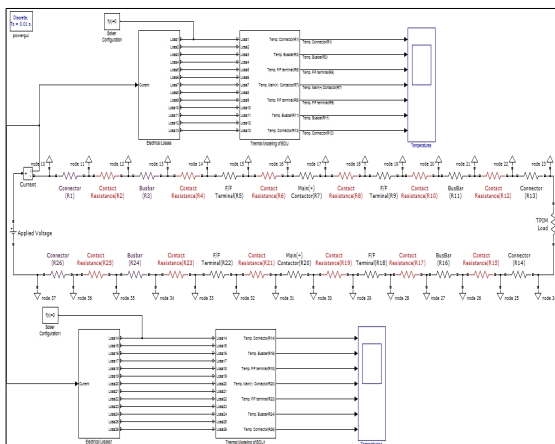
현재 전 세계는 각종 유해 가스에 따른 대기 오염의 대안으로 전기 에너지를 이용한 친환경 자동차에 대한 연구와 개발이 활발히 이루어지고 있다. 전기 자동차는 가솔린(gasoline) 자동차의 주 연료인 가솔린 엔진과 달리 전기 모터의 동력을 사용 한다는 것이 가장 큰 장점이며, 이에 따른 유해 가스의 배출이 거의 없다는 점에서 연구와 개발이 반드시 필요하다. 본 논문에서는 이 전기 자동차의 전원 공급 장치인 BDU 연구 개발의 목적으로 정격전류가 약 150[A]일 경우 각 부분들의 온도 특성 분석을 수행하였으며, 이를 통해 최적 방열 설계를 이루고자 한다.

#### 2. 본 론

##### 2.1 모델링 (Modeling)

BDU는 EV 릴레이(EV-Relay)와 퓨즈(fuse), 그리고 버스바(busbar)로 구성되어 있다. 그림 1은 전기 및 열적 특성을 위해 매트랩(matlab)의 시뮬링크(simulink)로 구성된 전기 회로이며, 그림에서 보는 바와 같이 회로의 구성은 저항부, 온도부, 센서부로 나누어 설계 하였다. 또한 저항부는 일반 저항과 접촉 저항으로 나누어 구성되어 있으며, 식 (2.1)과 같은 줄의 냉각 법칙(Joule's Heating Law)<sup>1)</sup>을 사용하여 온도 특성을 파악하였다. 모델링 시스템은 발열부에서 발생한 전도에 의한 열이 대류 열전달에 의해 냉각되는 시스템이며, 경계 조건(boundary condition)은 일반적인 상온 상태이다.

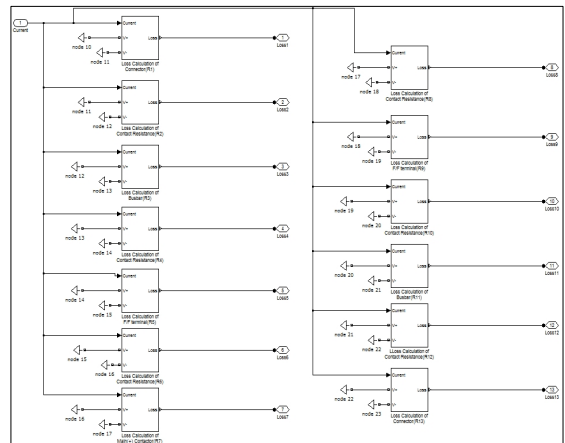
$$Q = 0.24 I^2 R t \quad (2.1)$$



<그림 1> 전기 및 열적 등가회로의 구성

##### 2.1.1 전기적 요소 (Electric Factor)

그림 2는 회로의 전기적인 요소를 모델링 한 그림이다. 각 부분의 전기적 저항과 전류는 표 1과 같은 값을 설정하였고, EV-릴레이(EV-Relay)의 저항과 접촉 저항(contact resistance)의 온도를 알아보기 위해 각 저항 사이에 노드(node)를 설치하여 센싱(sensing)하였으며, 이 부분이 열 손실로 처리될 수 있도록 열적 회로와 연결하여 구성하였다.



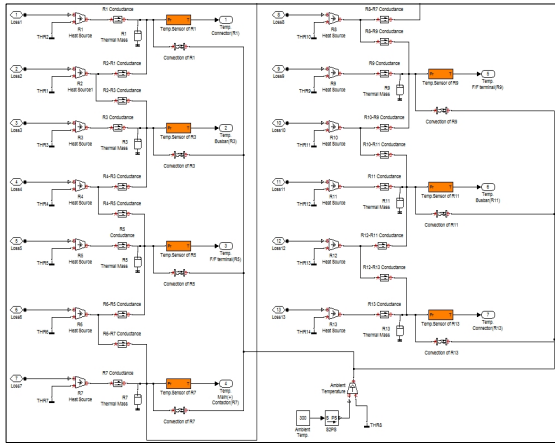
<그림 2> 전기부의 등가회로 구성

<표 1> BDU 저항부의 전기적 요소

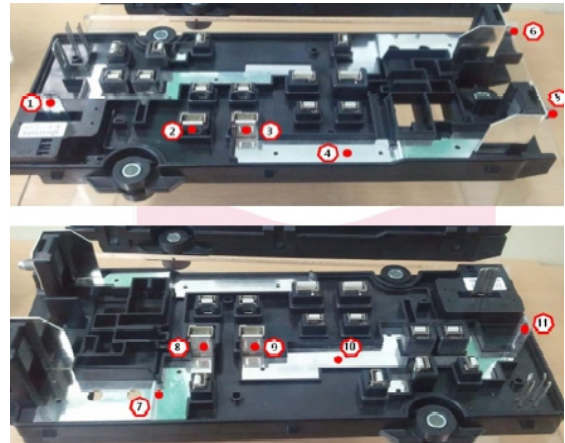
|                 | 설정 값         |
|-----------------|--------------|
| 정격 전류 [A]       | 150 [A]      |
| 정격 전압 [V]       | 15[V]        |
| 접촉 저항 [Ω]       | 1.00E-03 [Ω] |
| EV-Relay 저항 [Ω] | 5.00E-04 [Ω] |

##### 2.1.2 열적 요소 (Heating Factor)

전기적인 손실을 토대로 열적 손실을 계산하기 위해 그림 3과 같이 열적 회로를 구성하였다. 대류 열전달에 의한 냉각을 고려하기 위해 외기 온도(Ambient Temperature)를 설정하였으며 접촉 저항 부분의 노드에는 발열 부분만 있을 뿐 열의 공급원이 없기 때문에 열원(thermal mass)은 설정하지 않았다. 또한 각 부분의 온도가 센싱될 수 있도록 온도 센서를 설치하여 회로를 세팅하였으며 발열부의 각 부분에 대한 값과 온도에 따른 특성 값(properties)은 표 2와 같다.<sup>2)</sup>



〈그림 3〉 발열부의 등가회로 구성



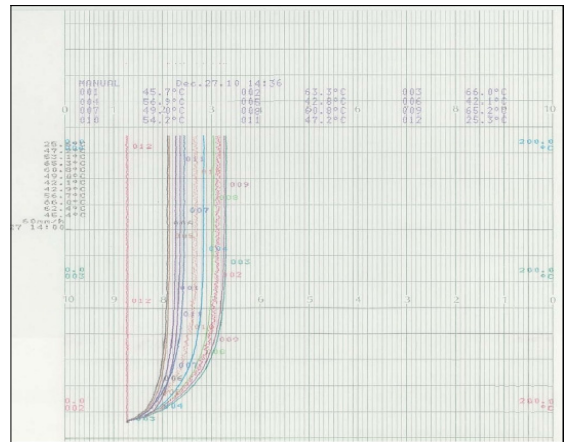
〈그림 5〉 BDU의 열전대(Thermocouple) 위치

〈표 2〉 BDU 발열부의 열적 요소

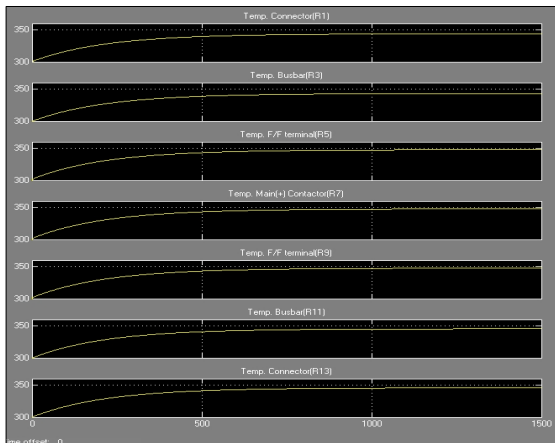
|  | 설정 값                    |
|--|-------------------------|
| 줄의 보정 계수<br>(Joule's Collaborating Constant) | 0.24                    |
| 외기온도 [K]                                     | 300~350 [K]             |
| 대류 열전달 계수 [W/m <sup>2</sup> K]               | 25 [W/m <sup>2</sup> K] |
| 비열 [J/kgK]                                   | 385 [J/kgK]             |

2.2 해석 및 결과 (Analysis and Result)

그림 3은 BDU의 전기 회로 구성 후 온도 변화 결과를 나타낸 그래프이다. 그림에서 보는 바와 같이, 각 부분의 온도는 약 340[K]까지 상승한 것을 볼 수 있으며, 대류 열전달에 의한 냉각에 의해 정상 상태에 도달하는 것을 확인할 수 있다.



〈그림 6〉 온도 상승 시험 결과



〈그림 4〉 온도 특성 결과 그래프

〈표 3〉 BDU 온도 해석 결과 및 실험 결과 비교

|            | #1       | #2       | #3       | #6       | #8       | #9       | #10      |
|------------|----------|----------|----------|----------|----------|----------|----------|
| Experiment | 326.2[K] | 311.5[K] | 313.7[K] | 359[K]   | 350.5[K] | 309[K]   | 309.9[K] |
| Analysis   | 316.8[K] | 302.1[K] | 304.3[K] | 349.6[K] | 341.1[K] | 299.6[K] | 300.5[K] |

3. 결 론

본 논문에서는 매트랩(matlab)의 시뮬링크(simulink)를 이용하여 BDU(Battery Disconnected Unit)의 전기 및 열적 회로를 구성한 후 각 요소에 대해 실험 결과와 비교, 분석 하였다. 그 결과 포화 온도는 약 ±10°C 정도의 오차를 보였으며 그 이유는 열전대(Thermocouple) 저항 값의 변화 및 환경에 따른 물성치의 변화 때문인 것으로 판단된다.

본 연구를 응용하여 온도 해석 및 열 해석 분야에 접목 시킨다면 다양한 산업에서의 기초 방열 데이터(data)를 확보할 수 있을 것이며<sup>3)</sup> 또한, 정확한 실험을 통한 결과 값의 비교, 분석을 통해 최적 방열 설계(thermal dasign) 및 발열 문제(heating problem)를 해결할 수 있는 중요한 기초 연구가 될 수 있을 것이다.

[참 고 문 헌]

- [1] Mills, "Basic heat and mass transfer", p.77~125, 1995
- [2] 장인형, 최준호, 박계영, 설승운, "HEV 배터리 Module의 Case에 따른 강제 냉각 해석", KSME, pp.252~257, 2010
- [3] Hsien-Chie Cheng, I-Chun Chung, Wen-Hwa Chen, "Response Surface Based Optimization Approach for Thermal Placement Design of Chips in Multiple-Chip Modules", IEEE, 3, 531~542, 2009