

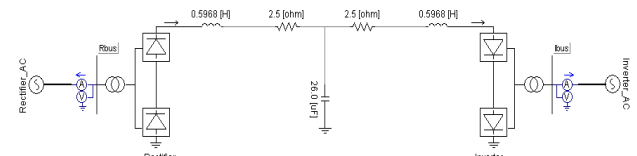
## CIGRE HVDC 벤치 마크 모델의 UDM 개발

**최장흠**  
한국전력공사

### Development of User Define Model about CIGRE HVDC Bench mark model

Jang-Hum Choi  
KEPCO

**Abstract** - 최근 보급이 확대되고 있는 HVDC는 설치 당시의 상황 등에 따라 제어기가 달라지게 되므로, HVDC 프로젝트마다 제어기가 달라지게 된다. 따라서 PSS/E 프로그램에는 HVDC 설비를 위한 전용의 HVDC 모델을 개발할 수 있는 Model Writing 기법을 제공하고 있다. 하지만 국내에서는 UDM 개발 기술이 널리 전파되지 않아 UDM 기술 기반이 취약한 상태이다. 이에 본 논문에서 CIGRE HVDC 벤치 마크 모델에 대한 UDM을 개발하여 전용의 HVDC 모델을 개발하기 위한 기반 기술을 확보하였다.



<그림 1> CIGRE HVDC Benchmark 모델의 회로도

### 1. 서 론

현재 내륙에서 제주로 전력을 공급하기 위하여 해남-제주간 HVDC#1이 설치되어 있으며, 진도-제주간 HVDC#2가 설치될 예정이고, 제주 실증 단지에 국내 기술로 개발된 80kV HVDC가 설치될 예정이다. 그런데 HVDC의 경우에는 설치 당시의 지역적 상황, 계통 상황 등에 따라 제어기가 달라지게 되므로, HVDC 프로젝트마다 제어기가 달라지게 된다. 따라서 계통 해석의 기본 수단으로 사용되고 있는 PSS/E 프로그램에는 계통의 계획단계에서 사용할수 있는 범용의 HVDC 모델이 존재하지만 실제 설치되어 있는 각각의 HVDC 설비를 위한 전용의 HVDC 모델이 존재하지 않는다.

이러한 문제점을 해결하기 위해 PTI사에서는 Model Writing 기법을 이용하여 UDM(User Define Model)을 작성하여 전용 모델에 대한 해석을 수행할 수 있는 방안을 마련하였다. 하지만 국내에서는 UDM 개발 기술이 널리 전파되지 않아 UDM 기술 기반이 취약한 상태이다. 이에 본 논문에서는 UDM 기술의 적용과 검증에 위해 CIGRE HVDC 벤치 마크 모델에 대한 UDM을 개발하였으며, EMTDC 결과와 비교를 통해 개발된 UDM 모델의 타당성을 검증하였다.

### 2. 본 론

#### 2.1 PSS/E UDM 프로그램의 구성

Model Writing 기법을 이용하여 작성되는 UDM은 PSS/E Main 프로그램에서 해당 설비의 동특성에 해당하는 미분방정식을 해석하는 서브 루틴이다. UDM은 미분방정식을 해석하는 CONEC과 대수방정식을 구성하는 CONET으로 구성되며, CONEC은 1\*8의 MODE를 가지고 있다. 이러한 UDM의 구성 요소들은 설비의 해석과 프로그램에서의 입출력을 위해 존재하는 요소들로 구성되어 있으며, UDM이 설비의 미분방정식을 해석하기 위한 모델로써 동작하기 위하여 다음의 5가지 프로그램을 필수적으로 구성해야 한다.

- ▶ MODE 1 : 미분방정식 초기화를 수행
- ▶ MODE 2 : 도함수를 계산
- ▶ MODE 3 : 대수방정식을 계산
- ▶ MODE 4 : PSS/E와의 연동을 위한 특별한 초기화
- ▶ ENTRY : 미분방정식의 결과를 이용하여 설비 특성방정식 계산

HVDC 설비에 대해 PSS/E UDM을 구성하는 경우에는 MODE 1,2,3에 HVDC 제어기의 미분 방정식이 구성되고, ENTRY에 HVDC 소자 특성을 나타내는 컨버터 방정식에 구현되게 된다.

#### 2.2 CIGRE HVDC 모델

##### 2.2.1 선로 다이내믹

[그림 1]은 CIGRE HVDC 모델의 회로도이다. CIGRE HVDC 모델은 크게 3개의 요소로 구성되어 있다. AC와 DC 사이의 변환을 위한 컨버터, 컨버터와 컨버터를 연결하는 직류 선로, 그리고, 컨버터의 점호를 담당하는 제어기로 구성되어 있다.

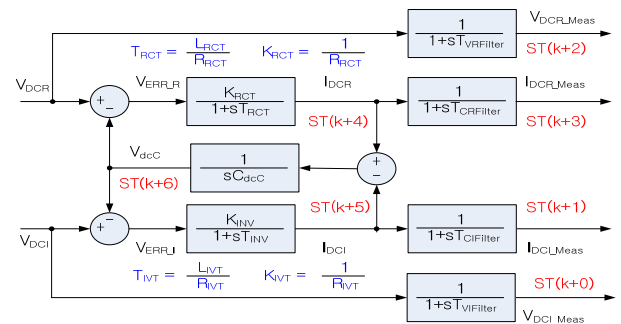
위의 회로도에서 HVDC 선로는 정류기단과 인버터단에 컨버터를 가지며 정류기단과 인버터단 사이의 직류 선로는 T-등가 선로로 모델링되었다. 직류 선로가 가공 선로이면 충전용량이 거의 없기 때문에 중간 지점의 커패시턴스는 무시될 것이고, 직류 선로가 케이블이면 충전용량은 무시할 수 없게 된다. 충전용량까지 고려한 직류 선로의 전압-전류 관계식은 다음과 같다.

$$V_{dcR} - V_{dcC} = (R_{rect} + sL_{rect})I_{dcR} \tag{1}$$

$$V_{dcC} - V_{dcI} = (R_{inv} + sL_{inv})I_{dcI} \tag{2}$$

$$V_{dcC} = \frac{1}{sC_{dcC}} (I_{dcR} - I_{dcI}) \tag{3}$$

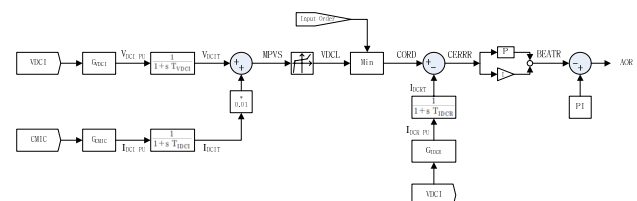
T-등가선로를 표현하는 식 (1)~(3)의 방정식은 [그림 2]와 같은 블록 선도로 표시할 수 있다.



<그림 2> T-등가 선로 다이내믹의 블록선도

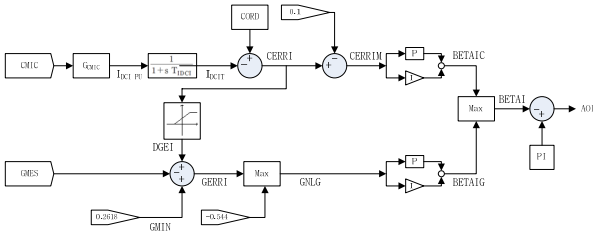
##### 2.2.2 CIGRE HVDC 모델의 제어기

HVDC의 제어기는 정류기측의 점호각을 제어하는 부분과 인버터측의 소호각을 제어하는 부분으로 구분할 수 있다.



<그림 3> CIGRE HVDC 모델의 정류기측 제어 블록선도

[그림 3]은 CIGRE HVDC 모델의 정류기측 점호각을 제어하는 제어기의 블록선도이다. 이 제어기는 일정전류 제어를 수행하며, 제어 기준값은 VDCOL의 출력과 사용자 지정전류 중 작은 값을 사용한다.



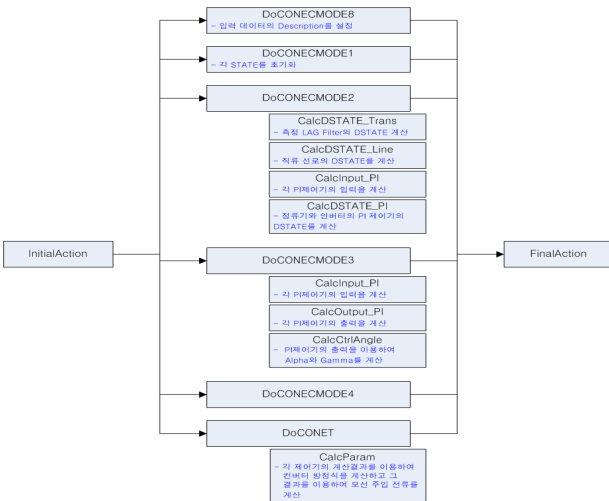
〈그림 4〉 CIGRE HVDC 모델의 인버터측 제어 블록선도

[그림 4]는 CIGRE HVDC 모델의 인버터측 소호각을 제어하는 제어기의 블록선도이다. 이 제어기는 일정전류 제어, 일정소호각 제어, CEC 제어를 수행한다. 기본제어로서 일정소호각 제어를 수행하며, 정류기측이 일정전류 제어를 수행할 수 없는 경우에 인버터측이 일정전류 제어 모드가 변경되며, 모드가 변경되는 과정에서 CEC 제어를 수행하게 된다.

### 2.3 UDM 프로그램의 구성 및 시뮬레이션 결과

#### 2.3.1 CIGRE HVDC 모델에 대한 UDM 프로그램의 구성

PSS/E UDM은 Fortran 언어로 코딩된다. 따라서 프로그램의 제어나 구조는 순서도에 의해 표시하고, 1개의 순차 프로그램으로 완료하는 것이 일반적이다. 하지만 PSS/E UDM이 데이터를 공유하는 별도의 프로그램처럼 동작하기 때문에 데이터를 공유하지 않는다면 완전히 별개의 프로그램으로 모듈화가 가능하다.



〈그림 5〉 CIGRE HVDC 모델용 UDM 프로그램의 구조

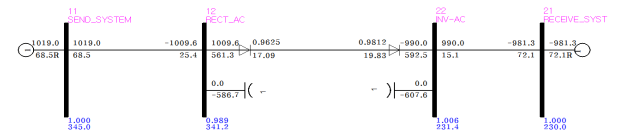
[그림 5] CIGRE HVDC 모델용 UDM 프로그램의 구조를 나타내고 있다. CIGRE HVDC 모델은 UDM은 8개의 모듈로 구성되어 있다. InitialAction 모듈과 FinalAction 모듈은 CONEC과 CONET에서 공통적으로 수행하는 동작을 정의한 모듈이고, DoCONECMODE1,2,3 모듈은 제어기의 미분방정식을 해석하는 부분이며, DoCONET는 HVDC 컨버터 방정식을 구현한 부분이다.

〈표 1〉 CIGRE HVDC 모델의 STATE 설계

STATE	단위	Description
K	%	인버터측 측정 전압
K+1	%	정류기측 측정 전압
K+2	%	인버터측 측정 전류
K+3	%	정류기측 측정 전류
K+4	A	Line Dynamic이 반영된 인버터측 dc 전류
K+5	A	Line Dynamic이 반영된 정류기측 dc 전류
K+6	V	Line Dynamic에서 커패시턴스측의 전압
K+7		정류기측 전류 PI-제어기의 STATE
K+8		인버터측 전류 PI-제어기의 STATE
K+9		인버터측 GAMA PI-제어기의 STATE

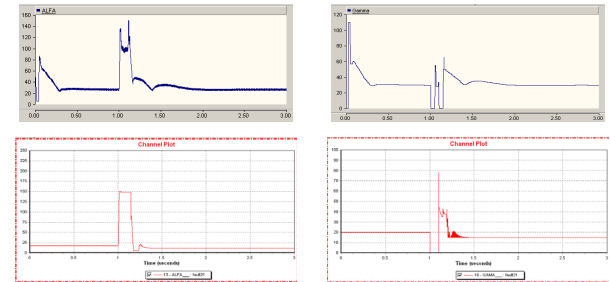
DoCONECMODE1,2,3 모듈은 [그림 3]과 [그림 4]의 제어기를 구현한 부분으로써, 제어기 미분변수인 STATE에 대한 설계는 <표 1>과 같다.

#### 2.3.2 UDM 프로그램의 시뮬레이션 결과

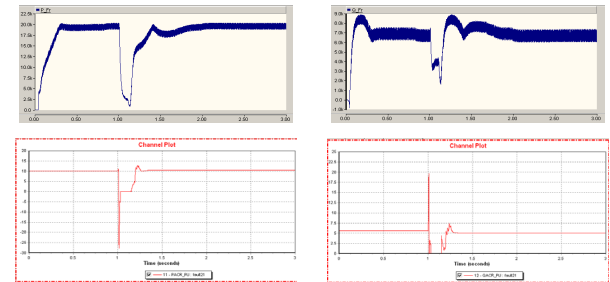


〈그림 6〉 CIGRE HVDC 모델용 UDM 프로그램의 시뮬레이션용 계통

[그림 6]은 [그림 1]의 CIGRE HVDC Benchmark 모델의 회로도를 PSS/E에서 구성한 계통으로써 정류기측의 12번 모선과 인버터측의 22번 모선을 HVDC로 연결하여 UDM을 적용하여 동특성을 해석하였다.



〈그림 7〉 정류기측과 인버터측의 제어각



〈그림 8〉 정류기측의 유효전력과 무효전력

[그림 7]은 정류기측의 점호각과 인버터측의 소호각에 대해 EMTDC의 결과와 PSS/E UDM 결과를 비교한 것이고, [그림 8]은 정류기측의 유효전력과 무효전력에 대해 EMTDC와 PSS/E의 UDM 결과를 비교한 것이다. [그림 7]과 [그림 8]에서 복구시의 특성은 EMTDC와 PSS/E UDM 모두 Overshoot 이후에 정상상태로 수렴하는 과정을 거치고 있으며, 그 경향이 유사하다. 하지만 PSS/E UDM의 수렴 과정이 EMTDC의 수렴 과정에 비해 짧은데, 이것은 EMTDC가 계통의 모든 설비를 미분방정식으로 해석하는데 비해 PSS/E는 AC 계통을 대수방정식으로 처리하는데 따른 차이점과 PSS/E UDM의 컨버터 방정식에서 제어각 증가에 따른 중첩각의 영향을 반영하지 않았기때문으로 사려된다.

### 3. 결 론

현재 국내계통에는 해남-제주간 HVDC#1이 설치되어 있으며, 진도-제주간 HVDC#2가 설치될 예정이다. 그런데 HVDC는 프로젝트마다 제어기가 달라지게 되고, PSS/E를 이용한 계통 해석시에 동특성을 모의하기 위한 전용의 HVDC 모델이 존재하지 않는다. 이에 PTI에서는 Model Writing 기법을 이용하여 UDM을 개발할 수 있는 방안을 제시하고 있지만 국내에서는 UDM개발이 거의 보급되지 않은 실정이다 이에 본 논문에서는 UDM 기술의 적용과 검증에 위하여 CIGRE HVDC 모델에 대한 UDM을 개발하였으며, EMTDC 결과와 비교를 통해 개발된 UDM 모델의 타당성을 검증하였다. 하지만 CIGRE HVDC 모델은 인버터측에서 일정소호각 제어를 기본으로 하고 있는데, HVDC#2의 경우에는 인버터에서 일정전압 제어를 기본으로 하고 있다. 따라서 이것은 추후 연구에서 적용되어야 할 과제가 된다.

#### [참 고 문 헌]

[1] P.KUNDUR, "POWER SYSTEM STABILITY AND CONTROL", McGraw Hill, 1994.  
 [2] "PSS/E ver32.0 Manual", Siemens PTI, 2009  
 [3] "High-Voltage Direct Current Handbook", EPRI, 1994