

Inverter의 Current Source를 이용한 전원 및 신호 무결성에 관한 연구

백이랑, 박문환, 김종민, 이준상, 나완수
성균관대학교

Study of PI and SI using Current Source of Inverter

E-Rang Baek, Mun-Hwan Park, Jong-Min Kim, June-Sang Lee, Wansoo Nah
Sungkyunkwan University

Abstract - 전원의 Current에 Inductance적으로 유도되어 추가된 Voltage Noise를 측정할 때, 기존의 측정방법에서는 IBIS 1개만을 측정 에 사용하기 때문에 Output Current의 정확한 값을 측정하지 못하였다. High Frequency를 사용하는 Device가 증가하고 이에 따른 SI의 정확한 검증에 대한 필요성이 커짐에 따라, 본 연구에서는 Switching Current Source로 Inverter를 사용하여 신뢰할 수 있는 모델을 구현하고 이를 검증한다.

1. 서 론

최근 시스템은 동작 주파수가 높아지고, 이동성이 강조되면서, IC(Integrated Circuit)는 고집적화 되고, 공급되는 전원 또한 낮아지고 있어 전원 무결성(Power Integrity)에 대한 고려가 중요시 되고 있다.[1] 전원에 대한 노이즈는 신호선(Signal line)이 Power/Ground Plane에 Return Path를 형성하면서 고주파 성분에 대한 기생성분(Parasitic components)이 발생하게 되고, IC에 공급되는 DC전압이 기생성분에 의해 흔들리면서 IC의 출력에 SSN(Simultaneous Switching Noise)를 야기하게 된다. 또한 같은 Power/Ground Plane을 공유하고 있는 경우 발생된 전원의 노이즈가 신호선에 유기되어 IC의 출력뿐만 아니라 동일 PCB의 또 다른 시스템의 신호선에도 영향을 미치게 된다.[3][4] 따라서 IC와 PCB를 설계함에 있어서 신호무결성(Signal Integrity)과 전원무결성을 동시에 고려해서 해석하는 Co-simulation 모델이 필요하다.

전원무결성과 신호무결성을 동시에 해석하기 위해서 최근까지 다양한 연구가 진행되어 왔는데, 기존의 연구에서는 IBIS(Input/Output Buffer Information Specification)를 이용해서 시간영역에서 해석을 하였지만 정확성에 문제가 제기되면서 ICEM(IC Emission Model)을 Current source로 사용하여 Chip-Package-PCB에 대한 Co-simulation을 수행하거나[1], CMOS Inverter의 입력전압에 대한 Switching 특성을 Current source로 사용하여 Behaviour Model로 구성해서 EMI(Electro-Magnetic Interference)에 대해서 해석하였다.[2] 하지만, 이들 논문들은 주로 Current 모델을 EMI 소스로서 이용하였고 전원무결성과 신호무결성의 Co-simulation에 대한 연구는 부족하다.

본 연구에서는 Co-simulation 모델을 구성함에 있어서 IC에 대한 모델로 사용하고 있는 IBIS의 한계를 극복하면서도 전원의 흔들림에 대한 SSN을 모의하고자 한다. IC의 모델의 경우, Rising/Falling 시간과 소모되는 전류를 반영할 수 있는 모델을 Inverter의 Switching 특성을 이용해서 모델 구성을 하였고, Package-PCB 모델을 구성함에 있어서 Ansys사의 Full-wave 시뮬레이션 툴을 이용해서 모델 구성을 하여 VNA(Vector Network Analyzer)의 S-parameter 측정결과를 Z-parameter로 변환해서 신뢰성을 검증하였다. 또한, 전원무결성 설계를 위해 De-coupling capacitor에 대한 SRF(Self Resonance Frequency)의 주파수 별 특성을 고려해서 설계하고, 이들 설계된 결과를 Current 모델을 이용해서 Power/ground plane에 대한 Impedance에 따른 Voltage fluctuation과 SSN을 저감효과를 확인하였다. 이러한 전원무결성이 확보된 모델을 이용해서 Chip-Package-PCB-Chip에 대한 신호전달 특성을 모의함으로써 고속 시스템 설계에 대한 대책으로 활용할 수 있다.

2. 본 론

2.1 Chip Modeling

IC의 Switching시 Voltage fluctuation에 대한 SSN(Simultaneous Switching Noise)의 모델링을 위해 CMOS Inverter를 사용하여 <그림 1>과 같이 Peak current에 대한 Inverter Current, I_D 를 모의하였다. 이때 사용된 모델의 경우 $0.25\mu\text{m}$ 공정을 BSIM3을 이용한 모델이고 이들 Current 특성은 수식 (1)과 같이 표현된다. Current의 폭은 입력되는 Rising time을 반영하여 Switching current를 구성하였다. 수식(1)에서 볼 수 있듯이 Switching의 Drain current는 W, 즉 소자의 Width에 따라 달라진다.

$$\text{Saturated} : I_D = \frac{K}{2} (V_{gs} - V_{Th})^2$$

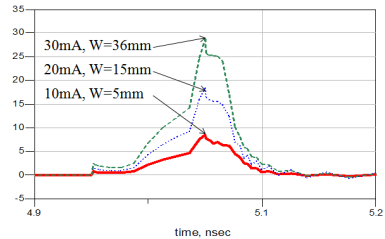
$$\text{Resistive} : I_D = K \left[(V_{gs} - V_{Th}) V_{DS} - \frac{V_{DS}^2}{2} \right], \quad (1)$$

where, $K = \frac{\mu_n C_{ox} W}{L}$

실제모델에서는 I/O의 Switching 개수에 대해서 Peak-current가 결정되고, 같은 PDN으로 연결된 I/O의 경우 Switching이 발생한 I/O에 대한 전체 Simulation이 필요하다. 그러나 제안된 모델에서는 CMOS Inverter의 Width에 의해 Peak-current를 모의하기 때문에 한 개의 I/O 만으로도 실제모델의 Peak-current에 대한 모의가 가능하고, Peak-current는 1Ω의 Impedance를 갖는 Voltage probe를 통해 측정하여 실제 모델에서의 값을 제공할 수 있어, 시스템에서 바라보는 Current를 정의한 모델을 구성하였다.

2.2 Package Modeling

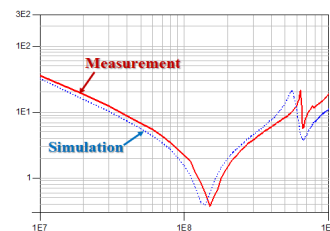
QFN(Quad Flat No-leads) 4핀을 이용해서 2Gbps Tx와 Rx칩을 Package로 구성하였고, 이들 Package의 고주파에 대한 기생성분을 고려하기 위해서 Ansys의 Q3D Extractor를 사용하였다. Q3D는 3-D와 2-D의 기생성분(Capacitance, Conductance, Inductance, Resistance)을 추출하는데 사용되는 소프트웨어이며, 이들 결과를 동일사의 SIwave의 S-parameter와 비교하여 검증하였지만 본 논문에서는 생략한다.



<그림 1> Width에 따른 Current 특성 및 모델



a) Power/Ground plane의 Full-wave Simulation 및 Impedance 측정

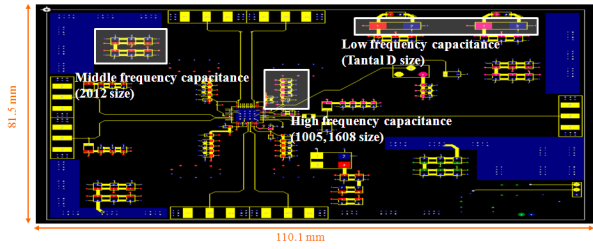


b) Simulation 결과와 측정결과의 비교

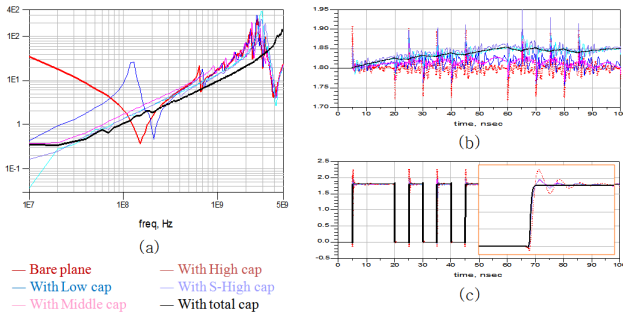
<그림 2> PCB모델의 simulation 및 측정 결과

2.3 PCB Modeling

PCB modeling은 SIwave를 사용한 PDN model의 시뮬레이션을 통해 이루어졌고 시뮬레이션을 통해 확립한 Model은 측정을 통해 검증하였다. <그림2>의 (a)는 SIwave를 사용하여 Simulation하는 모습과 Probe

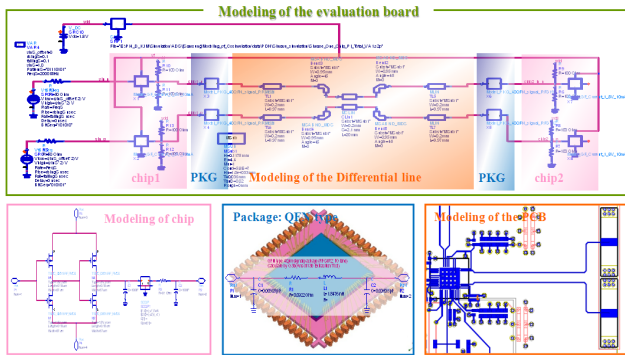


<그림 3> 동작대역별 De-coupling capacitors의 위치

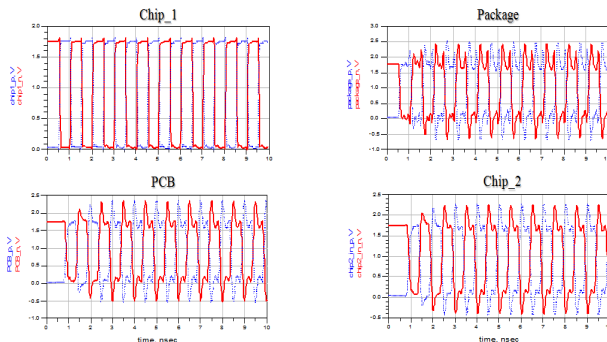


- (a) 주파수에 따른 Power/Ground impedance의 변화
- (b) Switching Current에 따른 Voltage fluctuation
- (c) Signal에 발생한 SSN(Simultaneous Switching Noise)

<그림 4> De-coupling capacitor의 특성에 의한 Simulation 결과



<그림 5> Full-chip Co-simulation model



<그림 6> Chip, Package, PCB 각 단에서의 Simulation 결과

station을 사용해 측정하는 모습을 보여준다. 제작된 PCB의 크기는 81.5mm x 110.1mm, 두께는 0.98mm이며 4층 기판으로 제작을 하였다. 사용된 PCB의 유전체의 비유전율 ϵ_r 는 4.5이고, 모든 도체는 $\sigma = 5.8 \times 10^7$ S/m의 전도도를 갖는 copper로 구성되어있다. PCB의 Simulation 결과와 측정 결과의 비교가 <그림 2>의 (b)에 나타나있다. 그림에서 두 곡선의 크기와 공진주파수가 1GHz까지 잘 일치하고 있음을 나타낸다. 150MHz이하의 주파수 대역에서는 PDN이 Capacitive load로 동작하게 되고, 150MHz이상의 주파수 대역에서는 Inductive load로 동작하는 것을 알 수 있다.

2.3.1 De-coupling Capacitors

고주파 대역에서 Power/Ground Impedance를 낮게 유지하기 위해 PDN상에 De-coupling capacitor를 추가한다. De-coupling capacitor는 Chip의 Switching 동작으로 인해 PDN에 발생하는 Power noise에 ac ground를 제공함으로써 Chip에 공급되는 dc전압을 안정적으로 유지시키는 역할을 한다. <그림3>은 Capacitor의 주파수 특성에 따라 Low frequency (Tantal D size), Middle frequency(2012 size), High frequency(1608 size), S-High frequency(1005 size)로 구분하여 PCB에 장착한 모습이다. De-coupling capacitor의 특성에 따른 Impedance와 Voltage fluctuation, SSN의 변화가 <그림4>에 표현되어 있다. Bare plane은 De-coupling capacitor가 없는 상태를 의미하고, Capacitor의 공진주파수가 높을수록 Impedance가 감소하고, Voltage fluctuation과 이에 따른 SSN도 감소하는 것을 알 수 있다. 결과적으로 4가지 대역의 Capacitor를 모두 사용했을 때 그 결과가 가장 뛰어나다는 것을 알 수 있다.

2.4 Co-simulation

Power와 Signal simulation을 위해 이상에서 검증된 각 Model을 하나의 Model로 통합한 Full-Chip Model이 <그림5>에 도식화 되어있다. Signal은 Chip(Tx)로부터 발생되어 Package와 PCB를 거쳐 송신되고, Signal을 수신하는 단에서 Package를 거쳐 Chip(Rx)으로 전달된다. Chip, Package, PCB의 각 단에서의 Signal을 Time Domain상에서 Simulation한 결과가 <그림6>에 나타나 있다. Simulation의 Input signal로는 2Gbps Clock을 사용하였다. PDN상에 De-coupling capacitor를 추가함으로써 PI가 확보되었기 때문에 송신단의 Chip 내부에서 예측되는 신호는 깨끗한 Pulse의 모습을 보이고 있고, Signal이 Package를 거쳐 PCB로 전달되면서 Noise가 발생해 신호가 왜곡되는 과정을 확인할 수 있다. 최종적으로 수신단의 Chip에서 예측되는 Signal의 파형을 바탕으로 수신된 Signal을 어떻게 해석할 것인지에 대한 Noise Margin을 예상하여 Chip을 설계하는 데 활용할 수 있을 것이다.

3. 결 론

본 논문에서는 CMOS Inverter를 Current source로 사용하여 Switching Current를 모의하여 Chip, Package, PCB를 Modeling하였다. Inverter를 사용한 Current Model은 다양한 Chip의 Current를 모의할 수 있다는 점에서 활용성이 높으며, PI관점에서는 De-coupling Capacitor를 사용해 PDN의 Switching Noise를 최소화 하고, 이를 통해 SI를 확보할 수 있다. 각 Model을 바탕으로 Co-simulation을 수행한 결과 각 단의 Signal을 Time domain에서 예측할 수 있었고, 이를 통해 Chip을 설계할 때 Noise margin을 결정하는데 도움을 줄 수 있을 것이다.

[참 고 문 헌]

- [1] Hyun Ho Park, Seung-Hyun Song, Sang-Tae Han, Tae-Sun Jang, Jin-Hwan Jung, and Hark-Byeong Park, "Estimation of Power Switching Current by Chip-Package-PCB Cosimulation", IEEE TRANSACTIONS ON ELECTROMAGNETIC COMPATIBILITY, VOL. 52, NO. 2, pp.311-319, May. 2010.
- [2] T. Steinecke, H. Koehne, M. Schmidt, "Behavioural EMI Models of Complex Digital VLSI Circuits", Microelectronics Journal Volume 35, Issue 6, Pages 547-555, Jun. 2004.
- [3] Jongmin Kim, Ki-jae Song, Jongwoon Yoo, Wansoo Nah, "Analysis of Coupled Simultaneous Switching Noise Induced from Power Delivery Network in Adjacent Switching Circuit", Electronics Packaging Technology Conference, EPTC '09. 11th pp.968-972, Dec. 2009.
- [4] Jongmin Kim, Ki-hoon Nam, Junrae Ha, Ki-jae Song, Wansoo Nah, "Modeling of the Power/Ground plane Noise Including Dielectric Substrate Loss", 한국전자과학회 논문지 제21권 제2호, pp.1329-1337, Feb. 2010