

# TMR 처리를 위한 데이터의 공유 및 보팅 방법에 관한 연구

## A Study on the Method of Data Sharing and Voting for TMR Processing

엄정규\*                      양찬석\*  
Jung-Kyou Um    Chan-Seok Yang

### ABSTRACT

As computer-based train control system became used widely, reliability and safety assessment of the computer is getting more important. A fault on a computer can cause a malfunction of train control system, and this can lead an accident. So where reliability and safety is highly required TMR is used. In this paper, the method of data sharing and voting for TMR processing is proposed, designed and verified.

## 1. 서론

환경오염을 줄이고 과 물류비용을 감소하며 국토의 균형 발전을 위해 교통량을 대량으로 흡수하기 위한 철도시스템을 구성하기 위해 열차를 안전하고 효율적으로 운영할 수 있는 열차제어시스템이 반드시 필요하다. 이와 관련하여 철도 선진국에서는 국가별 자국의 안전성 및 사고 예방 관련 기술력을 확보하고 있다. 열차제어시스템의 고장이 대규모 인명피해나 경제적 손실을 초래할 수 있으므로 안전성 향상을 통해서 열차제어시스템의 고장으로부터 발생할 사고의 방지가 필수적이다. 본 논문은 열차제어시스템의 안전기능을 수행하는 핵심 모듈의 안전성 향상을 위한 구조 및 방법을 제시한다.

## 2. 본론

열차제어시스템을 위한 고안전성 연산제어 시스템 기술을 개발하기 위한 고안전성 연산제어 시스템 중 TMR(Trippl Modular Redundancy) 시스템 구조의 설계 및 구현한 내용을 기술한다. TMR 시스템은 크게 연산처리부(CPU 보드), 데이터 공유 및 보팅부(DSV 보드), 그리고 입출력부(SIO 보드)로 구성된다. 동일한 입력에 대하여 세 개의 CPU 보드가 연산한 결과를 2 out of 3 보팅하여 출력한다. 입력 및 출력에 대한 동기 수행, 입력 및 출력 데이터의 공유, 2 out of 3 보팅 수행등을 위한 하드웨어 장치 및 소프트웨어에 대하여 기술한다.

### 2.1 시스템 구조

고안전성 연산제어 시스템의 구조는 아래 그림과 같다. 1계, 2계, 3계는 각각 별도의 랙에 장착되며, 랙 간에는 DSV 보드를 통한 LVDS 통신을 이용하여 데이터를 공유한다. I/O는 1계에만 장착되어 있으며 1계 CPU는 수신한 I/O 데이터를 DSV 를 통하여 2계, 3계에 공유한다. 1계, 2계, 3계의 출력은 서로 모두 공유되며 최종 보팅은 1계에서 수행하며 주요 특징은 아래와 같다.

- 고속 통신(90Mbps)을 이용한 데이터 공유
- 독립된 랙으로 구성하여 하나의 계 고장시 정상 동작
- 소프트웨어적인 입출력의 동기화

고안전성 연산제어 시스템은 3중화 구조로 되어있다. 절체 시스템이 아니라 3개의 시스템에서 동시에 연산한 결과를 2 out of 3 보팅하여 출력하는 TMR 시스템이다. 실험의 편의상 하나의 랙을 사용하였

으면 후면의 백플레인을 분리하여 완전히 독립적인 3중화 시스템을 구성하였다. 단, 파워서플라이는 단일계로 구성하였다. 시스템의 구조는 그림1. 과 같고, 시스템 제작 실물은 그림2.와 그림3. 과 같다.

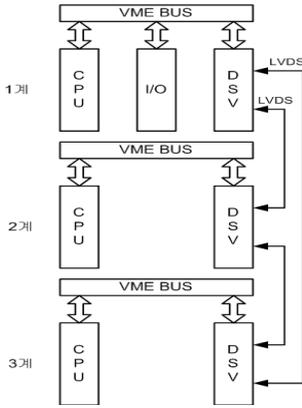


그림1. 시스템 구조



그림2. 시스템 실물 전면

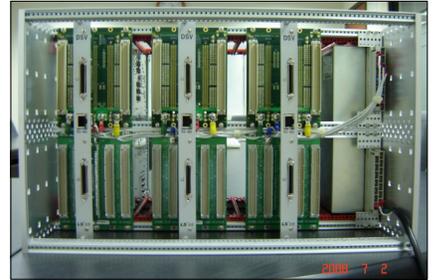


그림3. 시스템 실물 후면

## 2.2 입출력 동기화 및 보팅 알고리즘

고안전성 연산제어 시스템은 데이터 공유 및 2 out of 3 보팅을 위하여 그림4. 와 같이 메모리 영역을 정의한다. 각 메모리 영역의 정의는 아래와 같다.

- 입력영역: 새로운 입력을 저장
- CPU1 출력영역: CPU1 의 연산결과 저장
- CPU2 출력영역: CPU2 의 연산결과 저장
- CPU3 출력영역: CPU3 의 연산결과 저장
- 보팅영역: 2 out of 3 보팅 결과 저장
- LVDS1 버퍼 영역: LVDS1 로 수신된 데이터 저장
- LVDS2 버퍼 영역: LVDS2 로 수신된 데이터 저장

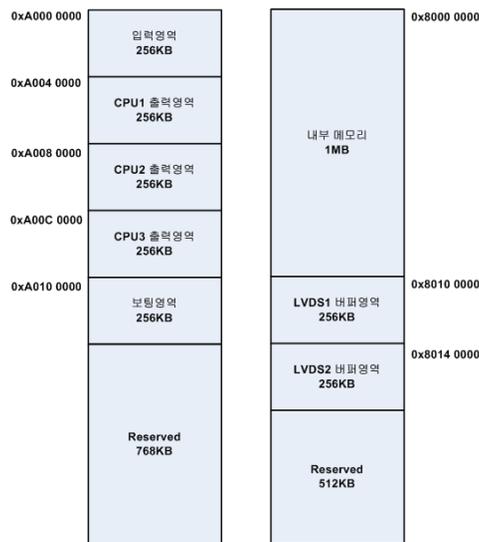


그림4 DSV보드의 메모리 구조

## 2.3 TMR 연산 알고리즘

### 2.3.1 입력 절차

TMR 연산을 위해서는 입력의 동기화가 필요하며, 수신한 입출력의 공유 및 2-out-of-3 연산 후에 외부 입력이 I/O 보드를 통해 수신된다. 하나의 입력이 처리되기 전에 수신된 입력은 큐에 저장된다. 1계 CPU 는 해당 입력을 수신한 후 고유의 입력 ID 부여한다. 1계 CPU 보드가 1계 DSV 보드에 고유 입력 ID를 부여한 입력 데이터를 메모리영역의 입력영역에 Write 한다. 1계 DSV 보드는 새로운 입력 ID 수신 시 2계, 3계 DSV 보드로 해당 입력을 공유시킨다. 1계, 2계, 3계 CPU 보드는 각각 입력영역으로부터 데이터를 읽어들이어 연산을 수행한다.

### 2.3.2 보팅 및 출력 절차

1계, 2계, 3계 CPU 보드는 연산 결과를 자신의 DSV 출력 영역에 써넣는다(1계 CPU는 CPU1 출력영역, 2계 CPU는 CPU2 출력영역, 3계 CPU는 CPU3 출력영역). 1계, 2계, 3계 DSV 보드는 각기 자신의 영역의 데이터를 다른 DSV에 공유시킨다. 이로써 각 DSV의 CPU 출력영역에 모두 데이터가 저장된다. 각 DSV는 CPU1, CPU2, CPU3 출력영역의 데이터에 대하여 2 out of 3 보팅을 수행한다. 각 DSV 보드는 보팅 결과를 보팅영역에 저장한다. CPU 보드는 보팅영역에 새로운 입력 ID의 데이터가 저장되었을 경우 이를 I/O 보드를 통해 출력한다.

## 2.4 보팅 기능 테스트

그림5.는 DSV 보드가 가진 보팅 기능을 테스트하기 위한 구성도를 나타낸다. 이 기능은 VME Slave 기능과 LVDS 포트 테스트 기능을 같이 테스트 하면서 내부에 구현된 Vote 알고리즘을 테스트하기 위함이다.

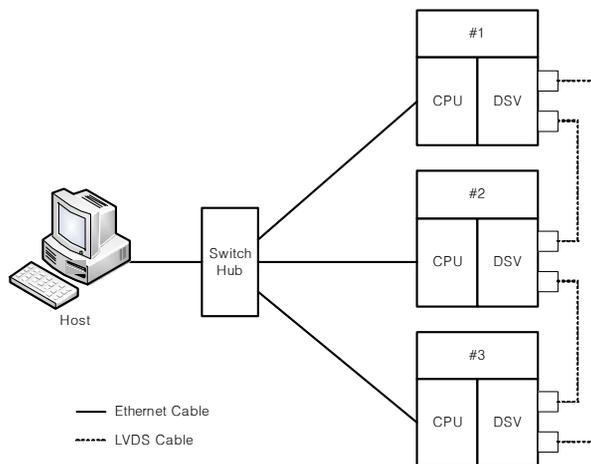


그림5. 보팅기능 테스트 환경

그림6. 과 같은 절차에 따라 시험을 수행하며 상세한 내용은 아래와 같다.

- STEP1: 시험용 MMI에서 입력 발생
- STEP2: CPU#1 에서 시리얼 입력 수신 후 DSV#1 로 전송 후 연산 수행 (고유 입력 ID 부여)
- STEP3: DSV#1 에서 입력 수신 후 DSV#2, DSV#3 로 공유
- STEP4: CPU#2, CPU#3 는 새로운 입력 ID를 검사하고 있다가 발생 시 입력을 읽어 들여 연산 수행
- STEP5: CPU#1, CPU#2, CPU#3 는 연산 수행 결과(제한속도)를 해당 DSV 보드의 출력 영역에

출력함

- STEP6: DSV#1, DSV#2, DSV#3는 새로운 입력 ID가 자신의 영역에 입력되었을 경우, 데이터를 다른 DSV와 공유함
- STEP7: DSV#1, DSV#2, DSV#3에서 보팅 실시
- STEP8: CPU#1 는 입력 ID를 확인하여 자신이 부여하였던 입력 ID와 같을 경우 최종 보팅 결과를 시리얼 출력함
- STEP10: MMI는 출력과 보팅 결과를 현시함
- STEP1부터 다시 시작함

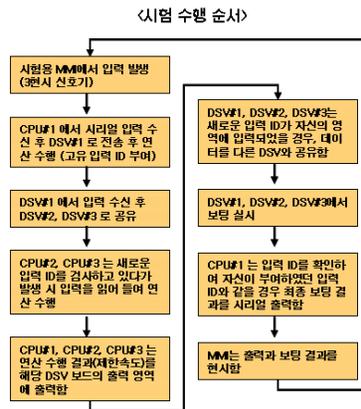


그림6. 시험 수행 순서

3. 결론

본 논문의 고안전성 연산제어시스템은 2 out of 3 보팅에 따라 출력 결과를 선택하므로, 하나의 시스템 결함이 발생하여도 지속적으로 의도한 기능을 제공할 수 있다. 입력이 발생시 마스터 CPU에서 해당 입력을 동기화시켜 나머지 2개의 CPU로 전송하므로써 세 개의 CPU는 항상 같은 입력에 대한 연산을 수행한다. 세 개의 CPU가 출력한 출력도 동일한 입력에 대한 출력이 확인 될 경우만 보팅하므로 항상 동기화를 유지할 수 있다. 또한, 단일 시스템의 출력만 사용하는 것이 아니라 세 개의 시스템이 동일한 입력에 대하여 출력한 결과를 사용하므로 출력 결과의 높은 신뢰성을 보장한다. 모듈화된 데이터 공유 및 보팅 모듈의 설계로 인하여 기존 시스템을 손쉽게 저비용으로 고안전성 연산제어 시스템으로 구축 가능하다.

참고문헌

1. LS산전, “열차제어시스템 안전성 향상 기술개발 및 열차분리 검지 기술 분석,” 철도종합안전기술개발 연차보고서, 2009.)