디지털 홀로그램 생성을 위한 FPGA 기반의 고성능 하드웨어 설계

*이윤혁 **서영호 ***김동욱

광운대학교

*winner9100@kw.ac.kr

FPGA-based High Performance Hardware Design for Generating Digital Hologram

*Yoon-Hyuk Lee **Young-Ho Seo ***Dong-Wook Kim

Kwangwoon University

요약

본 논문에서는 기존의 CGH수식을 이용하여 병렬화된 고성능의 CGH 생성 시 발생하는 다량의 데이터를 효율적으로 처리하기 위해 병목현상을 제거하는 하드웨어 구조를 제안한다. 하나의 가로줄에 해당하는 공통항을 연산한 후 이 값으로 임의의 가로줄에 대한 홀로그램 화소 값을 구하며 공통항과 가로줄에 해당하는 모든 업데이트 항은 객체의 모든 광원에 대하여 계산을 한다. 이 구조는 최종 홀로그램이 한 가로줄에 연산이 끝날 때 마다 생성되기 때문에 이전 연구에서 최종 홀로그램이 한 번에 생성되는 구조에 비하여 병목 현상을 줄여서 동영상 홀로그램 생성에 효율적이다.

1. 서론

홀로그래피는 1948년 Gabor에 의해 최초로 제안된 이래 3차원 정보를 기록할 수 있다는 특징 때문에 많은 연구자들의 관심을 끌어왔다. 기존의 홀로그래피는 홀로그램 필름에 3차원 정보를 기록하고, 현상된 필름을 사용하여 3차원 물체를 복원하는 방식을 사용함으로써 그 응용이 크게 제한되었다. 이러한 단점을 극복하기 위한 새로운 접근방법으로 1966년 이후 많은 연구자들이 컴퓨터에 의한 홀로그램(computer-generated hologram, CGH)의 제작을 연구해 오고 있다. 이 기술은 물체파(object wave)와 기준파(re- ference wave)의 간섭에 의해 생성되는 간섭항을 계산함으로써 현실에서는 불가능한 이상적인 특성을 가진 부품을 제작하거나 특성시험 등을 위해 개발되었다[1]. CGH를 이용하여 한 프레임에 해당하는 홀로그램을 생성하기 위해서는 많은 연산량과 시간이 소요되기 때문에 고속의 연산방법이 필요하다. 이런 고속 CGH를 위한 여러 알고리즘들이 개발되어 왔다[2].

2. 컴퓨터 생성 홀로그램

홀로그램은 광학계를 이용하여도 취득할 수 있지만 광학계 자체를 수학적으로 모델링한 연산에 의해서 구할 수도 있다. 이러한 수학적인 연산을 통해 얻어진 홀로그램을 컴퓨터 생성 홀로그램(computer-generated hologram, CGH)이라고 한다. 여러 종류의 CGH가 있지만 본 논문에서는 “위상(phase)” 방식을 사용하는데, 이것은 객체에서 CCD로 입사되는 파에서 위상 성분만을 이용하여 홀로그램을 생성하는 것으로, 그 증명은 본 논문에서 다루지 않는다[2].

근사화된 후에 가로줄 단위로 연산을 수행하는 CGH 알고리즘은 식 (1)과 (2)로 나타낼 수 있다. 먼저, 가로줄의 첫 번째 홀로그램 위치($d=0$)에 대해 연산을 수행하고 그 이후의 위치($d>0$)에 대해서는 가로줄이 끝날 때 까지 이전 위치에서 연산된 결과(Γ_{d-1})에 일부 값($\Gamma_1+(d-1)$)을 보정하여 해당 위치에서의 홀로그램 값(I_α)을 구한다. 가로줄의 첫 번째 위치에서 연산되어야 하는 과정은 식 (1)과 같다.

$$I_\alpha=\sum_j^N A_j\cos\left(2\pi\left(\frac{z_j}{\lambda}+\frac{p^2}{2\lambda z_j}(x_{\alpha j}^2+y_{\alpha j}^2)\right)\right)(d=0) \quad (1)$$

$$I_\alpha=\sum_j^N A_j\cos\left(2\pi\left(\frac{z_j}{\lambda}+\frac{p^2}{2\lambda z_j}(x_{\alpha j}^2+y_{\alpha j}^2)+\Gamma_d\right)\right)(d\geq 1) \quad (2)$$

식 (1)과 (2)를 이용하여 객체의 첫 번째 광원으로 중간 홀로그램을 구하여 저장하고, 두 번째 광원으로 두 번째 중간 홀로그램을 구한 후 첫 번째 중간 홀로그램과 더한다. 객체를 구성하는 광원의 수만큼 이러한 과정을 반복하여 최종적인 홀로그램을 생성한다. 식의 자세한 설명은 [2]를 참고하기 바란다.

3. 하드웨어 구조

제안한 하드웨어의 구조는 그림 1에 나타내었다. 하드웨어의 셀은 입력받은 객체의 광원을 받아서 화소 밝기가 0이 아닌 값만 SRAM에 저장시키고 해당 좌표만 출력하는 입력 인터페이스, 실제 한 가로줄에 대한 CGH연산을 하기 위해 공통항과 업데이트 항을 포함하는 CGH 연산기로 구성된다.

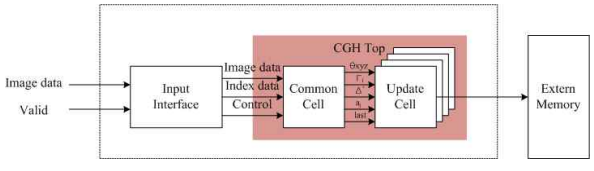

그림 1. 제안한 하드웨어 구조

그림 2의 공통항 연산기는 홀로그램의 한 가로줄의 가장 처음 위

치($d=0$)에 해당하는 θ_{XY}와 다음위치($d=1$)에서의 보정 값을 연산한다. 업데이트 연산기는 공통항에서 연산된 데이터를 가지고 ($d>0$)인 가로줄에 대하여 연산한다.

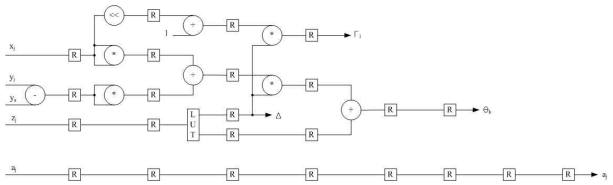

그림 2. 공통항 연산기의 세부 구조

그림 3은 업데이트 연산기를 구성하였다. 업데이트 연산기는 HD급(1920×1080)의 한 가로줄의 화소 수의 배수만큼 구성하므로 d는 각 업데이트 셀마다 일정한 값을 가지게 되므로 카운터 하나가 감소한다. 카운터 하나의 감소는 중요하지 않을 수 있다고 생각할지도 모르지만 한 세로줄의 화소 수(1080개)만큼 감소한다면 중요한 요소로 고려될 수 있다.

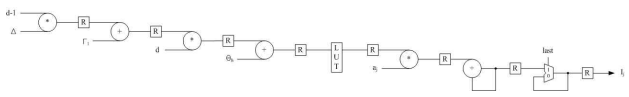

그림 3. 업데이트항 연산기의 세부 구조

홀로그램 평면의 한 화소를 연산하기 위해 모든 광원에 대하여 연산을 때 한 가로줄에 대한 공통항과 한 화소에 대한 업데이트 항은 업데이트 연산기의 개수에 따라 광원의 총 화소 수만큼의 주기를 가지면 한 가로줄에 대한 연산을 할 수 있다. 한 가로줄을 연산중에 이전 가로줄에 연산되었던 값들은 외부 메모리에 저장할 수 있다. 따라서 광원 하나에 대하여 홀로그램 평면에 대한 연산을 할 경우 한 클럭 주기마다 가로줄 연산 결과 나오는 이전연구[에서 병렬화할 시에 생기는 메모리 병목현상을 제거 할 수 있다[2].

4. 구현결과

제안한 하드웨어는 Verilog HDL을 이용하고 Altera사의 FPGA 환경을 이용하였다. Verilog HDL의 설계는 Quartus II 10.0을 이용하였고, 시뮬레이션은 Modelsim 6.5e를 사용하였다. 홀로그램 생성기의 자원 사용량은 표 1에 나타내었고 FPGA 기반의 RTL합성도는 그림 11과 그림 12에 나타내었다. 구현한 홀로그램 생성기는 FPGA 환경에서 최대 198.7MHz로 동작 할 수 있었다. 1,920개의 업데이트 셀을 이용하여 총 168,960개의 LUT를 사용하고 153,944개의 레지스터 그리고 19,212개의 DSP블럭을 사용하여 구현하였다. 그림 4와 5에 공통항 및 업데이트항을 합성한 결과를 나타냈다.

시뮬레이션은 Cadence사의 ModelSim으로 수행하였다. 그림 6은 한 장의 홀로그램을 연산하는 시뮬레이션 결과이다. 초기에 광원을 입력 받고 유효광원 수만큼 주기 동안 하나의 가로줄만큼 홀로그램 화소를 연산하고 다음 가로줄을 연산하는 동안 이전 가로줄의 연산 결과를 출력 할 수 있다. 그림 7은 시뮬레이션 결과를 소프트웨어적으로 복원한 영상이다.

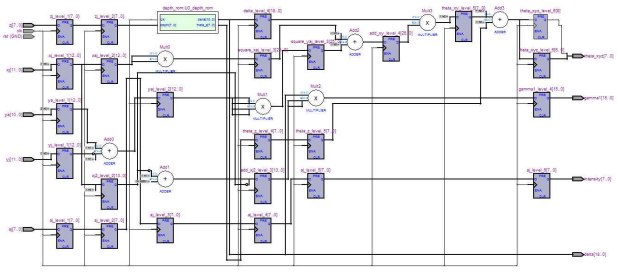

그림 4. 공통항의 FPGA 기반 RTL 합성도

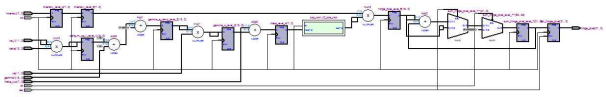

그림 5. 업데이트항의 FPGA 기반 RTL 합성도

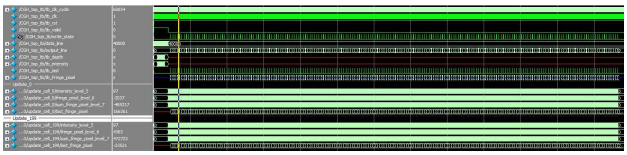

그림 6 홀로그램 평면 연산 시뮬레이션

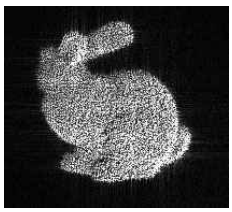

그림 7. 복원영상

5. 결론

본 논문에서는 기존의 CGH수식을 이용하여 병렬화된 고성능의 CGH 생성 시 발생하는 다량의 데이터를 효율적으로 처리하기 위해 병목현상을 제거하는 하드웨어 구조를 제안하고, 구현하였다.

감사의 글

본 연구는 지식경제부, 방송통신위원회 및 한국산업기술평가관리원의 산업원천기술개발사업(정보통신)의 일환으로 수행하였음. [KI002058 , 대화형 디지털 홀로그램 통합서비스 시스템의 구현을 위한 신호처리 요소 기술 및 SoC 개발]

참고문헌

[1] T. Motoki, H. Isono, and I. Yuyama, “Present Status of Three-Dimensional Television Research,” Proc. IEEE 83(7): 1009-1021(July 1995).

[2] Y.-H. Seo, H.-J. Choi, J.-S. Yoo, and D.-W. Kim, "A New Parallelizing Algorithm and Cell-based Hardware Architecture for High-speed Generation of Digital Hologram", Journal of Systems Architecture, Vol. 16. pp. 54-63, Jan. 2011.