

객체 화소 반복 연산 방식의 디지털 홀로그램 생성기의 구현

*이 윤 혁, *김 동 윤, *배 윤 진, *이 재 원, **최 현 준, ***서 영 호, *김 동 옥

광운대학교

*winner9100@kw.ac.kr

Implementation of Digital Hologram Generator based on Repetition Calculation of a Object Pixel

*Yoon-Huyk Lee, *Dong-Yun Kim, *Yoon-Jin Bea, *Jae-Won Lee, **Hyun-Jun Choi,

***Young-Ho Seo, and * Dong-Wook Kim

요약

본 논문에서는 고속으로 디지털 홀로그램을 생성할 수 있는 하드웨어구조를 제안하였다. 수정된 컴퓨터 생성 홀로그램 (computer-generated hologram, CGH) 알고리즘을 이용하고, 전체 화소에서 홀로그램의 한 화소씩 연산하는 방법을 선택하여 홀로그램 한 화소씩 계산하고 바로 출력 하여 메모리 병목현상을 제거하기 위한 파이프라인 기반의 하드웨어 구조를 제안하였다. CGH 알고리즘을 바탕으로 입력부, 연산부, 및 정규화부로 구성된 디지털 홀로그램 생성기의 구조를 제안하였고, 객체의 화소만 저장하여 반복 사용하기 때문에 메모리의 사용량을 줄일 수 있었다. 제안한 하드웨어는 세로 방향으로 확장을 하여 동작을 병렬화시킬 수 있다. 제안한 하드웨어는 1K의 광원에 대해 HD급 홀로그램을 초당 약 87장을 생성할 수 있었다.

1. 서론

홀로그래피는 1948년 Gabor에 의해 최초로 제안된 이래 3차원 정보를 기록할 수 있다는 특징 때문에 많은 연구자들의 관심을 끌어들였다. 기존의 홀로그래피는 홀로그램 필름에 3차원 정보를 기록하고, 현상된 필름을 사용하여 3차원 물체를 복원하는 방식을 사용함으로써 그 응용이 크게 제한되었다. 이러한 단점을 극복하기 위한 새로운 접근방법으로 1966년 이후 많은 연구자들이 컴퓨터에 의한 홀로그램 (computer-generated hologram, CGH)의 제작을 연구해 오고 있다 [1]. 이 기술은 물체파(object wave)와 기준파(reference wave)의 간섭에 의해 생성되는 간섭항을 계산함으로써 현실에서는 불가능한 이상적인 특성을 가진 부품을 제작하거나 특성시험 등을 위해 개발되었다[2][3].

2. 제안한 하드웨어의 구조

가. 하드웨어 구조

1.1 전체 하드웨어의 구조 및 동작

본 장에서는 새롭게 유도된 CGH 수식을 바탕으로 하여 새로운 하드웨어 구조를 제안한다. [4][5]

그림 1(a)와 같이 홀로그램 평면의 한 화소를 연산하기 위해 모든 광원에 대하여 연산을 하면 광원의 총 화소 수만큼의 주기를 가지면서 한 세로줄에 대한 연산을 할 수 있다. 다음 세로줄을 연산중에 이전 세로줄에 연산되었던 값들은 외부 메모리에 저장할 수 있다. 따라서 홀로그램 평면에 대한 병렬화할 시에 생기는 메모리 병목현상을 제거할 수 있다. 또한 메모리 자원의 사용량을 고려하였을 때 객체의 한 광원

에 대하여 모든 홀로그램 평면의 화소를 연산하는 방법은 홀로그램 평면의 화소 수만큼 자원을 소모한다. 하지만 한 홀로그램 평면에 대하여 객체의 모든 광원을 가지고 연산을 할 경우 객체의 화소 수만큼만 자원을 사용하면 된다. 보통 홀로그램 평면이 객체평면에 비하여 더 고품질이 요구되므로 저장 자원을 줄일 수 있다.

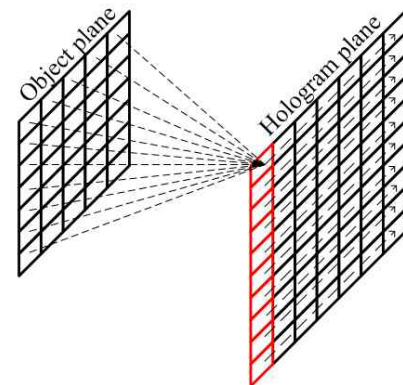


그림 1. 하드웨어 구현을 위한 연산 방식

Fig. 1. Operational method for hardware development

1.2 세부 하드웨어의 구조 및 동작

제안한 하드웨어의 구조는 그림 2에 나타내었다. 하드웨어의 셀은 입력받은 객체의 광원을 받아서 저장시키는 입력 인터페이스, 실제 CGH연산을 하는 CGH 연산기 그리고 연산된 홀로그램을 디스플레이 할 수 있게 256단계로 규격화 할 수 있는 규격화기 이렇게 3단계로 구성된다.

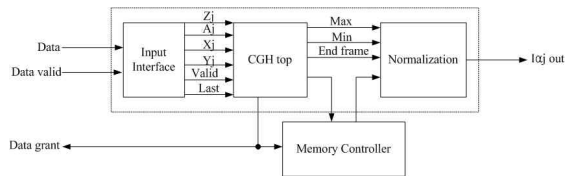


그림 2. 제안한 하드웨어 구조

Fig. 2. The proposed architecture of hardware

그림 3은 그림 2의 입력 인터페이스 블록을 상세하게 나타낸 것이다. 입력 인터페이스 블록의 경우 입력받은 데이터 중에서 밝기 값이 0일 경우 어떠한 코사인 값이 나와도 결과 값이 0이 되어서 누적 덧셈에 영향을 주지 않으므로 저장할 필요가 없다. 하지만 값이 0이더라도 해당하는 객체의 좌표는 카운트를 해야 함으로 다음과 같은 구조로 구성하였다. 그림 4는 CGH를 연산하는 블록으로 공통항과 업데이트 항의 단계로 구성된다. 공통항 연산기는 홀로그램의 한 세로줄의 가장 처음 위치($d=0$)에 해당하는 θ_{XY} 와 다음위치($d=1$)에서의 보정 값을 연산한다. 업데이트 연산기는 공통항에서 연산된 데이터를 가지고 ($d > 0$) 인 세로줄에 대하여 연산한다.

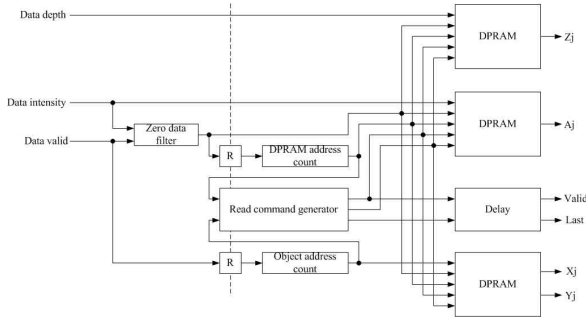


그림 3. 입력 인터페이스 셀의 구조.

Fig. 3. The architecture of input interface.

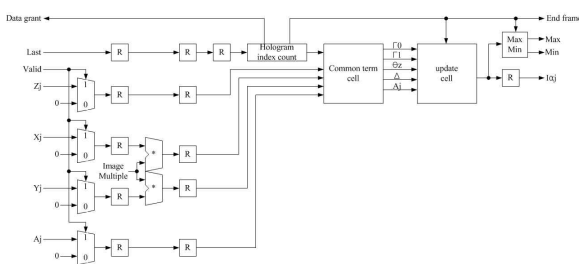


그림 4. CGH연산기의 구조.

Fig. 4. The architecture of CGH calculator.

3. 구현된 하드웨어

제안한 하드웨어는 Verilog HDL을 이용하고 Altera사의 FPGA 환경을 이용하였다. VHDL의 설계는 Quartus II 10.0을 이용하였고, 시뮬레이션은 Modelsim 6.5e를 사용하였다. 이전 연구[5]와 새롭게 제안한 하드웨어의 메모리 사용 사용량과 30장과 60장의 홀로그램 생성 시간을 표1로 비교 하였다. 제안한 하드웨어는 기존의 하드웨어 보다 더 작은 메모리 자원을 사용하면서도 병렬 처리 후 연산된 데이터 처

리에 있어서 병목 현상을 제거했기 때문에 여러 장의 프레임을 병렬적으로 연산이 가능한 장점을 갖는다. N 장의 프레임의 홀로그램을 계산하는데 걸리는 시간은 식 (1)로 정의할 수 있다.

$$NframeCGH = ((Input\ object \times 1\ CGH) \times N + Normalization) \times Clock\ Period \quad (1)$$

[5]에 비해서 제안한 하드웨어는 메모리에 병목 현상을 제거하였기 때문에 여러 장의 홀로그램을 생성할 시에 더 적은 메모리 사용량에도 불구하고 고속으로 홀로그램을 생성할 수 있다. 제안한 하드웨어가 더 적은 메모리 사용량과 CGH연산 셀임에도 여러 장의 홀로그램을 더 빠른 시간에 생성할 수 있다.

표 1. 구현 결과의 비교

Table 1. Comparison of implementing results

Item	FPGA					
	[4]		[5]		Proposed	
Total Frame	30	60	30	60	30	60
Hologram Size	1,408x1,050		1,920x1,080		1,920x1,080	
Frequency (MHz)	166MHz		166MHz		166MHz	
$\frac{Time(s)}{CGH\ Frame}$	2.3	4.8	1.02	2.32	0.76	1.38
Memory Resource	1,478,400	1,478,400	2,073,600	2,073,600	11,080	11,080
Parallel Unit Cells	1,408	1,408	5760	5760	5400	5400

4. 결론

본 논문에서는 기존의 CGH수식을 이용하여 병렬화된 고성능의 CGH 생성 시 발생하는 다량의 데이터를 효율적으로 처리하기 위해 병목현상을 제거하는 하드웨어 구조를 제안하였다. 본 연구는 비용 절감으로 인하여 범용적으로 CGH 하드웨어에 사용될 것으로 예상된다.

감사의 글

본 연구는 지식경제부 및 한국산업기술평가관리원의 산업융합원천기술개발사업(정보통신)의 일환으로 수행하였음. [KI002058, 대화형 디지털 홀로그램 통합서비스 시스템의 구현을 위한 신호 처리 요소 기술 및 SoC 개발]

참고 문헌

- [1] T. Motoki, H. Isono, and I. Yuyama, "Present Status of Three-Dimensional Television Research," Proc. IEEE 83(7): 1009-1021(July 1995).
- [2] J. K. Chung and M. H. Tsai, Three-Dimensional Holographic Imaging, John Wiley & Sons, Inc., 2002.
- [3] P. Hariharan, Basics of Holography, Cambridge University Press, May 2002.
- [4] Y.-H. Seo, H.-J. Choi, J.-S. Yoo, and D.-W. Kim, "An architecture of a high-speed digital hologram generator based on FPGA", Journal of Systems Architecture, Vol. 56. pp. 27-37, Dec. 2009.
- [5] Y.-H. Seo, H.-J. Choi, J.-S. Yoo, and D.-W. Kim, "A New Parallelizing Algorithm and Cell-based Hardware Architecture for High-speed Generation of Digital Hologram", Journal of Systems Architecture, Vol. 16. pp. 54-63, Jan. 2011.