

고속 무선 데이터 전송을 위한 바이너리 CDMA 데이터 버퍼 시스템

임용석*, 조진웅*

*전자부품연구원

e-mail: busytom@keti.re.kr, chojw@keti.re.kr

System of Binary CDMA memory structure for high data rate communication

Yong-Seok Lim*, Jin-Woong Cho*

*Wireless Network Research Center,

Korea Electronics Technology Institute

요 약

본 논문에서는 고속 무선 데이터 전송을 위하여 멀티버스 구조 및 유연적인 데이터 버퍼 시스템을 갖는 향상된 바이너리 CDMA에 시스템 설계에 관한 것이다. 개선된 바이너리 CDMA 시스템 구조는 제한된 리소스에서 시스템 버스의 Latency를 최대한 줄이고 고속 무선 데이터 전송을 위하여 버퍼접근구조를 변경하여 데이터 throughput을 향상하였다.

1. 서 론

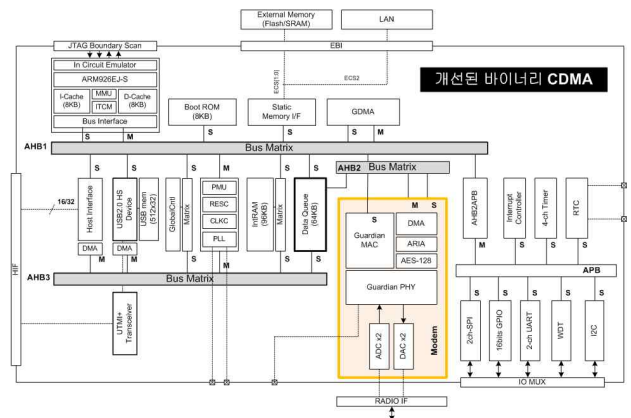
바이너리 CDMA 기술은 디지털 기기들을 무선으로 연결하여 음성, 영상, 데이터 등을 자유롭게 주고 받을 수 있는 무선 기술로 시큐리티 카메라, 무선 영상 전송기, 무선 제어기기 등 무선기술이 필요한 산업 분야 및 무선 네트워킹을 위한 홈네트워크, 홈시큐리티 등의 정보가전 분야에도 적용이 가능한 근거리 무선 통신 기술이다. 이러한 시장의 요구에 대응하여 전자부품연구원에서 바이너리 CDMA기술이 적용된 코이노니아 모뎀칩이 개발된 바 있다. 그러나 바이너리 CDMA 모뎀칩은 싱글버스 구조로 데이터 처리량에 있어서 구조적 문제점을 가지고 있다.

본 논문에서는 기존의 코이노니아 모뎀칩의 시스템 및 데이터 버퍼의 구조를 개선하여 데이터 Throughput을 향상시키고 버퍼링된 데이터의 운용에 있어서 유연성있는 시스템을 제공한다.

2. 본 론

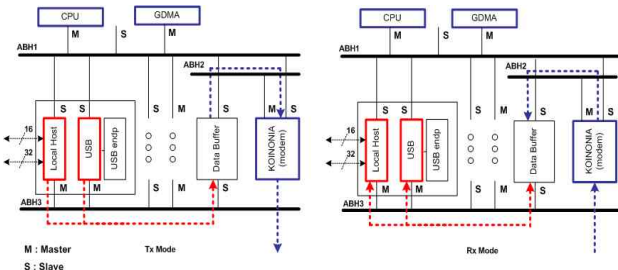
그림 1은 본 시스템의 블록도를 나타낸다. 전자부품연구원에서 기 개발된 바이너리 CDMA 모뎀칩은 ARM7TDMI기반의 싱글버스 구조로 최대 44MHz에서 동작하며 PHY에서 최대 55Mbps의 데이터 Rate를 시스템 및 호스트 인터페이스에서 처리하지 못하여

Throughput이 떨어지는 구조적인 문제점을 갖고 있었다. 따라서 본 논문에서 이러한 문제점을 인식하고 CPU 처리 성능 뿐 아니라 멀티버스 시스템 구조 및 데이터 데이터 버퍼의 구조를 개선하였다. 제안하는 개선된 바이너리 CDMA 모뎀칩은 132M 시스템 동작의 CPU 및 multi-layer AHB 구조의 시스템 버스 및 Peripheral을 위한 APB 버스, 바이너리 CDMA 모뎀 (MAC/PHY), PCMCIA/Local Bus/USB 인터페이스 등의 Host 인터페이스 등으로 구성되어 있다. 특히 multi-layer의 AHB 버스는 AHB1, AHB2, AHB3는 버스 Matrix구조로 구성되어 있어 버스 리소스를 효율적으로 이용하도록 구분하여 관리하도록 한다.

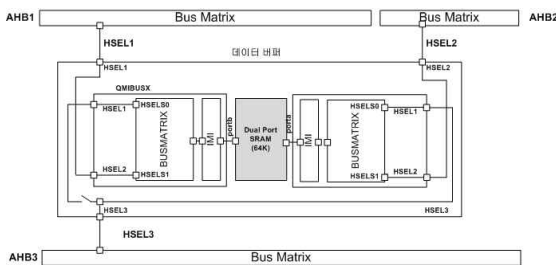


[그림 1] 개선된 바이너리 CDMA 시스템 구조

그림 2의 다이어그램과 같이 AHB 버스동작을 예측하여 3개의 독립적인 버스구조를 분류하여 구현하였다. AHB1은 CPU 및 시스템 컨트롤을 위한 버스로서 CPU 와 GDMA가 마스터로서 버스를 점유하고 하고 AHB2는 바이너리 CDMA모뎀이 버스 마스터로서 버스를 점유하고 있으며, AHB3는 Local Bus 및 USB등의 Host 인터페이스가 버스 마스터로서 AHB3의 버스를 점유하도록 한다. 이렇게 시스템 버스 리소스를 독립적으로 운영토록 구현함으로써 마스터로 하여금 버스 점유를 위한 불필요한 대기 시간을 최소화 할 수 있다. 즉, 바이너리 CDMA 모뎀의 전송구간에서 Host는 AHB3 버스를 점유하여 Data Buffer에 Access하고 동시에 모뎀은 AHB2 버스를 이용하여 Data Buffer에 Access 하여 시간적으로 동시에 발생 가능한 마스터들의 버스 점유의 충돌을 피한다. 동시에 CPU는 AHB1에서 AHB1 Bus를 독점적으로 활용할 수 있다. 특히 AHB1 Bus 상의 마스터인 CPU 및 GDMA는 Data buffer에 Access가능하도록 Data buffer의 구조를 개선하였다.



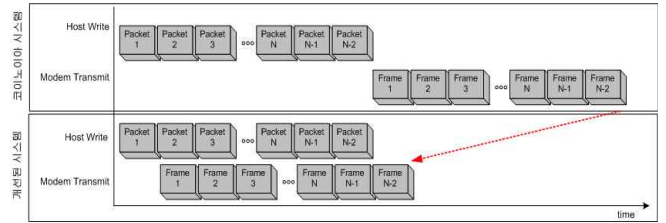
[그림 2] 개선된 바이너리 CDMA구조에서의 모뎀데이터 Path



[그림 3] 개선된 바이너리 CDMA구조에서의 데이터버퍼 구조

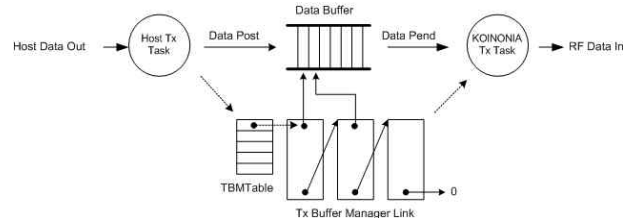
그림 3은 본 논문에서 제안하고 있는 데이터 버퍼 구조를 보여 준다. 개선된 코이노니아 데이터 버퍼는 64KB Dual Port SRAM메모리를 사용하고 있으며 AHB1,AHB, AHB3에서 Access가능하도록 BUS MATRIX를 이용하여 설계되어 있다. 이렇게 구성함으로써 AHB1의 CPU와 AHB2의 모뎀,

그리고 AHB3의 호스트 인터페이스가 데이터 버퍼를 접근함에 있어서 유연함을 제공해 준다. 특히 Dual Buffer Scheme을 이용 가능하도록 해준다.



[그림 4] TX 패킷 전송 비교

그림 4은 Tx 모드에서의 코이노니아 시스템과 개선된 시스템의 패킷 전송 방식을 각각 비교한 그림이다. 그림 3에서 나타나는 방식과 같이 개선된 구조의 시스템은 Dual Buffering Scheme방식을 쓰고 있다. 즉 AHB1 혹은 AHB2의 마스터가 Dual Buffer SRAM의 A Port를 Access하고 있는 동안에 AHB3는 Dual Buffer SRAM의 Port B를 Access함으로써 충돌을 피할 수 있다. 또한 Dual Buffering Scheme방식을 사용하여 Host와 Modem은 독립적으로 운용되며 데이터 버퍼에서의 Latency를 줄일 수 있다.

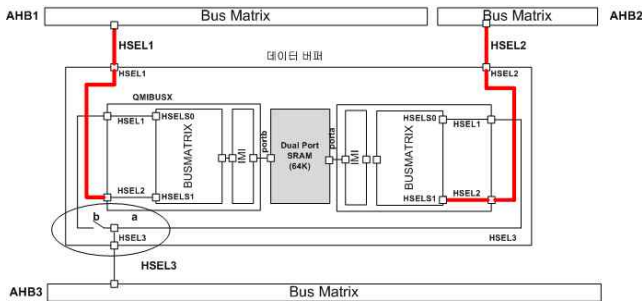


[그림 5] TX 데이터 버퍼 운용 Task

그림 5는 Tx 모드시 데이터 버퍼 운영을 위한 버퍼관리 방법을 보여준다. Host에서 데이터 Write시 TBM Table에 Update되면 코이노니아 Tx Task에서 TBM Table을 참조하여 Data buffer로부터 Data Pend를 할 수 있다.

본 논문에서 제안하는 구조의 메모리 시스템은 코이노니아 모뎀이 AHB2를 통하여 데이터 버퍼를 Access 하는 동안에 CPU는 Dual Port SRAM의 다른 Port를 이용하여 데이터 버퍼에 Access할 수 있는 channel을 제공한다. 이러한 구조의 장점으로 AHB1의 CPU로 하여금 AHB2의 모뎀으로부터 전송된 데이터에 대한 처리를 가능하도록 채널을

만들어 준다. 이때 HSEL3의 스위치는 a로 선택함으로써 AHB2와는 경쟁하지만 데이터 버퍼에 접근가능하다.



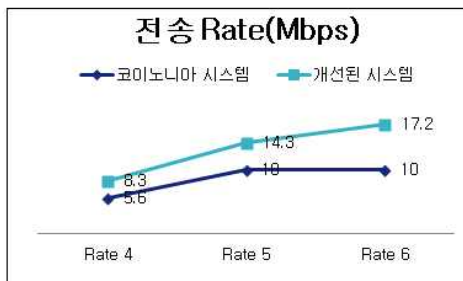
[그림 6] AHB1/AHB2의 데이터 버퍼 접근

3. 결론

본 논문에서는 마스터의 버스 마스터쉽을 점유하기 위한 Latency를 최소화 하고 리소스를 공유하기 위한 대기시간을 최소화 하기 위하여 멀티 버스 구조를 제안하였으며 데이터 버퍼의 접근을 유연하게 하기 위하여 데이터 버퍼의 구조를 매트릭스 구조로 설계하여 운용상의 성능향상을 개선하였다. 이를 위해서는 데이터 Flow에 대한 명확한 정의가 이루어 져야 한다. 표 1은 RX 모드시에 TCP/IP Stack을 적용한 전송 어플리케이션에서의 측정된 전송률을 나타낸다. 코이노니아의 경우 전송 Rate6에서 약 10Mbps로 PHY단의 전송 Rate 55Mbps를 따라가지 못한다. 반면에 개선된 구조에서는 17.2Mbps로 약 70%의 성능 개선효과를 얻을 수 있다.

[표 1] 수신 모드시 시스템의 성능분석

	Rate 4	Rate 5	Rate 6
코이노니아 시스템	7.41ms	4.33ms	3.37ms
개선된 시스템	2.31ms	1.4ms	0.97ms



[그림 7] 전송률 성능 비교

반면에 본 논문에서 제안하는 Multi-Bus 구조 및 데이터 버퍼의 구조에 의한 증가하는 Area면적은 상대적으로 작다. 면적의 대부분은 ARM926EJ-S CPU 및 96K Single Port SRAM, 64K Dual Port SRAM, ADC/DAC IP와 MODEM 부분이 차지하고 있다. 특히 데이터 메모리인 경우 64KB Dual Port SRAM을 적용하므로써 64KB Single Port SRAM를 적용한 경우보다 메모리 면적이 약 2.2배 정도 증가되었다. 반면에 Multi-Bus구조에 의한 Gate Count 증가는 약 0.7% 이며 데이터 버퍼 구조에 의한 Gate Count 증가는 약 0.4%이다.

[표 2] 개선된 구조의 Area 및 Gate Count

		Area	Gate count
Total Gate Count	Combinational Area	8,387,461	1,677,492
	Noncombinational Area	11,110,369	2,222,073
Multi-bus	Combinational Area	93,300	18,660
	Noncombinational Area	48,000	9,600
제안된 데이터 버퍼 구조	Combinational Area	48,922	9,784
	Noncombinational Area	37,674	7,534

본 설계를 통한 회로는 SMIC 130nm CMOS 공정으로 설계되었다. 높은 데이터 Throughput을 갖는 바이너리 CDMA 모뎀칩을 구현하기 위해서는 시스템 설계 단계에서의 고려와 시스템 운용의 방법이 핵심이다. 본 논문에서는 제한된 리소스에서 시스템 버스의 Latency를 최대한 줄이고 고속 무선 데이터 전송을 위하여 버퍼접근구조를 변경하여 데이터 throughput을 향상하였다.

참고문헌

- [1] 김선희, 김용성, 이현석, 홍대기, 김도훈, 강성진, “홈 네트워크를 위한 Binary CDMA SoC설계”, 한국통신학회논문집, 2006.
- [2] 장준영, 김원중, 조한진, 김종대. “무선 멀티미디어 응용을 위한 ARM 기반 SoC 플랫폼 설계”, 전자공학회지 제 30권 제 9호 pp.36-50, 2003
- [3] <http://www.arm.com/>