

# 저온 Oxide 본딩을 이용한 TSV 칩 다층 적층 특성 및 filling 특성평가

## TSV Chip Multi-Stacking and Filling Process using Low Temperature Oxide Bonding

\*#이재학<sup>1</sup>, 송준엽<sup>1</sup>, 하태호<sup>1</sup>, 이창우<sup>1</sup>

\*#J. H. Lee(jachak76@kimm.re.kr)<sup>1</sup>, J. Y. Song, T. H. Ha, C. W. Lee

<sup>1</sup>한국기계연구원 초정밀시스템연구실

Key words : Self-Alignment, TSV (Through-Silicon Via), Atmospheric Plasma, Oxide Bonding

### 1. 서론

TSV 3D 적층 방법은 웨이퍼 혹은 칩을 적층 하느냐에 따라 W2W, C2W, C2C 으로 분류되며 W2W 적층의 경우 생산성이 높지만 제품의 수율이 작은 단점이 있어 현실적으로 현재 TSV 3D 패키징 공정에 적용하기에는 어려움이 있어 C2W 와 C2C 본딩 방법이 먼저 적용될 것으로 예상된다. 하지만 정밀한 정렬 스텝이 요구되어 tack time 이 길어지는 단점이 있어 양산성을 확보하기 위해서는 고속 정렬 및 접합 공정이 요구된다<sup>[1]</sup>. 본 연구에서는 C2W/C2C 의 고속 본딩 기술로 자가정렬 효과를 적용하여 다층칩 적층을 수행함으로써 개발 기술의 적용 여부를 평가하였으며 대구경 웨이퍼에 적용 가능한 대기플라즈마 처리 공정변수 영향 및 최적화를 수행하였다.

### 2. 자가정렬을 이용한 TSV 칩 다층 적층 기술

Fig. 1 은 친수성 표면의 자가 정렬 효과를 이용한 TSV 칩 적층 방법과 Via filling 방법을 보여주며 DI 를 칩 표면에 떨어뜨리고 칩을 놓으며 DI 가 친수성 처리된 칩 사이로 젖음이 발생하여 표면에너지를 최소화 하는 방향으로 칩이 자가정렬되며 어닐링 공정을 통하여 다층칩을 한번에 접합한다. 다층 적층된 칩을 이용하여 전기적 신호선을 형성하기 위하여 진공압을 이용한 filling 공정을 적용함으로써 molten solder 가 채워진 TSV 를 형성한다. 자가정렬과 용융솔더를 이용한 TSV 칩 적층 방법은 ECD 를 이용한 기존 Cu filling 방법에

비해 비용이 저렴하며 고속으로 TSV 칩을 적층가능한 장점이 있다.

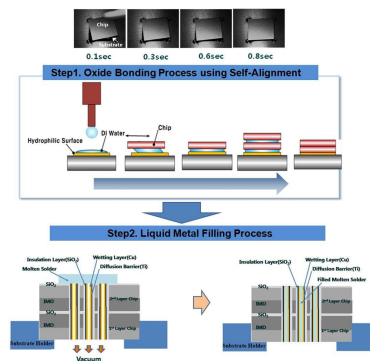
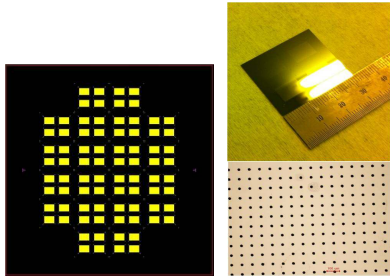


Fig. 1 Overview of TSV Chip Stacking New Process using Self-Alignment and Liquid Metal Filling

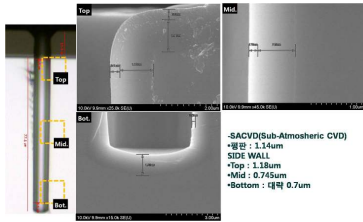
### 3. TSV 칩 제작 및 플라즈마 동적 처리 조건

Fig. 2 는 실험을 위하여 제작한 TSV 칩의 마스크 디자인과 via 가 형성된 칩을 나타내고 있으며 via 는 20 μm, 10 μm로 제작하여 다양한 크기의 via 의 칩 정렬 결과를 확인할 수 있도록 하였다. 칩의 크기는 32mm x 26mm 로 정밀하게 다이싱하였으며 자가정렬을 이용한 칩 정렬의 경우 다이싱 정밀도에 의하여 칩 정렬도가 큰 영향을 받으므로 칩 크기 오차 3um 이내로 정밀하게 다이싱하였다. TSV 칩은 향후 용융솔더를 Via 내부에 filling 하기 위하여 side wall 에 TaN adhesion layer, Ta barrier

layer 와 Cu wetting layer 를 sputter 를 이용하여 형성하였다.



(a) TSV Chip Mask



(b) Fabricated TSV Chip

Fig. 2 Fabricated TSV Chip Specimens

Fig.3 은 이송속도에 따른 플라즈마 처리 동적 특성을 나타내며 이송속도가 증가함에 따라 더 많은 반복 횟수가 요구됨을 확인할 수 있으며 본 실험에서는 30kHz AC, 7kV, N2 20lpm 을 이용하여 16.2mm/sec, 반복횟수 3 회의 조건으로 표면 처리하였다. Annealing 온도는 200℃로 3 시간 동안 접합을 수행하였다.

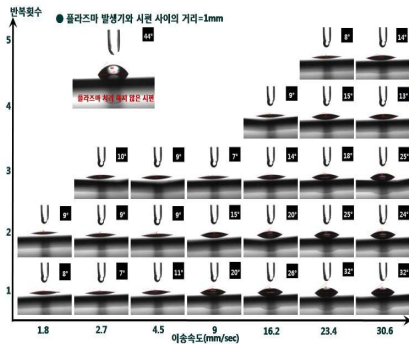
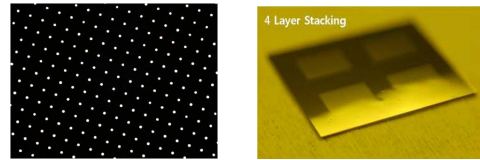


Fig.3 Dynamic Plasma Treatment Condition

#### 4. 대기플라즈마 동적 처리 특성 및 TSV 칩 적층 결과

Fig. 4 는 실제로 적층된 4 층의 TSV 칩 bottom illumination 이미지와 사진을 보여 준다. Fig. 4 (a)는 적층된 칩의 하부조명 이미지를 나타내며 관통 via 가 자가정렬에 의하여 정렬되어 빛이 통과하여 TSV 가 밝게 보임을 알 수 있다. Fig. 4 (b)는 4 층 적층된 TSV 칩 광학사진을 나타내며 두 개의 칩이 정렬 오차 2.873 μm로 매우 정밀하게 정렬되어 있고 향후 용융솔더를 적용하여 via 를 형성할 수 있을 것으로 판단되며 적층칩의 두께는 접합 후 280 μm로 칩의 두께 변화가 거의 없음을 확인할 수 있다.



(a)

(b)

Fig.4 Multi-Stacked TSV Chips((a) Bottom illuminated image, (b) Optical image)

#### 4. 결론

친수성 표면의 자가정렬 효과를 이용하여 고속으로 다층칩을 쉽게 적층할 수 있음을 확인하였고 플라즈마 동적 표면처리 최적조건을 찾았으며 향후 용융솔더를 이용하여 관통 via 를 쉽게 filling 할 수 있을 것으로 판단된다.

#### 후기

본 연구는 지경부/산업기술연구회의 협동연구 사업 일환인 “차세대 반도체 MCP 핵심 기술개발사업”의 지원에 의한 것입니다.

#### 참고문헌

1. J.U. Knickerbocker, P.S. Andry, B. Dang et al., “3D Silicon Integration”, IEEE Electronic Components and Technology Conference, 2008, pp.538-543