

Si₃N₄/HfAlO 터널 절연막을 이용한 나노 부유 커패시터의 전기적 특성 연구

이동욱¹, 이효준¹, 김동욱¹, 김은규^{1*}, 유희욱², 조원주²

¹한양대 물리학과, ²광운대학교 전자재료 공학과

나노 입자를 이용한 비휘발성 메모리 소자의 전기적 특성 향상을 위하여 일함수가 Si 보다 큰 금속, 금속산화물, 금속 실리사이드 나노입자를 이용한 다양한 형태의 메모리 구조가 제안되어져 왔다.[1] 특히 이와 같은 나노 부유 게이트 구조에서 터널 절연막의 구조를 소자의 동작 속도를 결정하는데 이는 터널링 되어 주입되는 전자의 확률에 의존하기 때문이다. 양자 우물에 국한된 전하가 누설되지 않으면서 주입되는 전자의 터널링 확률을 증가시키기 위하여, dielectric constant 와 barrier height를 고려한 다양한 구조의 터널 절연막의 형태가 제안 되었다.[2-3] 특히 낮은 전계에서도 높은 터널링 확률은 메모리 소자의 동작 속도를 향상시킬 수 있다. 본 연구에서는 n형 Si 기판위에 Si₃N₄ 및 HfAlO를 각각 1.5 nm 및 3 nm 로 atomic layer deposition 방법으로 증착하였으며 3~5 nm 지름을 가지는 TiSi₂ 및 WSi₂ 나노 입자를 형성한 후 킨트를 절연막인 SiO₂를 ultra-high vacuum sputtering을 사용하여 20 nm 두께로 형성 하였다. 마지막으로 200 μm 지름을 가지는 Al 전극을 200 nm 두께로 형성하여 나노 부유 게이트 커패시터를 제작하였다. 제작된 소자는 Agilent E4980A precision LCR meter 및 HP 4156A precision semiconductor parameter analyzer 를 사용하여 전기용량-전압 및 전류-전압 특성분석을 하여 전하저장 특성 및 제작된 소자의 터널링 특성을 확인 하여 본 연구를 통하여 제작된 나노 부유 게이트 커패시터 구조가 메모리 소자응용이 가능함을 확인하였다.

[1] D. U. Lee, T. H. Lee, E. K. Kim, J.-W. Shin, and W.-J. Cho, Appl. Phys. Lett. 95, 063501 (2009).

[2] K. K. Likharev, Appl. Phys. Lett. 73, 2137 (1998).

[3] S. J. Han, D. U. Lee, K. B. Seo, S. P. Kim, E. K. Kim, J.-S. Oh, and W.-J. Cho, Jpn. J. Appl. Phys. 46, 06GG14 (2010).

Keywords: TiSi₂, WSi₂, 메모리, HfAlO