

V₃Si 나노 구조체를 이용한 메모리 소자의 전기적 특성연구

김동욱, 이동욱, 이효준, 김은규

한양대학교 물리학과

최근 나노입자를 이용한 비휘발성 메모리 소자의 제작에 대한 연구가 진행되고 있다. 특히, 실리사이드 계열의 나노입자를 적용한 소자는 일함수가 크지만 실리콘 내의 확산 문제를 가지고 있는 금속 나노입자와 달리 현 실리콘 기반의 반도체 공정 적용이 용이한 잇 점을 가지고 있다. 따라서 본 연구에서는 실리사이드 계열의 화합물 중에서 4.63 eV인 Vanadium Silicide (V₃Si) 박막을 열처리 과정을 통하여 수 nm 크기의 나노입자로 제작하였다. 소자의 제작은 p-Si기판에 5 nm 두께의 SiO₂ 터널층을 dry oxidation 방법으로 성장시킨 후 V₃Si 금속박막을 RF magnetron sputtering system을 이용하여 3~5 nm 두께로 tunnel barrier위에 증착시켰다. Rapid thermal annealing법으로 질소 분위기에서 1000°C의 온도로 30초 동안 열처리하여 V₃Si 나노 입자를 형성 하였으며, 20 nm 두께의 SiO₂ 컨트롤 산화막층을 ultra-high vacuum magnetron sputtering을 이용하여 증착하였다. 마지막으로 thermal evaporation system을 통하여 Al 전극을 직경 200, 두께 200 nm로 증착하였다. 제작된 구조는 metal-oxide-semiconductor구조를 가지는 나노 부유 게이트 커패 시터 이며, 제작된 시편은 transmission electron microscopy을 이용하여 V₃Si 나노입자의 크기와 균일성을 확인했다. 소자의 전기적인 측정은 E4980A capacitor parameter analyzer와 Agilent 81104A apulse pattern generator system을 이용한 전기용량-전압 측정을 통해 전하저장 효과를 분석하였다.

Keywords: 메모리, V₃Si, 나노입자