

# Electrical Properties of Al<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub> and HfAlO/SiO<sub>2</sub> Double Layer with Various Heat Treatment Temperatures for Tunnel Barrier Engineered Memory Applications

손정우, 정홍배, 이영희, 조원주

광운대학교 전자재료공학과

전하 트랩형 비휘발성 메모리는 10년 이상의 데이터 보존 능력과 빠른 쓰기/지우기 속도가 요구 된다. 그러나 두 가지 특성은 터널 산화막의 두께에 따라 서로 trade off 관계를 갖는다. 즉, 두 가지 특성을 모두 만족 시키면서 scaling down 하기는 매우 힘들다. 이것의 해결책으로 적층된 유전막을 터널 산화막으로 사용하여 쓰기/지우기 속도와 데이터 보존 특성을 만족하는 Tunnel Barrier engineered Memory (TBM)이 있다. TBM은 가운데 장벽은 높고 기판과 전극쪽의 장벽이 낮은 crested barrier type이 있으며, 이와 반대로 가운데 장벽은 낮고 기판과 전극쪽의 장벽이 높은 VARIOT barrier type이 있다. 일반적으로 유전율과 밴드갭(band gap)의 관계는 유전율이 클수록 밴드갭이 작은 특성을 갖는다. 이러한 관계로 인해 일반적으로 crested type의 터널 산화막층은 high-k/low-k/high-k의 물질로 적층되며, VARIOT type은 low-k/high-k/low-k의 물질로 적층된다. 이 형태는 밴드갭이 다른 물질을 적층했을 때 전계에 따라 터널 장벽의 변화가 민감하여 전자의 장벽 투과율이 매우 빠르게 변화하는 특징을 갖는다. 결국 전계에 민감도 향상으로 쓰기/지우기 속도가 향상되며 적층된 유전막의 물리적 두께의 증가로 인해 데이터 보존 특성 또한 향상되는 장점을 갖는다.

본 연구에서는 SiO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> (2/3 nm)와 SiO<sub>2</sub>/HfAlO (2/3 nm)의 이중 터널 산화막을 증착 시킨 MIS capacitor를 제작한 후 터널 산화막에 전하가 트랩되는 것을 피하기 위하여 다양한 열처리 온도에 따른 current-voltage (I-V), capacitance-voltage (C-V), constant current stress (CCS) 특성을 평가하였다. 급속열처리 공정온도는 600, 700, 800, 900°C에서 진행하였으며, 낮은 누설전류, 터널링 전류의 증가, 전하의 트랩현상이 최소화되는 열처리 공정의 최적화 실험을 진행하였다.

## 감사의 글

본 연구는 지식경제부 주관 차세대 테라비트급 비휘발성 메모리 개발 사업의 지원에 의해 연구되었음.

**Keywords:** tunnel barrier, VARIOT, high-k