Phase Measuring Profilometry를 이용한 반도체 칩의 Lead 높이 측정 방법

김영두*, 조태훈*
*한국기술교육대학교 컴퓨터공학부
e-mail:foxkyt@kut.ac.kr

A 3D Measurement System for the Leads of Semiconductor Chips Using Phase Measuring Profilometry

Young-Doo Kim*, Tai-Hoon Cho*
*School of Computer Engineering, Korea University of Technology and Education

요 약

반도체 공정에서 부품의 결함을 찾는 것은 완제품의 품질 개선을 위해 중요하다. 현재까지 많은 비전 알고리즘들이 부품의 결함을 찾기 위해 적용되고 있다. 그러나 이런 알고리즘 대부분은 2D 방식의 검사 방식에 머물고 있다. 그러나 이런 2D방식의 검사 방법은 반도체 칩의 Lead나 Pad 그리고 Solder Joint와 같이 3D 정보에 의해 불량 유무를 판결해야 하는 곳에 적용하기 어렵다. 이에 본 논문에서는 PMP(Phase Measuring Profilometry)방법에 의해 반도체 칩의 Lead부분을 검사하기 위한 시스템 구성과 방법을 제안한다.

1. 서론

반도체 공정과정에서 부품의 결함을 찾는 것은 완제품의 품질 개선을 위해 중요하다. 컴퓨터 속도와 광학 기술의 발달로 많은 비전 알고리즘들이 반도체 부품의 불량 검출을 위해 이용되고 있다. 이런 비전 알고리즘들은 대부분 2D 방식의 검사 방식을 이용한다. 그러나 2D 기반의 검사 방식은 3D 정보를 통해 불량 유무를 검출해야 하는 반도체 칩의 Lead와 Pad 그리고 Solder같은 부품의 불량을 검사하는데 한계가 있다.

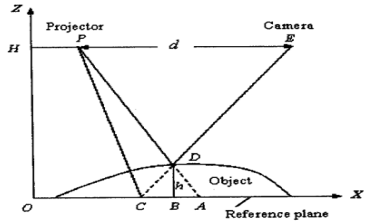
기존에 검사 공정에서 3D 정보를 얻기 위해 사용되는 방법은 레이저 삼각법, 공초점 현미경, 스테레오 비전, 위상 측정법(PMP) [1][2][3] 등이 있다. 레이저 삼각법과 공초점 현미경을 이용한 방법은 정확도가 높지만 실시간으로 적용하기 어렵다. 스테레오 비전을 이용한 방법은 시스템 구성이 간단하고 실시간으로 적용할 수 있지만 정확도가 떨어지는 단점이 있다. 위상 측정법(PMP)은 측정 범위가 제한적인 단점이 있지만 정확도가 높고 실시간으로 적용할 수 있는 장점이 있다.

본 논문은 위상 측정법(PMP)을 이용하여 반도체의 Lead 높이를 측정하기 위한 시스템 구성과 방법을 제안한다. 제안하는 시스템은 시스템을 구성하기 위한 가격을 고려하였다. 제안하는 방법은 기존에 PMP를 이용하여 3D정보를 얻는 방법들 중 측정 속도, 측정 정밀도등을 고려하였다.

본 논문의 2장은 PMP를 이용한 3D 측정법의 기본적인 원리에 대해 설명한다. 3장은 반도체의 Lead를 측정하기 위한 방법을 다룬다. 4장은 제안하는 시스템의 구성을 보여준다. 그리고 제안하는 시스템과 방법의 성능을 측정하기 위한 방법에 대해 논한다. 실제 측정 실험결과를 통해 제안하는 시스템과 방법을 검증한다. 마지막으로 5장을 통해 결론과 향후 연구 과제를 논한다.

2. PMP의 측정 원리

그림 1은 PMP 측정을 위한 프로젝터, 카메라와 측정 물체와의 관계를 보여준다.



(그림 1) 프로젝터, 카메라와 측정 물체간의 관계

이 관계는 식 (1)과 같은 비례관계로 나타낼 수 있다.

$$d : \overline{AC} = H - h : h,\ \overline{AC} = \frac{p}{2\pi}\Delta\phi,\ \Delta\phi = \phi_D - \phi_C \quad (1)$$

d는 프로젝터와 카메라간의 거리이다. H는 물체의 바닥면에서 프로젝터와 카메라가 위치한 지점까지의 높이다. $\overline{AC}$는 물체와 바닥면 사이의 위상 차 $\Delta\phi = \phi_D - \phi_C$와 실제 투영된 프린지 패턴의 주기 p를 이용해 구할 수 있다.

식 (2)는 식 (1)을 높이 h에 대하여 풀어낸 것이다. 식 (2)를

통해 측정하고자 하는 물체의 높이를 구할 수 있다. 식 (2)는 높이 h와 위상 차 $\triangle\phi$와 나머지 시스템 파라미터 간의 관계식으로 볼 수 있다.

$$h = \frac{H}{1+\frac{2\pi d}{p\triangle\phi}} \quad (2)$$

PMP를 이용한 측정방법은 물체에 투영된 프린지 패턴의 위상값을 구하는 단계, 위상값이 갖는 2π모호성을 제거하는 Phase Unwrapping 단계, 위상값을 실제 물체의 높이 h로 맵핑하기 위하여 시스템 파라미터 값을 구하는 시스템 캘리브레이션 단계로 나눌 수 있다.

A. 위상 계산 (4 step방법)

식 (3)은 카메라로 획득한 프린지 패턴 영상을 모델링한 것이다. $I_b(x,y)$는 배경, $I_m(x,y)$은 변조된 이미지를 나타낸다. N은 투영된 프린지 패턴 영상의 수를 의미한다.

$$I(x,y) = I_b(x,y) + I_m(x,y)\cos[\phi(x,y) + (n-1)\frac{2\pi}{N}],\ n = 1,...,N \quad (3)$$

$\phi(x,y)$는 위상 차의 분포 값으로 N장의 프린지 패턴 영상이 투영되었을 경우 식 (4)에 의해서 구할 수 있다.

$$\phi(x,y) = \tan^{-1}\left(\frac{\sum_{n=1}^{N} I_n \sin(2\pi n/N)}{\sum_{n=1}^{N} I_n \cos(2\pi n/N)}\right) \quad (4)$$

본 논문에서 사용한 프린지 패턴 영상은 4장이다. 4장의 프린지 패턴이 사용될 경우 $\phi(x,y)$는 간단히 식 (5)에 의해 구할 수 있다.

$$\phi(x,y) = \tan^{-1}\left[\frac{I_4(x,y) - I_2(x,y)}{I_1(x,y) - I_3(x,y)}\right] \quad (5)$$

4장의 프린지 패턴을 사용할 경우 $\phi(x,y)$의 계산이 프로젝터의 비선형성에 의한 오차에 덜 민감한 장점이 있다.

B. 2-frequency에 의한 phase unwrapping

위상값 $\phi(x,y)$는 2π주기로 반복되는 특성이 있다. 이런 특성으로 인해, 측정 하고자 하는 물체의 높이가 급격히 변하는 부분에서 2π모호성을 갖게 된다.

본 논문에서는 2π모호성을 제거하기 위해 물체의 높이에 영향을 받지 않을 만큼 큰 주기를 갖는 프린지 패턴을 한 번 더 물체에 투영하였다 [4]. 큰 주기를 갖는 프린지 패턴은 $\phi(x,y)$의 2π모호성을 제거하는데 이용되고 작은 주기를 갖는 프린지 패턴은 $\phi(x,y)$의 정밀도를 결정하게 된다.

식 (6)은 실제 위상 값과 2π모호성을 갖는 위상 값과의 관계를 나타낸다. 식 (7)은 작은 주기를 갖는 프린지 패턴과 큰 주기를 갖는 프린지 패턴에서 구한 위상 값들 간의 관계다. P_0와 P_1은 프린지 패턴의 작은 주기와 큰 주기의 값이다.

$$\phi_{real}(x,y) = \phi(x,y) + 2\pi n \quad (6)$$

$$P_0(\Delta\phi_{P_0} + 2\pi n) = P_1(\Delta\phi_{P_1}) \quad (7)$$

식 (8)을 통해 2π의 모호성을 제거하기 위한 n값을 찾을 수 있다. 일반적으로 n은 가장 가까운 정수 값을 취한다.

$$n = \frac{\frac{P_1}{P_0}\Delta\phi_{P_1} - \Delta\phi_{P_0}}{2\pi} \quad (8)$$

C. 시스템 캘리브레이션 (비선형 방법)

식 (9)는 물체의 높이 h와 위상값 $\Delta\phi$와의 관계를 2차원으로 나타낸 것이다. $m(x,y)$와 $n(x,y)$는 시스템 파라미터 값이다.

$$h(x,y) = \frac{\triangle\phi(x,y)}{m(x,y) + n(x,y)\triangle\phi(x,y)},$$

$$m(x,y) = \frac{2\pi d}{pH(x,y)},\ n(x,y) = \frac{1}{H(x,y)} \quad (9)$$

본 논문에서 사용한 캘리브레이션 방법은 비선형 방법으로, 식 (10)의 q를 최소자승법에 의해 최소화 하여 풀이한 식 (11)을 이용하여 시스템 파라미터 $m(x,y)$와 $n(x,y)$을 구한다 [5][6].

$$\triangle\phi(x,y) = \frac{m(x,y)\,h(x,y)}{1 - n(x,y)\,h(x,y)} \quad (10)$$

$$\triangle\phi(x,y) = m(x,y)\,h(x,y) + n(x,y)\,h(x,y)\,\triangle\phi(x,y)$$

$$q = \sum_{i=1}^{N}[\triangle\phi_i(x,y) - m(x,y)\,h_i(x,y) - n(x,y)\,h_i(x,y)\,\triangle\phi_i(x,y)]^2$$

$$\begin{pmatrix} a_1(x,y) & a_2(x,y) \\ a_2(x,y) & a_3(x,y) \end{pmatrix}\begin{pmatrix} m(x,y) \\ n(x,y) \end{pmatrix} = \begin{pmatrix} b_1(x,y) \\ b_2(x,y) \end{pmatrix} \quad (11)$$

$$a_1(x,y) = \sum_{i=1}^{N} h_i^2(x,y), \qquad a_2(x,y) = \sum_{i=1}^{N} h_i^2(x,y)\triangle\phi_i(x,y),$$

$$a_3(x,y) = \sum_{i=1}^{N} h_i^2(x,y)\triangle\phi_i^2(x,y)$$

$$b_1(x,y) = \sum_{i=1}^{N} h_i(x,y)\triangle\phi_i(x,y),\ b_2(x,y) = \sum_{i=1}^{N} h_i(x,y)\triangle\phi_i^2(x,y)$$

시스템 캘리브레이션을 수행하기 위해서는 최소 3장 이상의 높이 단차를 갖는 바닥면이 필요하다.

3. LEAD의 높이 측정

반도체 Lead의 높이 값을 측정하기 위해서 Lead가 올려져있는 바닥면에 대한 모델을 구해야 한다.

A. Plane Fitting

대부분 반도체의 부품이 올려져있는 기판은 평평하기 때문에 간단한 평면의 식 $z = ax + by + c$으로 바닥면을 모델링 할 수 있다.

바닥면의 파라미터 a, b, c는 식 (12)을 최소자승법에 의해 풀이한 식 (13)에 의해 구할 수 있다 [7].

$$E(a,b,c) = \sum_{i=1}^{n}[z_i - (ax_i + by_i + c)]^2 \quad (12)$$

$$A=\begin{bmatrix}\sum_{i=1}^{n}x_i^2 & \sum_{i=1}^{n}x_iy_i & \sum_{i=1}^{n}x_i\\ \sum_{i=1}^{n}x_iy_i & \sum_{i=1}^{n}y_i^2 & \sum_{i=1}^{n}y_i\\ \sum_{i=1}^{n}x_i & \sum_{i=1}^{n}y_i & \sum_{i=1}^{n}1\end{bmatrix},\ X=\begin{pmatrix}a\\b\\c\end{pmatrix},\ B=\begin{pmatrix}\sum_{i=1}^{n}x_iz_i\\ \sum_{i=1}^{n}y_iz_i\\ \sum_{i=1}^{n}z_i\end{pmatrix}$$

$$AX=B,\ X=A^{-1}B \tag{13}$$

B. RANSAC [8]을 이용한 Plane Fitting

식 (12)에 의해 바로 바닥면을 Fitting하게 될 경우 바닥면이 아닌 지점(outlier)에 의한 영향에 의해, 파라미터 a, b, c의 값이 부정확하게 계산될 수 있다.

RANSAC알고리즘을 이용하면 outlier에 의한 영향을 최소로 하여, 바닥면인 지점(inlier)들만을 가지고 좀 더 정확하게 바닥면의 파라미터 a, b, c 값을 구할 수 있다.

i) 바닥면의 후보 점들 중 임의의 3개의 (x_i,y_i,z_i) 포인트들을 선택한 후 식 (13)을 이용하여 plane fitting을 한다.

ii) 모든 후보 점 (x_i,y_i,z_i)들을 $E(a,b,c)=z_i-(ax_i+by_i+c)^2$에 넣고 Error가 어떤 Threshold이상일 경우 Outlier로 이하일 경우 Inlier로 분류 한다.

iii) $N=\dfrac{\log(1-p)}{\log(1-(1-\epsilon)^s)}$, p(inlier만 선택될 확률), ϵ (outlier의 비율), s(선택한 포인트의 개수) 에 의해 inlier가 차지하는 비율에 따라서 반복횟수 N을 갱신한다.

iiii) inlier가 최대인 경우의 a, b, c값을 저장한 후, 반복횟수가 최대로 정해진 N이 될 때까지 i)~iii)를 반복한다.

iiiii) inlier들만을 가지고 다시 Plane을 fitting후 최종 plane의 파라미터 a, b, c를 결정한다.

Lead의 실제 높이는 바닥면 $z=ax+by+c$으로 부터의 거리 값이 된다. 식 (14)에 Lead가 위치한 지점 (x_i,y_i,z_i)의 값을 대입하면, Lead의 실제높이 $\hat{h_i}$를 구할 수 있다.

$$\hat{h_i}=\frac{ax_i+by_i-z_i+c}{\sqrt{a^2+b^2+1}} \tag{14}$$

4. 실험

< 표 1 > PMP 측정을 위한 프로젝터와 카메라의 실험 조건

Projection Angle	70 degree
Projection Area	75x55mm
Camera의 FOV(Field Of View)	23x17mm

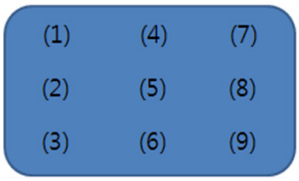
표 2는 본 논문에서 제시한 PMP측정을 위한 시스템 구성을 보여준다. 가격이 저렴하게 PMP시스템을 구성하기 위해 기존에 많이 사용되던 LCD/DLP Projector대신에 Pico Projector를 사용하여 시스템을 구성하였다.

< 표 2 > PMP 측정을 위한 시스템 구성

Component	Model	Specification	
Camera	teli cs8420	Resolution	768x582
Frame Grabber	Meteor2 -MC/4	Mode	RS-170A
		Resolution	640x480
Lens	Computar	Focal length	25mm
		Aperture	F1.4
		Extension Ring	7mm
Projector	Optoma PK301	Output Resolution	854x480
		Input Resolution	1280x800
		Projection Distance	0.2~5mm

A. PMP방법의 정밀도 측정

그림 2는 PMP방법의 정밀도 측정을 위해 높이 값을 측정한 기준점을 보여준다. 정밀도 분석을 위하여 이 기준점들 사이에 342개의 점을 등 간격으로 나누어 측정하였다.



(그림 2) PMP 방법의 정밀도 측정을 위한 Calibration Board의 높이 측정 기준점

식 (15)는 정밀도 측정을 위하여 사용한 식이다. h_i는 Calibration Board에서의 높이 측정값이다. N은 정밀도 분석을 위해 사용한 높이 측정값의 개수다. $Bias$는 측정값들이 참값에서 얼마나 떨어져 있는지를 나타낸다. σ는 측정값들의 표준편차로 3σ는 측정값이 측정값의 평균으로부터 갖는 최대 오차를 나타낸다.

$$Error=Bias+3\sigma,$$

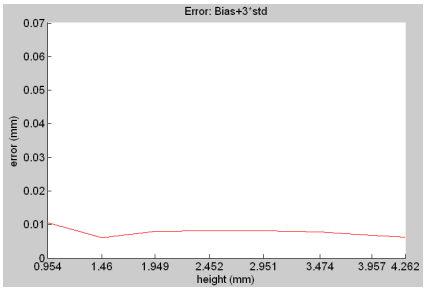
$$Bias=True-\frac{1}{N}\sum_{i=1}^{N}h_i,\ \sigma=\sqrt{\frac{\sum_{i=1}^{N}(h_i-\frac{1}{N}\sum_{i=1}^{N}h_i)}{N}} \tag{15}$$

B. 실험 결과

PMP측정을 위한 시스템 파라미터값을 구하기 위해 시스템 캘리브레이션에 사용한 높이는 총 9개 (0.055 1.009 1.515 2.004 2.507 3.006 3.529 4.012 4.317) 이다.

Calibraion Board의 높이 단차를 위해서 Z-stage, Sigma koki ($\pm3\mu$m)를 사용하였다. 높이 단차의 측정을 위해서 LCD Absolute Digimatic ID-C112X Indicator, Mitutoyo($\pm3\mu$m)를 사용하였다.

그림 3과 표 3은 시스템 캘리브레이션을 위해 사용한 높이 단차에서의 캘리브레이션 정밀도를 식 (15)를 이용하여 측정한 것이다. 전체 높이에서 최대 오차가 10μm 내외로 분포하는 것을 볼 수 있다.

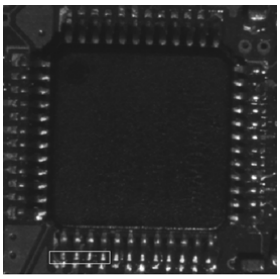


(그림 3) PMP 방법의 정밀도 측정결과

< 표 3 > PMP 방법의 정밀도 측정결과, 단위 mm

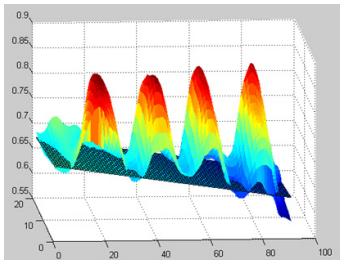
Height	Error
0.954	0.0105
1.460	0.0061
1.949	0.0080
2.452	0.0082
2.951	0.0081
3.474	0.0078
3.957	0.0068
4.262	0.0062

그림 4는 반도체 칩의 Lead 측정을 위해 사용한 칩의 이미지다. 그림에서 하얀색 ROI(Region Of Interest) 영역이 본 논문에서 측정한 칩의 Lead 부분이다.



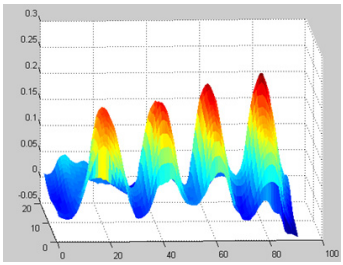
(그림 4) 측정 대상 물체의 배경 이미지

그림 5는 반도체의 Lead(그림 4의 ROI 영역)를 측정한 결과를 3D로 보여준 것이다. 그림에서 그물 모양으로 표시된 평면이 RANSAC을 이용하여 fitting한 칩의 바닥면이다. 그림에서 칩이 약간 기울어져 있는 것을 볼 수 있다.



(그림 5) Lead의 3차원 측정값과 바닥면

그림 6은 Lead의 높이를 바닥면으로부터 재조정한 결과를 3D로 보여준 것이다. Lead의 높이가 0을 기준으로 거의 평평하게 분포하는 것을 볼 수 있다.



(그림 6) 바닥면을 기준으로 한 Lead의 3차원 측정값

5. 결론

본 논문을 통해 반도체 칩의 Lead를 측정하기 위한 PMP 측정 시스템의 구성과 방법을 제안했다. 실험 결과를 통해 제안한 시스템의 캘리브레이션 정밀도의 최대 오차가 10μm내외로 분포하는 것을 볼 수 있었다.

반도체 칩의 Lead부분을 측정하기 위해 RANSAC을 이용한 Plane Fitting 방법을 보였다. Lead측정 실험을 통해 기울어진 바닥면으로부터 실제 Lead의 높이를 구하는 방법을 보였다.

다음 연구과제는 Lead의 불량 유무를 판별하기 위한 분류기의 설계에 대한 것이다. 그리고 반도체 칩의 Pad와 Solder Joint과 같이 좀 더 정밀한 측정 정밀도가 요구되는 부분의 3D정보를 얻기 위한 연구도 필요하다.

참고문헌

[1] V. Srinivasan, H. C. Liu, M. Halioua, "Automated phase measuring profilometry of 3-D diffuse object," Appl. Opt., vol. 23, no. 18, pp. 3105-3108, 1984.

[2] H.-N. Yen, D.-M. Tsai, and J.-Y. Yang, "Full-field 3-D measurement of solder pastes using LCD-based phase shifting techniques," IEEE Trans. on Electronics Packaging Manufacturing, vol. 29, no. 1, pp. 50-57, 2006.

[3] H.-N. Yen and D.-M. Tsai, "A fast full-field 3d measurement system for BGA coplanarity inspection," Int. J. Adv. Manuf. Technol., vol. 24, pp. 132-139, 2004.

[4] Hong Zhao, "Phase-unwrapping algorithm for the measurement of three-dimensional object shapes", Appl. Opt., vol. 33, no. 20, pp. 4497-4500, 1994.

[5] Hongwei Guo, "Least-squares calibration method for fringe projection profilometry", Optical Engineering, vol. 44, no. 3, 003603, 2005.

[6] Peirong Jia, "Comparison of linear and nonlinear calibration methods for phase-measuring profilometry", Optical Engineering vol. 46, no. 4, 043601, 2007.

[7] 김회섭, "Coplanarity Inspection Algorithm from 3-D Height Data of PCB", J. KSIAM IT series, vol. 8, no. 2, pp. 1-12, 2004.

[8] R. Hartley, "Multiple View Geometry in Computer Vision: Second Edition," Cambridge, UK: Cambridge University Press, pp. 117-127, 2006.