

자이레이터 방식을 이용한 3차 Elliptic Gm-C 저대역 필터 설계

엄덕희 · 한지형 · 정학기 · 이종인 · 정동수 · 권오신
군산대학교 전자공학과

3th-order Elliptic Gm-C Low pass Filter using the Gyrator method

Duckhei Um, Jihyeong Han, Hakkee Jung, Jongin Lee, Dongsoo Cheong, Ohsin Kwon
Department of Electronic Eng., Kunsan National University

요 약

무선 송수신의 보급이 급속도로 확대됨에 따라 모바일 사용자는 새로운 기기를 구입해야 하는 불편을 따른다. 이에 대안으로 같은 기기보다 다양한 기준주파수 보다, 낮은 주파수를 수용할 수 있는 주파수대역의 튜닝이 가능한 DCR(Direct conversion receiver)의 필요성이 대두 되고 있다. 이에 DCR에 들어가는 저역통과필터는 다양한 기준주파수를 만족하기 위한 대역폭, 이득을 튜닝 하는데 중요한 부분을 차지하게 된다. 본 논문에서는 3차 Elliptic Gm-C Low Pass filter를 자이레이터 방식을 통해 DCR내의 Low Pass filter를 구현 하였다. 공급전압은 3.3V이고 외부에서 인가되는 튜닝전압에 의해 차단 주파수가 변화됨을 알 수 있었다. 그 결과를 통해서 레이아웃 하였으며, 설계된 회로는 COMS 0.18 μ m 설계 파라미터를 활용하여 Cadence 사의 Specter로 시뮬레이션 하였으며, Virtuoso2로 레이아웃 하였다.

I. 서 론

MOS 집적기술의 발달과 함께 통신용 시스템의 발달이 커지고 있다. 이에 전자 기기와 통신기기는 우리 생활에 불가피한 존재가 되었으며, 필터 설계 또한 신호를 처리하는데 빠지지 않는 회로가 되었다. 필터는 현대 들어 통신용 휴대폰 같은 무선주파수(RF, radio-frequency)기기의 보급이 급속이 진행되면서, 수신에 사용되는 필터는 넓은 주파수 범위를 갖고 동작을 해야 한다. 그리고 가능한 작은 칩 면적 안에서 넓은 주파수 대역을 갖게 하는 주파수 조정 특성을 갖추어야 한다. 본 논문에서 비교적 낮은 주파수의 신호를 잘 통과시키고, 높은 주파수의 신호를 저지하는 필터인 저역통과필터를 설계하였다. [1] -[6]

II. 저역통과필터

2.1. 수신 단용 저역통과필터 설계

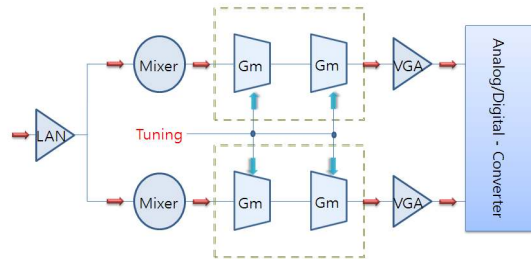


그림 1. 필터 블록을 갖는 직접변환 수신단

그림 1은 필터의 블록을 포함하는 수신단의 구조를 나타내었다. 3차 필터를 구성하는 내부의 트

랜스컨덕터(gm)의 트랜스컨덕터스의 값을 조정할 수 있도록 함으로써 필터의 이득 및 차단주파수를 변화시킬 수 있도록 하는 구조이다. 이러한 구조는 수 신단에서 일정한 범위 내에서 필터의 차단 특성을 임의로 조절할 수 있도록 함으로써 무선주파수 기기에 사용될 수 있도록 하였다. 필터의 응용 시스템은 WCDMA로 결정함에 따라 기본 차단주파수는 2.5MHz로 설정하였다.

2.2. 저역통과필터 구성을 위한 트랜스컨덕터 설계

표 1에서 설계 할 3차 저역통과 필터의 설계 사양을 정리하였다. 그림2 는 Gm-C low pass filter에 들어갈 Gm값을 나타내는 OTA (Operational Transconductance Amplifier)회로를 설계하였다. 설계특성에 맞게 Op-Amp는 공통 모드 입력 전압이 출력에 나타나지 않도록 하기 위해서, 차동 입력(Fully Differential) 단을 사용하였다.[4]

표 1. 3차 저역통과 필터 설계 사양

Parameter	Specification
Filter order/type	3th Elliptic function
Pass band gain	0dB
Pass band ripple	1dB
Stop band attenuation	1.5(ratio)
Power supply	3.3v
Input thermal noise	36nv/Hz
Cut-off frequency	2.5MHz(Tuning)

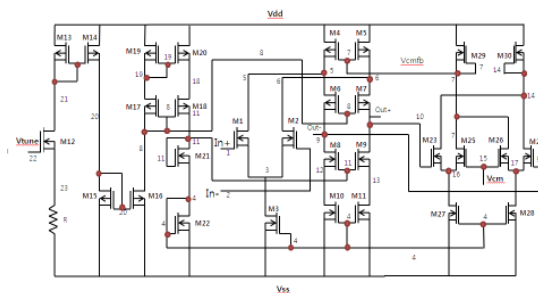


그림 2. OTA 회로

M1 ~ M11은 OTA회로의 트랜스컨덕턴스 및 출력 저항 (Ro)을 얻는 Fully Differential Folded-cascode 구조를 사용함으로써 Single-stage 임에도 높은 출력 저항을 이용한 상대적으로 높은 이득을 추구할 수

있다. [1] -[3] M12 ~ M22는 이득 단 및 출력 단에 바이어스 전압을 공급하여 주는 바이어스 단이다. 이 바이어스 단의 트랜스컨덕턴스 값은 외부 바이어스 전압에 의해 튜닝이 가능한데, 이는 바이어스 회로에 있는 Vtune 을 이용하여 값을 조절 할 수 있으므로 케이트 전압에 외부 소스 의 전압을 인가해 주면, 전체 바이어스 전압이 node4, 11을 변화시키므로, 전체 회로의 트랜스컨덕턴스 값을 변화시켜 준다. 이를 통해서 주파수 변환을 가능케 하였다. M23 ~ M30 는 Common Mode feedback (CMFB CMFB)로 구성함으로써 Main stage에서의 out전압인 +, -전압을 CMFB의 입력으로 들어 왔을 때 output Voltage Level이 기준전압레벨과 같으면 항상 common mode bias voltage의 전압을 일정하게 유지한다. 외부 전압을 조절을 통하여 트랜스컨덕턴스 값을 일정한 범위 내에서 원하는 값으로 변화할 수 있으며 공통 모드 입력 신호의 증폭 이득 제거율(CMRR) 및 전원단자에 나타나는 noise 신호등의 증폭 이득 제거율 확연히 줄일 수 있는 장점이 있다. 그러므로 차단주파수의 변형에 대처할 수 있도록 하기 위하여 트랜스컨덕턴스 외부 조정 전압인 Vtune을 활용하여 트랜스컨덕턴스 값을 조절하였다. 설계사양에 맞추어 소비전력으로 노드에 흐르는 전류 값을 결정하였고, MOS 동작 전압을 알기위해 공통모드 입력전압 범위(ICMR) 조건과 모든 트랜지스터 들이 포화영역에서 동작하여 차동모드 전압이득이 최대가 되기 위한 출력 전압 범위(OVR) 조건으로 각각의 MOS의 전압을 설정하였고, MOS의 포화영역에 동작하기 위한 W/L 값을 Handcraft 을 통해서 계산하였으며, Hspice 통해서 시뮬레이션 하였다.

2.3. 3 차 Elliptic 저역통과 Gm-c 필터 설계

그림 3은 낮은 감도 특성 유지할 수 있는 장점을 가지고 있는 제자형 복중단 LC수동회로로 설계하였다.

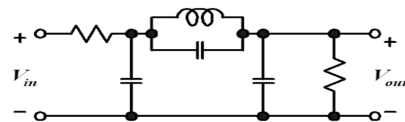


그림 3. 3차 수동 복중단 제자형 타원필터

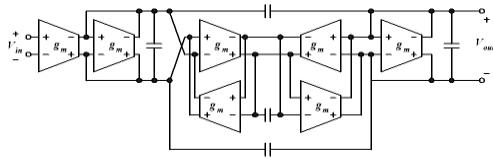


그림 4. 설계된 3차 Gm-C 능동 타원 필터

그림 4는 수동필터를 능동 필터를 변환하기 위해 간단한 자이레이터 직접 변환법을 이용하였으며 변환한Elliptic 저역통과 필터이다. 또 능동필터의 특성 값을 얻어 내기 위해 아래와 같은 모의 함수 법을 이용하여 필터의 값을 넣어주었다.

2.4. 시뮬레이션방법 및 결정

트리아이오드 영역은

$$I_D = (\mu_n c_{ox}) \frac{W}{L} [(V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V^{2_{DS}}] \quad (1)$$

포화(Saturation) 영역은

$$I_D = \frac{1}{2} (\mu_n c_{ox}) \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (2)$$

표 2 MOSFET 크기 표

MOS	L	W	MOS	L	W
NM1,2	5u	1u	PM17,18	20u	1u
NM3	61u	1u	PM19,20	20u	1u
PM4,5	122u	2u	NM21	20u	1u
PM6,7	50u	2u	NM22	28u	1u
NM8,9	50u	2u	NM23,24	8u	1u
NM10,11	50u	2u	NM25,26	8u	1u
NM12	2.5u	1u	NM27,28	29u	1u
PM13,14	7u	1u	PM29,30	28u	1u
NM15,16	22u	1u			

회로의 MOSFET의 크기를 결정하기 위해서 식(1)과 식(2)를 이용하여 시뮬레이션을 통해서 결정할 수 있었다.

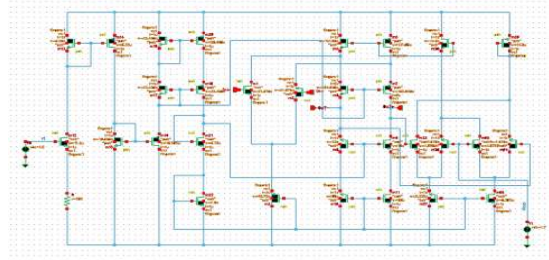


그림 5. 레이아웃을 위한 개략도

그림 5는 레이아웃을 하기위해 먼저 Cadence를 이용하여 그림2 회로를 Schematic 하였다. 그림 6은 그림 5의 Schematic한 OTA회로를 symbol로 만들어 능동형 필터인 3차 Elliptic 능동 타원 필터를 설계하였다.

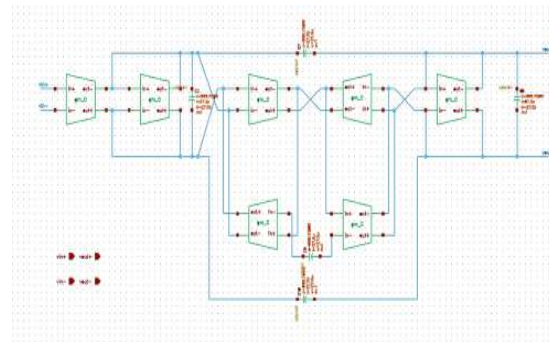


그림 6. 설계된 3차 Gm-C 능동 타원 필터

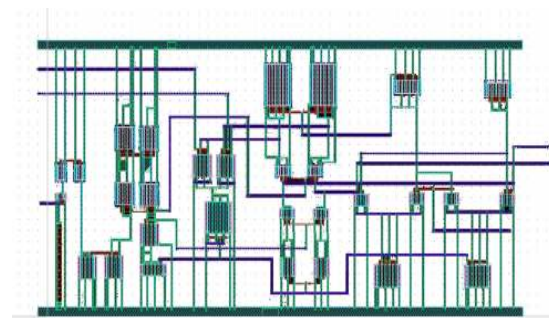


그림 7 트랜스 컨덕터

그림 7는 Fabrication과정에 들어가기 위해 Schematic한 OTA회로 구조를 레이아웃 한 그림이고, 그림 8은 Schematic한 OTA회로를 바탕으로 3차 Elliptic 능동 타원필터를 레이아웃 하였다.

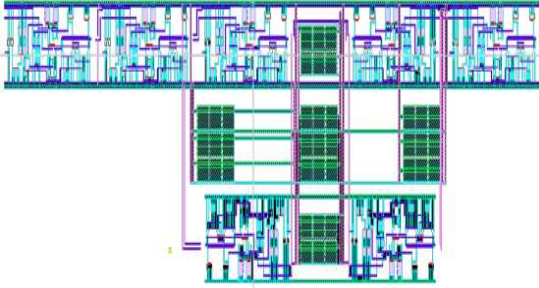


그림 8 3차 Elliptic 저역통과 필터 gm-c 설계

그림 9는 이득 단 및 출력 단에 바이어스 전압을 공급하여 주는 V_{tune} 의 전압을 1~1.75v 까지 튜닝 하였을 때 3차 Elliptic 필터의 특성을 나타낸 그림이다.

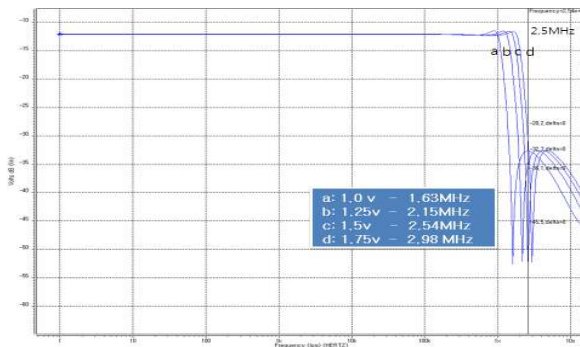


그림 9 3차 gm-c 능동 필터의 특성결과

결과에서 제어 전압의 변화를 통하여 필터의 차단 주파수가 각각 1.69, 2.15, 2.54, 2.98 MHz 얻어질 수 있음을 확인 할 수 있었다.

III. 결론

본 논문에서는 직접변환 방식을 이용하여 전압 변화에 따른 수신단의 주파수를 일정한 범위 내에 조정될 수 있는 필터를 설계 할 수 있었으며, 회로의 MOSFET의 크기를 직접 구하고 설계 한 후 시뮬레이션을 통해 회로의 특성 결과를 확인하고 레이아웃까지 하였다. 그 결과 바이어스 단의 전압 변화에 다른 주파수를 일정한 범위 내에 조정 할

수 있는 특성을 보였다.

[참 고 문 헌]

- [1] 박홍준, "CMOS 아날로그 집적회로 설계(상)", pp.291-608, 2010
- [2] 안점영 김창석, "회로망합성과 필터설계", pp.220-260, 2008
- [3] 박영기, 김정기, "RF회로 설계", pp.63-102, 2005
- [4] 신건순, " $2\mu\text{m}$ CMOS 5차 Elliptic OTA-C 필터 설계", vol.44, no.4 pp.672-678, 1994
- [5] 박진배, 이강웅, 이장명, 정정주, 주영훈, "체어시스템공학", pp.528-576, 2010
- [6] Behzad Razavi, "Design of analog CMOS Integrated Circuits", pp.20-568, 2009