
급수를 이용한 DGMOSFET의 DIBL 특성 분석

한지형, 정학기, 정동수, 이종인, 권오신
군산대학교 전자공학과

Analysis of DIBL Characteristics for Double Gate MOSFET Using Series

Jihyung Han-Hakkee Jung-Dongsoo Jeong-Jongin Lee-Ohshin Kwon
Department of Electronic Eng., Kunsan National University

요 약

본 연구에서는 Double-gate MOSFET의 DIBL(Drain Induced Barrier Lowering)의 특성을 분석하기 위하여 분석학적 전송모델을 사용하였으며 분석학적 모델을 유도하기 위하여 포아송방정식을 풀 때 급수합수를 이용하였다. 단채널 효과에서는 유효채널길이 감소와 문턱전압 감소 그리고 DIBL이 있다. DIBL은 드레인 전압 변화에 따른 문턱전압의 변화로 알 수 있다. 채널길이가 감소하면 DIBL은 감소하지만, 채널길이가 감소하면 단채널 효과가 증가한다. 본 논문에서는 채널길이에 따른 DIBL을 분석하였고, 또한 채널 두께 및 게이트 산화막의 두께에 대한 DIBL에 대하여 분석하였다.

I. 서 론

오늘날 반도체산업의 초고속 성장은 전자 및 정보산업의 발전에 기틀을 제공하였으며 실리콘 MOSFET를 이용한 집적회로는 거의 모든 전자기기에 사용하여 계산, 신호처리, 정보저장 등에 이용되고 있다. 소자의 속도와 특성을 개선시키기 위해 MOS(metal oxide semiconductor)소자의 크기는 매우 작아지게 되었고 최근 MOS 소자들이 나노 단위까지 감소하면서 소자 설계에 있어서 고려해야 할 여러 가지 문제점들이 나타나게 되었다[1]. 소자에 인가되는 전압은 작은 값으로 스케일하기가 어렵기 때문에 전계는 작은 구조에서 증가하는 경향이 있다. 결과적으로 다양한 핫 캐리어 효과들이 단채널 MOSFET에 나타나게 되어 단채널 효과(short channel effect, SCE)들이 발생하기 된다. SCE란 실리콘 MOS 소자의 기술개발로 게이트 길이를 짧게 만들면서 소자의 전체 크기와 동작전압을 감소시킴으로써 소자의 집적

도가 높아지고, 전력소모가 줄어들고, 동작속도가 빨라지는 성능의 향상이 얻어지는데 게이트의 길이를 짧게 만들면 누설 전류가 증가하거나 on-off를 조절하는 전압이 변동하는 비선형 특성들이 커져서 회로설계에 문제가 되는 현상들을 말한다. 단채널효과중의 하나인 드레인유기장벽감소(drain induced barrier lowering, DIBL)은 드레인에 인가되는 전압의 크기에 따라 게이트아래에 전류의 흐름을 조절하는 장벽의 높이가 바뀌는 현상을 말하는데 대체로 게이트 길이가 감소하면 DIBL이 증가하여 동작의 안정성이 떨어지게 된다. 반도체업계에서는 지난 30여년 동안 MOSFET의 게이트길이를 줄이는 스케일링에 의하여 회로의 동작속도 및 전력소비 문제를 개선하여왔다. 그러나 이러한 스케일링이론은 소자의 길이가 나노단위까지 감소하면서 공정 및 물질의 한계에 부딪쳐 더 이상 적용할 수 없게 되었다[2]. 이러한 SCE

문제들을 해결하기 위해 여러 가지 방법들 중 본 논문에서는 두 개의 게이트를 갖는 Double gate MOSFET의 DIBL의 특성을 분석하였다.

II. Double gate MOSFET의 구조와 분석학적 전송모델

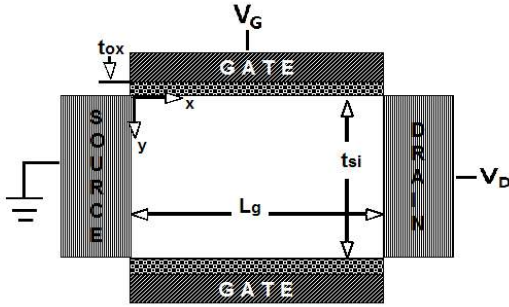


그림1. Double gate MOSFET의 개략도

Double gate MOSFET는 그림 1과 같은 구조를 하고 있다. 여기서 L_g 는 채널길이이고, t_{si} 는 채널 두께, t_{ox} 는 게이트 옥사이드 두께이다. 이 구조의 x, y 방향에 대한 전위분포를 구하기 위하여 포아송방정식을 이용하였다.

$$\psi(x,y) = qN_A / \epsilon_{si} \quad (1)$$

여기서 q 는 전자의 전하, N_A 는 도핑농도, ϵ_{si} 는 실리콘 유전율을 나타낸다. 식(1)을 풀기 위한 경계조건은 다음과 같다.

$$\begin{aligned} \psi(0,y) &= V_{bi} \\ \psi(L,y) &= V_{bi} + V_{DS} \\ \psi(x,0) &= V_{GF} + \frac{\epsilon_{si}}{C_{ox}} \frac{\partial \psi}{\partial y} \Big|_{y=0} \\ \psi(x,t_{si}) &= V_{GF} - \frac{\epsilon_{si}}{C_{ox}} \frac{\partial \psi}{\partial y} \Big|_{y=t_{si}} \end{aligned} \quad (2)$$

여기서 V_{bi} 는 자생전압이고, V_{DS} 는 드레인-소스전압, $C_{ox} = \epsilon_{ox} / t_{ox}$ 이다. ϵ_{ox} 는 게이트 옥사이드 유전율이다. 참고문헌[3]을 참조하여 채널 내 전위분포는 다음과 같은 식을 사용하였다.

$$\psi(x,y) = V_{bi} + \frac{V_{DS}}{L} x \sum_{n=1}^{\infty} C(n)(y) \sin \frac{n\pi x}{L} \quad (3)$$

문턱전압의 방정식은 다음과 같다.

$$\begin{aligned} V_T &= V_{FB} + \psi_{min} + \frac{t_{ox}}{\epsilon_{ox}} \\ &\times \sqrt{2\epsilon_s q N_A (\psi_{min} + V_{BG})} (1 - \eta) \end{aligned} \quad (4)$$

여기서 ψ_{min} 은 표면전위가 최소값 일때의 y 값이다. η 는 단채널 효과를 나타내는 요소이다.

$$\eta = \eta_0 \exp(-L/I_0) \quad (5)$$

$$\begin{aligned} \eta_0 &= \frac{\epsilon_{ox}}{\epsilon_{si}} \frac{\sqrt{(V_D + V_{bi} - \psi_{min})(V_{bi} - \psi_{min})}}{\psi_{min} + V_{BG}} \\ &\times \left(\frac{1}{t_{ox}} \frac{\sqrt{2\epsilon_s (\psi_{min} + V_{BG})}}{qN_A} + \frac{3}{2} \frac{\epsilon_{si}}{\epsilon_{ox}} \right) \end{aligned} \quad (6)$$

$$\begin{aligned} I_0 &= \sqrt{\frac{2\epsilon_s (\psi_{min} + V_{BG})}{qN_A}} \\ &\times \left(\frac{3}{2} + \frac{\epsilon_{ox}}{\epsilon_{si}} \frac{1}{t_{ox}} \frac{\sqrt{2\epsilon_s (\psi_{min} + V_{BG})}}{qN_A} \right) \end{aligned} \quad (7)$$

DIBL은 V_{DS} 에 변화에 따른 V_T 변화로 정의할 수있다. DIBL은 식(4)를 이용하여 다음과 같은 방정식이 설립이 된다.

$$DIBL = V_T(1) - V_T(0) \quad (8)$$

여기서 $V_T(1)$ 은 $V_{ds} = 1.1V$, $V_{ds} = 0.1V$ 이다.

III. Surface potential and DIBL 결과

그림 3은 V_{ds} 를 1.1V와 0.1V 일 때의 Surface potential을 비교한 그래프 이다. V_{ds} 가 1.1V일 때 높은 전위를 나타냄을 볼 수 있다. 표면전위가 높아 지면서 ψ_{min} 의 값이 증가한다. 식(8)을 이용하여 DIBL을 채널 두께와 게이트 옥사이드 두께에 따라 비교 분석할 것이다.

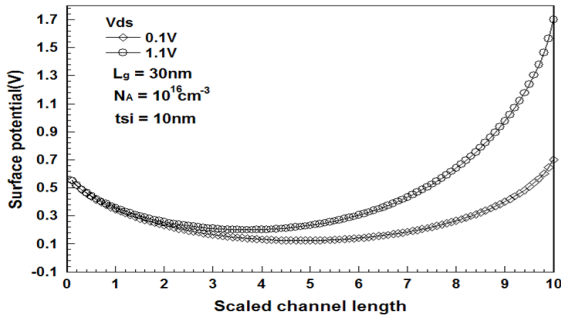


그림 3. V_{ds} 의 변화에 따른 Surface potential 분석

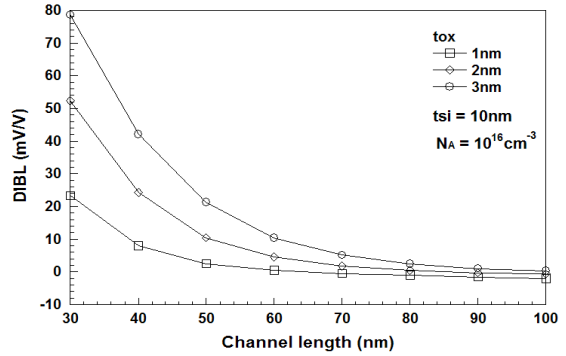


그림 5. 게이트 옥사이드 두께 변화에 따른 DIBL 분석

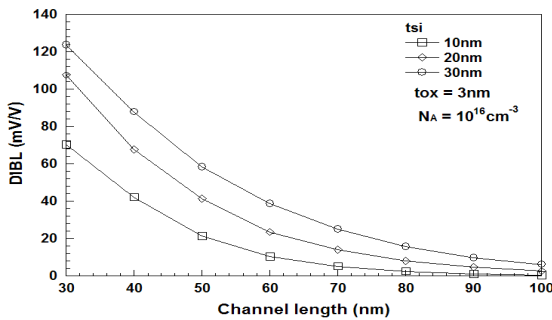


그림 4. 채널 두께 변화에 따른 DIBL 분석

그림 4는 채널 두께에 따른 DIBL을 관찰하기 위하여 채널두께를 10nm, 20nm, 30nm로 변화에 따른 DIBL의 변화를 도시하였다. 채널 길이가 감소하면서 DIBL은 증가함을 나타내었고, 채널 두께가 작을수록 DIBL은 증가하였다. 특히 채널길이가 80nm 이상일 때 채널 두께에 따른 DIBL의 변화를 비교해 보면 채널의 두께가 10nm 일때는 채널길이가 100nm일 때와 DIBL의 변화가 거의 없지만 채널두께가 30nm 일 때는 채널길이가 100nm 일때의 DIBL과 큰 차이가 있음을 알 수 있다. 그러므로 채널두께를 얇게 하는 것은 단채널 효과를 줄이는 중요한 요인이다.

그림 5는 게이트 옥사이드 두께의 변화에 따른 DIBL의 변화를 도시하였다. 게이트 옥사이드의 두께는 1nm, 2nm, 3nm로 변화시켰다. 그림 4에 서와 마찬가지로 게이트 길이가 감소하면서 DIBL은 증가하는 경향을 보였고, 게이트 산화막의 두께가 감소하면서 DIBL 역시 감소하는 경향을 보였다. 옥사이드 산화막 두께가 1nm일 때는 채널길이가 50nm 일 때부터 DIBL의 변화가 거의 없음을 알 수 있다.

IV. 결론

본 연구에서는 급수함수를 이용한 포아송 방정식으로부터 단채널효과중 하나인 DIBL을 분석하였다. V_{DS} 를 0.1V에서 1.1V로 증가했을 경우 이에 따른 V_T 의 변화로 DIBL을 정의하였다. 채널길이는 30nm에서 100nm까지 증가시켰고, 옥사이드 산화막 두께는 1nm에서 3nm, 채널 두께는 10nm에서 30nm까지 변화하면서 이에 따른 DIBL의 변화를 분석하였다. 분석 결과 채널길이가 감소하면서 DIBL은 증가하였고, 채널 두께와 게이트 산화막의 두께가 감소하면서 DIBL은 감소하였다. 이 결과는 DG MOSFET 설계시 SCE효과를 줄일 수 있는 자료라고 사료된다.

참고 문헌

- [1] G. Curatola, G. Fiori and G. Iannaccone, "Modeling and simulation challenges for nanoscale MOSFETs in the ballistic limit", Solid-State Elec., vol.48, pp.581-687, 2004
- [2] 정학기, Sima Dimitrijevic, "더블게이트 MOSFET의 서브문턱스윙에 대한 연구", 한국해양정보통신학회, vol.9, no4, pp.804-810, 2004
- [3] Z. Ding, G. Hu, J.Gu, R. Lin, L.Wang and T. Tang, "An analytical model for the subthreshold swing of double-gate MOSFETs", IWJT, 2010