
0.18 μ m Generic 공정 기반의 8비트 eFuse OTP Memory 설계

장지혜 · 김광일 · 전황곤 · 하관봉 · 김영희

창원대학교 전자공학과

Design of an eFuse OTP Memory of 8bits Based on a Generic Process

Ji-Hye Jang, Kwang-Il Kim, Hwang-Gon Jeon, Pan-Bong Ha, Young-Hee Kim

Department of Electronic Eng., Changwon National University

E-mail : youngkim@changwon.ac.kr

요 약

본 논문에서는 아날로그 트리밍용으로 사용되는 0.18 μ m generic 공정의 EM (Electro-Migration)과 eFuse의 저항 변동을 고려한 8bit eFuse OTP (One-Time Programmable) 메모리를 설계하였다. eFuse OTP 메모리는 eFuse에 인가되는 program power를 증가시키기 위해 external program voltage를 사용하였으며, 프로그램되지 않은 cell에 흐르는 read current를 낮추기 위해 RWL (Read Word-Line) activation 이전에 BL을 VSS로 precharging하는 방식과 read NMOS transistor를 최적화 설계하였다. 그리고 프로그램된 eFuse 저항의 변동을 고려한 variable pull-up load를 갖는 sensing margin test 회로를 설계하였다. 한편 eFuse link의 length를 split하여 eFuse OTP의 프로그램 수율 (program yield)을 높였다.

ABSTRACT

In this paper, we design an 8-bit eFuse OTP (one-time programmable) memory in consideration of EM (electro-migration) and eFuse resistance variation based on a 0.18 μ m generic process, which is used for an analog trimming application. First, we use an external program voltage to increase the program power applied an eFuse. Secondly, we apply a scheme of precharging BL to VSS prior to RWL (read word line) activation and optimize read NMOS transistors to reduce the read current flowing through a non-programmed cell. Thirdly, we design a sensing margin test circuit with a variable pull-up load out of consideration for the eFuse resistance variation of a programmed eFuse. Finally, we increase program yield of eFuse OTP memory by splitting the length of an eFuse link.

Key words

eFuse OTP, generic process, Electro-Migration, Variable pull-up load, Program yield

1. 서 론

반도체 칩은 아날로그 트리밍, 보안 및 압축 키, 메모리 교정 (repair) 기능을 수행하기 위해 추가 공정이 필요 없는 eFuse (Electrical Fuse) OTP (One-Time Programmable) 메모리가 많이 사용되고 있다 [1][2]. eFuse (electrical Fuse) OTP 메모리는 폴리실리콘 게이트에 수 십 mA 정도

의 과전류를 흘려 eFuse를 blowing하므로 eFuse를 선택적으로 끊어준다. eFuse의 프로그램 이전 저항은 50~100 Ω 정도이고, eFuse를 통해 프로그램 전류가 흐르면서 eFuse의 저항은 수 십 k Ω 이상이 된다. 이와 같이 eFuse는 전도상태 (conductive state)와 고저항 상태 (highly resistive state) 중 하나로 프로그램 된다.

eFuse OTP 메모리는 program 되지 않은

eFuse cell을 read하는 경우 current density가 큰 전류가 narrow width의 eFuse link에 흐르면 EM (Electro-Migration) 현상에 의해 blowing 되는 현상이 일어날 수 있다. 한편 eFuse link가 센싱 가능한 최소 저항 부근에 프로그램되는 경우 field에서 사용 중에 프로그램된 eFuse의 저항이 센싱 가능한 최소 저항 이하로 변동할 수 있다. 이 경우는 data 센싱 불량 발생한다. 그래서 EM과 data retention 특성과 같은 신뢰성을 충분히 고려한 eFuse OTP 메모리 설계가 요구된다 [3]. 그리고 프로그램 수율 (program yield)을 증가시키기 위해서는 eFuse에 인가되는 program power를 증가시켜야 한다.

본 논문에서는 TSMC 0.18 μ m generic 공정 기반의 EM (Electro-Migration)과 eFuse의 저항 변동을 고려한 8bit eFuse OTP 메모리를 설계하였다. eFuse OTP 메모리는 eFuse에 인가되는 program power를 증가시키기 위해 external program voltage를 사용하였으며, 프로그램되지 않은 cell에 흐르는 read current를 낮추기 위해 RWL (Read Word-Line) activation 이전에 BL을 VSS로 precharging하는 방식과 read NMOS transistor의 채널 폭 (channel width)을 최적화 시켰다. 그리고 프로그램된 eFuse 저항의 변동을 고려한 variable pull-up load를 갖는 sensing margin test 회로를 설계하였다. 한편 eFuse OTP의 프로그램 수율을 높이기 위해 eFuse link의 length를 split하였다.

II. OTP 셀 설계

Dual port eFuse 셀은 큰 프로그램 전류를 흘릴 수 있는 큰 사이즈의 NMOS 프로그램 트랜지스터와 작은 사이즈의 읽기 모드용 NMOS 읽기 트랜지스터로 구성되어 있다 [4]. 그림 1의 모의 실험 결과에서 보는바와 같이 VIO 전압을 이용하는 경우 [5]보다 FSOURCE 전압을 사용하는 경우 [6]가 eFuse에 인가되는 program power를 증가시킬 수 있다.

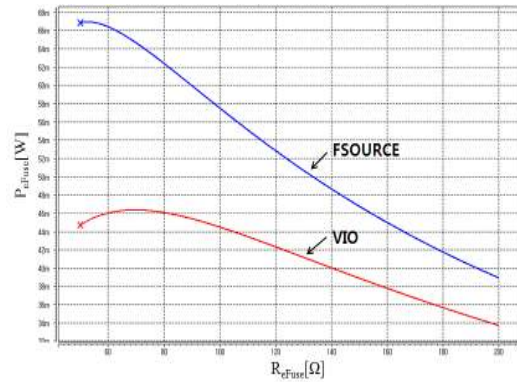


그림 1. Program voltage 인가 방식에 따른 eFuse에 인가되는 program power 모의실험 결과.

8 비트 eFuse OTP 메모리는 그림 2의 블록도에서 보는바와 같이 1행 \times 8열의 eFuse OTP 셀 어레이, PD (Program Data) 구동회로와 BL S/A (Sense Amplifier), 제어 신호 (RD, PGM, TM_EN)에 따라 프로그램과 읽기 모드에 적합한 내부 제어신호를 공급하는 제어 로직으로 구성되어 있다. PD 구동회로는 8개의 회로로 구성되어 있으며, 어드레스 A[2:0]의 디코딩에 의해 선택되는 회로이다. 그리고 BL S/A 회로는 읽기 모드에서 OTP 셀의 eFuse를 프로그램한 유·무에 따라 BL[7:0]을 통해 나오는 데이터를 센싱하여 DOUT[7:0]으로 출력하는 회로이다.

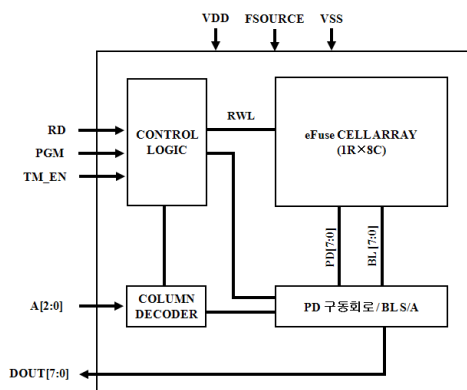


그림 2. 8비트 eFuse OTP 메모리의 블록도.

8b eFuse OTP IP의 셀 어레이는 그림 3에서 보는바와 같이 1행 \times 8열로 구성되어 있

다. eFuse의 initial 저항은 프로그램 특성에 영향을 미치므로 본 논문에서는 eFuse link의 width를 0.18 μ m으로 고정한 상태에서 link length를 0.72 μ m, 1.08 μ m, 1.44 μ m으로 split 하였다. 표 1은 동작 모드별 eFuse OTP 메모리 셀 노드에서의 바이어스 전압을 보여주고 있다. 프로그램 모드에서 eFuse OTP 셀을 프로그램하기 위해서는 PGM에 펄스를 인가하면 FSOURCE와 PD에 4.2V 전압이 인가되면서 eFuse에 프로그램 전류가 흐른다. 이렇게 하면 eFuse는 프로그램되고 eFuse의 저항은 수십 k Ω 이상이 된다. 만약 프로그램 되지 않는 셀인 경우 PD는 0V를 유지하여 eFuse를 통한 과전류가 흐르지 않기 때문에 eFuse의 저항 변화는 없다.

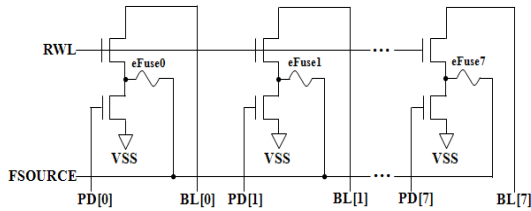


그림 3. 8비트 셀 어레이 회로도.

표 1. 동작 모드별 eFuse OTP 메모리 셀의 노드별 바이어스 전압.

	PROGRAM MODE		READ MODE	
	Unselected Cell	Selected Cell	Unprogrammed Cell	Programmed Cell
RWL	0	0	VDD	VDD
PD	0	4.2V	0	0
FSOURCE	4.2V	4.2V	Floating	Floating
BL	Floating	Floating	0	VDD

본 논문에서는 그림 4의 VSS BL precharging 방식의 S/A 회로와 같이 RWL이 활성화되기 이전에 BL을 VSS로 precharging 한다. 그래서 프로그램된 cell을 access하는 경우만 BL은 VDD로 pull-up되고, program 되지 않은 경우는 precharging level인 VSS를 유지한다. 이와같이 RWL activation 이전에 BL을 VSS로 precharging 하고 eFuse cell의 read NMOS transistor

width를 1.6 μ m을 사용하므로 read 동작에서 eFuse를 통해 흐르는 peak current를 줄였다. 한편 eFuse OTP 메모리 셀의 데이터가 BL에 충분히 전달된 뒤 SAENb (Sense Amplifier Enable bar) 신호가 0V로 활성화되면 negative-level sensitive D-latch는 BL 전압인 VDD 또는 0V를 센싱하여 DOUT port로 출력한다.

BL S/A에 의해 센싱 가능한 최소 저항 부근에 프로그램된 eFuse 저항은 field에서 사용 중에 프로그램된 eFuse의 저항이 센싱 가능한 최소 저항 이하로 변동할 수 있다. 이 경우는 data sensing 불량에 발생한다. 그래서 프로그램된 eFuse의 저항 변동을 고려한 variable pull-up load를 갖는 sensing margin test 회로를 설계하였다. eFuse를 프로그램한 후 function test mode에서는 그림 4의 MP2를 ON시켜 eFuse 저항이 정상적으로 프로그램 되었는지 test한다. 그리고 field에서 사용되는 normal read mode에서는 그림 4의 MP1을 ON시켜 pull-up 저항을 감소시키므로 eFuse 저항이 낮게 변동하더라도 BL을 정상적인 1' data로 센싱하도록 한다.

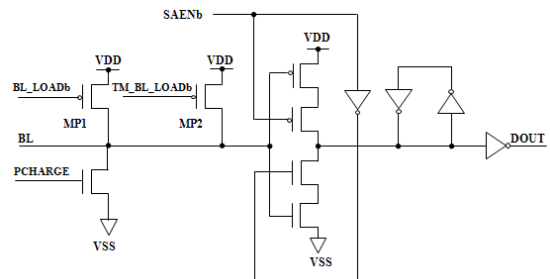


그림 4. VSS precharging 방식의 BL S/A 회로도.

III. 모의실험 및 측정결과

본 논문에서는 TSMC 0.18 μ m generic 공정을 이용하여 8비트 eFuse OTP 메모리를 설계하였다. Read mode 모의실험 결과 프로그램 되지 않은 eFuse를 통해 흐르는 peak current는 normal read mode와 test read mode에서 각각 114 μ A, 83.3 μ A로 모의실험 되

었다. 그리고 normal read mode와 test read mode에서 프로그램된 eFuse의 센싱 저항은 각각 11KΩ과 16KΩ으로 모의실험 되었다. 그래서 BL S/A의 pull-up load resistance를 가변하므로 wafer read test시 eFuse의 센싱 저항은 normal read mode에서 약 5KΩ 정도가 줄어들더라도 BL 센싱이 가능하다.

표 2는 eFuse link의 length split에 따른 20개의 샘플에 대한 프로그램 수율을 보여주고 있다. 표 2에서 보는바와 같이 eFuse link의 length를 1.44μm으로 한 OTP 메모리가 수율이 최고로 높은 것을 볼 수 있으며, eFuse link의 length를 1.08μm으로 한 OTP 메모리는 프로그램 저항이 상대적으로 낮으면서 function test mode에서 수율이 낮은 것을 볼 수 있다.

표 2. eFuse link width에 따른 수율.

eFuse Link Length	Normal read mode	Test read mode
0.72μm	85%	85%
1.08μm	95%	75%
1.44μm	95%	95%

그림 5는 8비트 eFuse OTP 메모리 칩의 function 측정 파형으로 프로그램과 읽기 동작이 정상적으로 이루어진 것을 볼 수 있다.

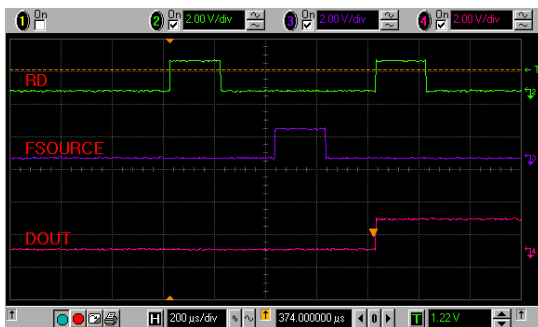


그림 5. eFuse OTP 메모리의 function 측정 파형.

VI. 결 론

eFuse OTP 메모리는 프로그램 수율이 높으

면서 EM과 data retention 특성과 같은 신뢰성을 충분히 고려한 회로 설계가 요구된다. 본 논문에서는 eFuse에 인가되는 program power를 증가시키기 위해 external program voltage를 사용하였으며, 프로그램되지 않은 cell에 흐르는 read current를 낮추기 위해 RWL (Read Word-Line) activation 이전에 BL을 VSS로 precharging하는 방식과 read NMOS transistor의 채널 폭을 최적화시키는 설계를 하였다. 그리고 프로그램된 eFuse 저항의 변동을 고려한 variable pull-up load를 갖는 sensing margin test 회로를 설계하였다. 한편 eFuse OTP의 프로그램 수율을 높이기 위해 eFuse link의 length를 split하였다. Read mode simulation 결과 프로그램 되지 않은 eFuse를 통해 흐르는 peak current는 normal read mode와 test read mode에서 각각 114μA, 83.3μA로 모의실험 되었다. 그리고 BL S/A의 pull-up load resistance를 가변하여 wafer read test시 eFuse의 센싱 저항은 normal read mode에서 약 5KΩ 정도가 줄어들더라도 BL 센싱이 가능하도록 하였다. TSMC 0.18μm 공정을 이용하여 제작한 칩을 측정 한 결과 eFuse link의 length가 1.44μm인 OTP 메모리가 프로그램 수율이 가장 높게 나왔으며, function 파형이 정상적으로 동작하는 것을 확인하였다.

감사의 글

This work was sponsored by ETRI System Semiconductor Industry Promotion Center, Human Resource Development Project for SoC Convergence.

참고문헌

- [1] D. H. Kim et al., "Design and Measurement of a 1-kBit eFuse One-Time Programmable Memory IP Based on a BCD Process", IEICE Trans. Electron, vol. E93-C, no. 8, pp. 1365-1370, Aug. 2010.
- [2] N. Robson et al., "Electrically

- Programmable Fuse (eFuse): From Memory Redundancy to Autonomic Chips", Proceedings of Custom Integrated Circuits Conference, pp. 799–804, Sep. 2007.
- [3] J. H. Kim et al., "Design of a 1-Kb eFuse OTP Memory IP With Reliability Considered", Accepted for publication in the Journal of Semiconductor Technology and Science.
- [4] D. H. Kim, J. H. Jang, L. Jin, J. H. Lee, P. B. Ha, and Y. H. Kim, "Design and Measurement of a 1-kBit eFuse One-Time Programmable Memory IP Based on a BCD Process", IEICE Trans. Electron., vol. E93-C, no. 8, pp. 1365–1370, Aug. 2010.
- [5] 이재형 외, "Logic 공정 기반의 비동기식 1Kb eFuse OTP 메모리 IP 설계", 한국해양정보통신학회논문지, vol.13, no.7, pp. 1371–1378, July 2009.
- [6] 조규삼 외, "외부프로그램 전압을 이용한 8비트 eFuse OTP IP 설계", 한국해양정보통신학회논문지, vol.14, no.1, pp. 183–190, Jan. 2010.