
GHz 대역 소자를 위한 프로그램 가능 보상 회로
류지열*·노석호**·김성우*
부경대학교 정보통신공학과*, 안동대학교 전자공학과**
Programmable Compensation Circuit for GHz Band Devices
Jee-Youl Ryu*·Seok-Ho Noh**·Sung-Woo Kim
Pukyong National University*, Andong National University**
E-mail : ryujy@pknu.ac.kr

요 약

본 논문은 GHz 대역 소자 응용을 위한 프로그램 가능 보상 회로를 제안한다. 이러한 회로는 5.2GHz대에서 동작하는 고주파 회로의 칩 제작과정에서 예기치 않게 발생한 미세한 PVT (공정, 전압, 온도) 변동을 검출하여 미세 변동된 회로 성능 변수들을 자동으로 보상한다. 자동으로 보상 가능한 고주파 회로 성능 변수들은 중요한 요소인 입력 임피던스, 전압이득과 잡음지수를 포함한다. 이러한 회로는 미세 변동을 자동으로 보상할 수 있도록 고주파 신호를 직류 신호로 변환하는 DFT (Design-for-Testability) 회로를 포함한다.

I. 서 론

최근 휴대용 기기를 비롯한 각종 무선통신 시스템 시장에 고주파 집적회로를 이용한 소자들이 널리 사용되고 있으며, 소자 개발을 위해 많은 연구가 진행되고 있다 [1-4]. 소비자들은 최첨단 무선통신 시스템에서 고밀도, 고속, 저전력, 저가 및 고신뢰성을 가진 고주파 소자들을 필요로 하고 있다. 이러한 요구에 부응하기 위해 이미 많은 연구가 진행되고 있다 [2-5].

GHz 대역에서 동작하는 고주파 소자들은 칩 제작과정에서 예기치 않은 미세 변동, 즉 PVT (공정, 전압, 온도) 변동이 필수적으로 수반되고, 이로 인해 회로 성능 변수들이 미세하게 변동하게 되며, 결국 회로 특성에 치명적인 영향을 미쳐 시스템이 오동작을 일으키게 된다. 이러한 문제점을 해결하기 위해 다양한 방법들이 진행되고 있으나 여전히 해결해야할 과제로 남아 있다 [1-5].

본 논문에서는 GHz대의 고주파 집적회로에서 발생하는 PVT 변동을 자동으로 보상할 수 있는 프로그램 가능 보상 회로 (PCC, Programmable Compensation Circuit)를 제안한다. 제안된 회로는 칩 제작과정에서 발생한

이러한 미세변동을 자동으로 검출하고 이를 자동으로 보상한다. 또한 전압이득 및 잡음지수와 같은 중요한 고주파 회로 성능 변수들의 미세 변동을 직류 신호로 변환해 주는 DFT (Design-for-Testability) 회로를 이용한다.

II. 회로 및 시스템 구성

본 논문에서 제안하는 PCC를 이용한 자동 보상 과정은 DFT와 PCC 두 회로의 동작으로 구성된다. DFT를 사용하지 않는 경우 고주파를 직류로 변환할 수 있는 회로 자체가 없기 때문에 고주파 회로 내의 PVT 변동으로 인한 고주파 신호 변화의 검출이 불가능하고, 따라서 이러한 경우 보상 회로를 이용한 보상은 할 수 없다. DFT가 적용된 경우 보상도 가능하다.

PCC의 성능을 증명하기 위해 고주파 시스템으로써 고주파 저잡음 증폭기를 제작하였다. 그림 1은 PCC를 가진 고주파 저잡음 증폭기를 나타낸 것이다. 이러한 회로는 IEEE 802.11a 무선 근거리 통신망(Wi-Fi 802.11a)에 응용하기 위해 설계되었다. 1볼트 전원전압에서 동작하며, 저전압 전원 공급에서도 높은 이득과 낮은 잡음지수를 가지도록 첫째 단과 다음 단간에 교류

결합 특성을 가진 2단 구조의 CE-CE(공통 에미터-공통 에미터) 토폴로지를 이용하였다. 저잡음 증폭기 칩은 Freescale Semiconductor 사의 0.18 μ m BiCMOS SiGe 공정으로 제작되었다. 칩 면적은 대략 1.2 mm²를 차지한다.

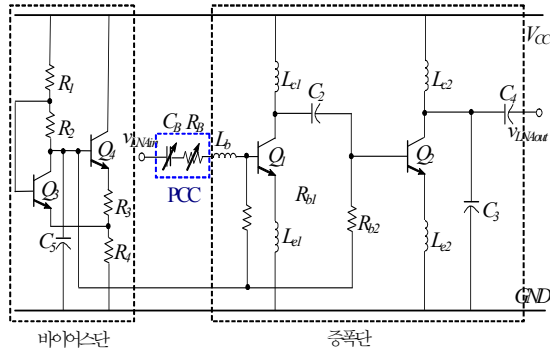


그림 1. 프로그램 보상 회로를 가진 저잡음 증폭기

그림 2는 제안하는 8비트 프로그램 보상 회로도를 나타낸 것이다. 이러한 회로는 고주파 시스템의 성능을 좀 더 정확하게 보상하기 위해 8비트로 구성되어 있다. 각 저항 어레이(4R_b)는 DSP 하드웨어로부터 디지털 신호(D₈...D₂D₁)에 의해 제어된다. 입력 데이터 스트림이 (D₈...D₂D₁)=(0...01)일 경우 R_{b1}+R_{b2}=8R_b의 값이 출력되고, (D₈...D₂D₁)=(1...11)일 경우 R_{b1}+R_{b2}=R_b의 값이 출력된다. 여기서, R_b는 회로 내에 결합이 없는 경우 저항 값을 나타낸다. 회로는 1.8V 전압에서 동작을 한다.

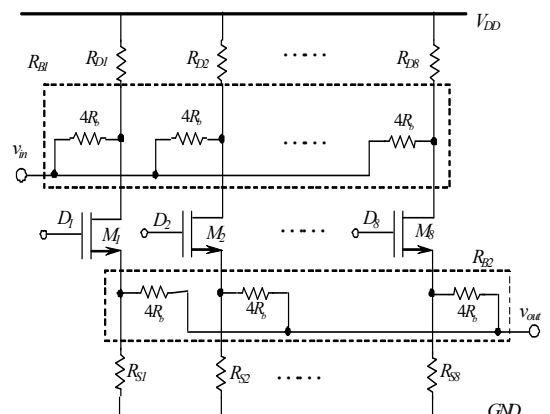


그림 2. 8비트 프로그램 보상 회로도

본 연구에서는 미세 변동이 있는 경우와 없는 경우를 고려하면서 저잡음 증폭기에 대해 모든 가능한 고주파 사양들에 대한 수식을 유도하였다. 이러한 수식들이 표 1에 요약되어 있다. 상세한 유도 과정은 참고문헌 [2-4]에서 발견할 수 있다.

표 1. 제안된 BIST 회로를 이용해서 개발된 수학적 표현식

고주파 사양	미세 변동이 없는 경우	미세 변동이 있는 경우
입력 임피던스	$Z_1 = \frac{K_1(R_s Z_2)}{K_1(R_s - Z_2) + Z_2} [\Omega]$	$Z_1' = \frac{K_1'(R_s Z_2)}{K_1'(R_s - Z_2) + Z_2} [\Omega]$
전압이득	$G_1 = G_{01} \left(1 + \frac{R_s}{Z_1}\right)$	$G_1' = G_{01}' \left(1 + \frac{R_s}{Z_1'}\right)$
잡음지수	$NF = 1 + \left(\frac{Z_1}{R_s + Z_1}\right)^2 \cdot \alpha$	$NF' = 1 + \left(\frac{Z_1'}{R_s + Z_1'}\right)^2 \cdot \alpha'$

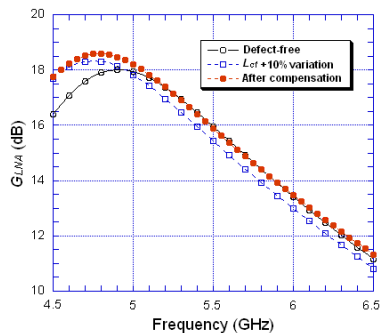
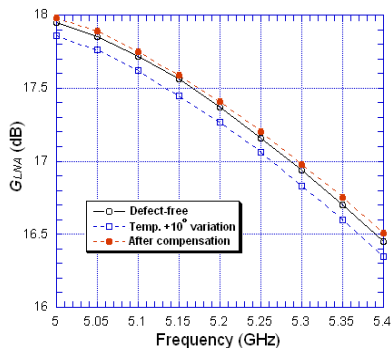
III. 시뮬레이션 및 실험 결과

표 2는 DFT 회로의 출력에서 측정된 직류 전압 V_{T1}, V_{T2}와 위상차 θ_T 를 주파수에 따라 나타낸 것이다. 이러한 값들은 고주파 시스템에 미세 변동이 없을 경우 DFT에 의한 시뮬레이션 및 측정된 결과를 나타낸 것이다. 측정된 결과는 10번의 측정 결과를 평균해서 획득된 것이고, 시뮬레이션 결과는 고주파 시스템 내에 미세 변동이 없을 경우에 대해 $\pm 2\%$ 이내의 범위에서 Monte Carlo 시뮬레이션 수행에 의해 획득된 것이다. 이러한 값들은 저잡음 증폭기의 입력 임피던스, 전압 이득 및 잡음 지수를 구하는데 사용되었다. θ_T 의 변화는 값의 차이는 있으나 비교적 동일한 경향을 보였다.

표 2. DFT 회로에 의해 측정된 V_{T1(ref)}, V_{T2(ref)} 및 $\theta_{T(ref)}$

Frequency [GHz]	V _{T1(ref)} [mV]		V _{T2(ref)} [mV]		$\Delta\theta_{T(ref)}$ [°]	
	Simulation	Measurement	Simulation	Measurement	Simulation	Measurement
4.50	400	343.8	166.20	205.3	-24	-20
4.75	421	335.7	160.30	218.2	-16	-11
5.00	448	304.8	171.40	213.4	-8	-2
5.25	445	274.9	180.00	205.4	0	2
5.50	432	253.0	189.00	182.3	8	4
5.75	418	232.0	191.05	168.1	16	10
6.00	406	219.1	192.02	160.2	24	16

그림 3(a) 및 7(b)는 L_{cl} 성분의 10% 공정 변동 및 온도 10°C 변동에 대한 전압이득 보상 결과를 각각 나타낸 것이다. 시뮬레이션 결과, 그림 1에 나타낸 인덕터 L_{cl} 이 저잡음 증폭기의 전압 이득에 가장 민감하며, 가장 큰 영향을 미치는 성분이기 때문에 L_{cl} 에 따른 미세 공정 변동을 연구하였다. 본 연구에서 제작된 저잡음 증폭기는 5.2GHz의 동작주파수를 가지고 있기 때문에 보상 효과가 이 동작주파수에서 진행되었다. 그림 3(a)에서 알 수 있듯이 L_{cl} 성분의 10% 공정 변동에 대해 5.2GHz에서 결함이 없는 경우에 비해 0.43dB의 이득이 감소하였으나, 자동 조정 후 이득 감소가 보상되었다. 0.43dB의 이득 증가를 위해 입력 데이터 스트림이 $(D_8 \cdots D_4 D_3 D_2 D_1) = (0 \cdots 0111)$ 일 경우, 즉 $8R_b/3$ 의 값이 적용되었다. 그림 3(b)의 온도 10°C 증가에 대해 5.2GHz에서 결함이 없는 경우에 비해 약 0.1dB의 이득이 감소하였으나, 입력 데이터 스트림이 $(D_8 \cdots D_6 D_5 D_4 D_3 D_2 D_1) = (00011111)$ 일 경우, 즉 $8R_b/5$ 의 값이 적용된 경우 우수한 보상 효과를 보였다.

(a) L_{cl} 성분의 10% 공정 변동

(b) 온도 10°C 변동

그림 3. 미세 변동에 대한 전압이득 보상 결과

IV. 결론

고주파 회로 제작과정에서 예기치 않게 발생하는 공정 및 온도 변동을 검출하고 자동으로 보상할 수 있는 프로그램 가능 보상 회로를 제안하였다. 이러한 회로는 미세 변동을 검출할 수 있는 DFT 회로와 이를 자동으로 보상할 수 있는 프로그램 가능 보상 회로(PCC)로 구성되었다. DFT 회로는 미세 변동을 증폭시키기 위한 검사용 증폭단과 고주파 신호를 직류로 변환하기 위한 피크 검출기단으로 구성하였다. 제안된 회로는 전압이득과 잡음지수의 미세변동에 대해 $\pm 2\%$ 이하의 편차 범위에서 우수한 보상 특성을 보였다.

참고문헌

- [1] Y. Dajiang, D. Yuanli, S. Huang, "A 65-nm High-Frequency Low-Noise CMOS-Based RF SoC Technology," *IEEE Transactions on Electron Devices*, Vol. 57, No. 1, pp. 328-335, Jan. 2010.
- [2] J.-Y. Ryu and S.-H. Noh, "A New Automatic Compensation Network for System-on-Chip Transceivers," *ETRI Journal*, Vol. 29, No. 3, pp. 371-380, June 2007.
- [3] J.-Y. Ryu and S.-H. Noh, "New Programmable RF DFT Circuit for Low Noise Amplifiers," *Journal of Korea Institute of Telematics and Electronics*, Vol. 44, No. 4, pp. 28-39, April 2007.
- [4] J.-Y. Ryu and S.-H. Noh, "A New Approach for Built-in Self-Test of 4.5 to 5.5GHz Low Noise Amplifiers," *ETRI Journal*, Vol. 28, No. 3, pp. 355-363, June 2006.
- [5] J. Dabrowski, "BiST Model for IC RF-Transceiver Front-End," *2003 Proceedings of the 18th IEEE Int. Sym. on DFT in VLSI SYSTEMS*, Vol. 18, No.1, pp. 295-302, Nov. 2003.