

---

# 이중게이트 MOSFET의 채널도핑분포의 형태에 따른 문턱전압특성분석

정חק기, 한지형, 이재형, 정동수, 이중인, 권오신  
군산대학교 전자공학과

## Analysis of Channel Doping Profile Dependent Threshold Voltage Characteristics for Double Gate MOSFET

Hakkee Jung·Jihyung Han·Jaehyung Lee·Dongsoo Jeong·Jongin Lee·Ohshin Kwon  
Department of Electronic Eng., Kunsan National University

### 요 약

본 연구에서는 차세대 나노소자인 DGMOSFET에서 발생하는 단채널효과 중 하나인 문턱전압특성에 대하여 분석하고자 한다. 특히 포아송방정식을 풀 때 전하분포를 가우시안 함수를 사용함으로써 보다 실험값에 가깝게 해석하였으며 이때 가우시안 함수의 변수인 이온주입범위 및 분포편차에 대하여 문턱전압의 변화를 관찰하고자 한다. 포아송방정식으로 부터 해석학적 전위분포 모델을 구하였으며 이를 이용하여 문턱전압을 구하였다. 문턱전압은 표면전위가 페르미전위의 두배가 될 때 게이트 전압으로 정의되므로 표면전위의 해석학적 모델을 구하여 문턱전압을 구하였다. 본 연구의 모델이 타당하다는 것을 입증하기 위하여 포텐셜 분포값을 수치해석학적 값과 비교하였다. 결과적으로 본 연구에서 제시한 포텐셜모델이 수치해석학적 시뮬레이션모델과 매우 잘 일치하였으며 DGMOSFET의 도핑분포 함수의 형태에 따라 문턱전압 특성을 분석하였다.

### Abstract

In this paper, threshold voltage characteristics have been analyzed as one of short channel effects occurred in double gate(DG)MOSFET to be next-generation devices. The Gaussian function to be nearly experimental distribution has been used as carrier distribution to solve Poisson's equation, and threshold voltage has been investigated according to projected range and standard projected deviation, variables of Gaussian function. The analytical potential distribution model has been derived from Poisson's equation, and threshold voltage has been obtained from this model. Since threshold voltage has been defined as gate voltage when surface potential is twice of Fermi potential, threshold voltage has been derived from analytical model of surface potential. Those results of this potential model are compared with those of numerical simulation to verify this model. As a result, since potential model presented in this paper is good agreement with numerical model, the threshold voltage characteristics have been considered according to the doping profile of DGMOSFET.

### 키워드

DGMOSFET, 도핑분포, 가우시안 분포, 포아송방정식, 문턱전압, 단채널효과

### I. 서론

최근 고집적회로용 초소형 트랜지스터의 개발에 각 메이저급 메모리업체의 관심이 집중되고 있다. 그러나 트랜지스터를 초소형으로 제작할 때 발생하는 단채널효과 때문에 개발에 어려움을 겪고 있다. 단채널효과는 문턱전압의 변화, 문턱전압이하 스윙값의 저하, 드레인전압 유기장벽감소 등 여러 가지 효과로 나타나면서 결국 소자의 특성을 저하시켜 집적회로에서 초소형 트랜지스터의 사용을 제한하고 있다. 이러한 문제점을 해결하기 위하여 개발되는 소자중 가장 유망한 트랜지스터로서는 이중게이트 MOSFET와 같은 다중게이트 트랜지스터가 있다. 다중게이트 트랜지스터는 수직형 이중게이트 트랜지스터를 비롯하여 FinFET형과 서라운드형 FET에 이르기까지 다양한 형태로 개발되고 있다.[1,2] 특히 최근 소자가 20nm이하의 나노화가 진행되면서 이러한 다중게이트 MOSFET의 구현에 많은 노력을 기울이고 있다.

본 논문에서는 이중게이트 MOSFET의 채널도핑이 비선형적으로 분포될 때 함수의 모양에 따라 문턱전압의 변화를 관찰하고자 한다. 포아송방정식을 풀 때 전하분포는 일반적으로 최소전위에 따라 지수함수적으로 변화하는 볼츠만통계를 이용하였으나 본 연구에서는 가우스함수를 이용하고자 한다. 특히 가우스함수의 모양에 따라 문턱전압의 변화를 관찰하기 위하여 이온주입범위 및 분포편차를 변화시켰다.

문턱전압은 ON/OFF의 스위칭에 의한 메모리 역할을 하는 디지털소자에서 매우 중요한 요소이다. 특히 단채널소자 제작시 나타나는 문턱전압값의 변화는 일정한 값을 유지해야만 하는 문턱전압값을 정확히 제어할 수 없기 때문에 트랜지스터 소자의 미세화에 큰 장애가 되고 있다. 그러므로 문턱전압값의 정확한 분석은 소자 미세화의 기초가 될 것이므로 본 연구에서는 가장 실험값에 가까운 도핑분포함수인 가우스함수의 변화에 따라 포아송방정식을 풀어 전위분포를 구한 후, 이를 이용하여 문턱전압을 분석하고자 한다. 특히 문턱전압의 해석학적 모델을 구함으로써 간편하게 문턱전압의 변화를 관찰할 수 있도록 하였다.

### II. 비선형 도핑분포를 이용한 포아송방정식의 해

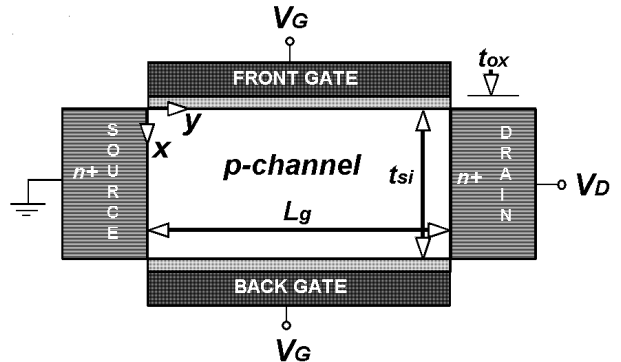


그림 1. DG MOSFET의 개략도

Fig. 1. Schematic diagram of DG MOSFET

그림 1은 이 연구에서 사용한 DG MOSFET의 개략도이다. 이 구조의 x,y방향에 대한 전위분포를 구하기 위하여 포아송방정식을 이용하였다.

$$\nabla^2 \psi = qn(x)/\epsilon_{si} \tag{1}$$

여기서  $n(x)$ 는 채널내 도핑농도로서 식 (2)와 같은 비선형 가우시안 분포함수를 이용하였다.

$$n(x) = \frac{N_i}{\sqrt{2\pi}\sigma_p} e^{-\frac{(x-R_0)^2}{2\sigma_p^2}} \tag{2}$$

여기서  $N_i$ 는 이온주입시 도즈량이며  $R_0$ 와  $\sigma_p$ 는 각각 이온주입의 범위 및 분포편차를 나타낸다. 또한  $N_i/\sqrt{2\pi}\sigma_p$ 는 상수값으로  $N_p$ 라 하였다. 식 (1)을 풀기위한 경계조건은 다음과 같다.

$$\begin{aligned} \phi(x,y) |_{x=0} &= \phi_s(x) \\ \frac{\epsilon_{ox}}{t_{ox}} [V_G - V_{fb} - \phi(0,y)] &= -\epsilon_{si} \frac{\partial \phi}{\partial x} |_{x=0} \tag{3} \\ \phi(0,0) &= V_{bi} \\ \phi(0,L_g) &= V_{bi} + V_D \end{aligned}$$

이 식에 대한 분석학적 모델은 이미 발표한 논문의 식을 참조하였다.[3,4]

참고문헌 [3]에서 구한 전위분포 및 표면전

위분포를 이용하였으며 문턱전압의 정의, 즉 표면전위가 페르미전위의 2배가 될 때의 게이트 전압을 구하여 변화를 관찰하였다. 정의를 이용하여 구한 문턱전압은 다음과 같다.

$$(4)$$



여기서  $H, P, K, N, B$  등의 상수는 참고문헌 [5]에 표시되어 있다. 식 (4)에서  $V_{fb}$ 는 평탄 전압,  $\phi_f$ 는 페르미전압,  $\epsilon_{Si}$ 는 실리콘의 유전율이며  $\lambda$ 는 특징값으로서 참고문헌 [3]에 표시되어 있다. 식 (4)를 이용하여 문턱전압을 구하였다. 이때 식(2)의 이온주입 범위 및 분포편차를 변화시키면서 문턱전압 값을 구하여 고찰하였다.

### III. 문턱전압의 변화에 관한 고찰

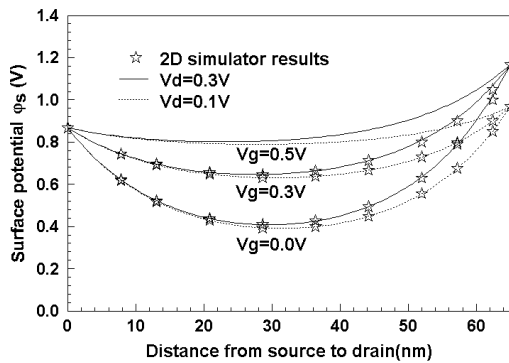


그림 2. 표면전위분포  
Fig. 2. Surface potential distribution

그림 2에 본 연구에서 사용한 분석학적 모델과 이차원시뮬레이터의 결과를 비교하였다. 비교결과 매우 잘 일치하는 것으로 나타났으므로 식 (4)를 이용하여 문턱전압을 분석할 것이다.

그림 3에 이온주입범위의 분포편차가 5nm일 때 이온주입범위를 5nm에서 10nm까지 변화시키면서 문턱전압의 변화를 관찰하였다. 결과적으로 문턱전압의 roll-off현상이 모든 분포함수에서 발생하며 이온주입범위가 클수록 문턱전

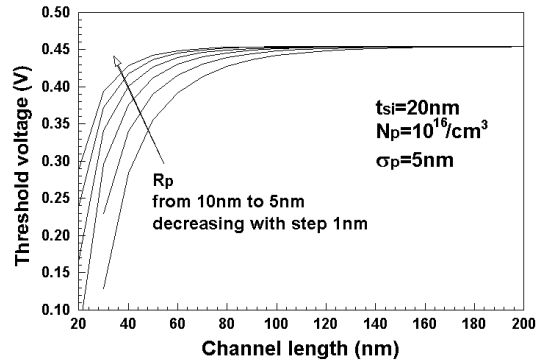


그림 3. 이온주입범위를 파라미터로 설정한 문턱 전압의 변화

Fig. 3. Threshold voltage roll-off with parameter of projected range

압의 변화는 더욱 크게 나타남을 관찰할 수 있었다. 또한 이온주입범위가 변화하여도 문턱전압의 변화분은 거의 일정하다는 것을 알 수 있다. 이와같은 문턱전압의 roll-off현상은 단채널효과와 대표적인 현상으로써 분포함수의 형태를 잘 고려하여 설계하여야 할 것이다.

그림 4에 도핑분포의 분포편차에 대한 문턱 전압의 변화를 도시하였다. 이온주입범위의 변화와 마찬가지로 분포편차의 변화에 따라 문턱 전압의 roll-off 현상이 변화함을 알 수 있었다. 분포편차가 작을수록 문턱전압의 변화는 더욱 크게 발생하고 분포편차가 증가할수록 문턱 전압의 변화분은 점점 일정해지는 것을 관찰할

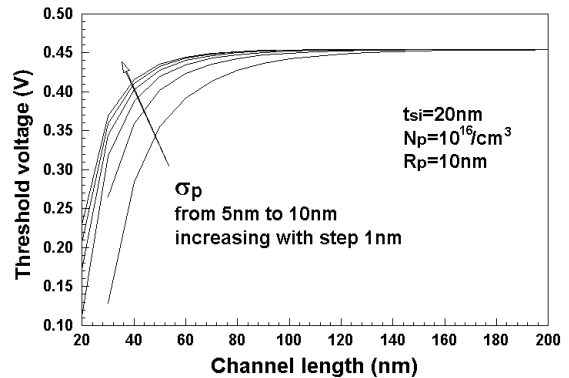


그림 4. 분포편차를 파라미터로 설정한 문턱전압의 변화

Fig. 4. Threshold voltage roll-off with parameter of standard projected deviation

수 있다. 그러므로 분포편차는 가능하면 큰 값을 사용하여야만 문턱전압의 roll-off현상을 감소시킬 수 있을 것이다.

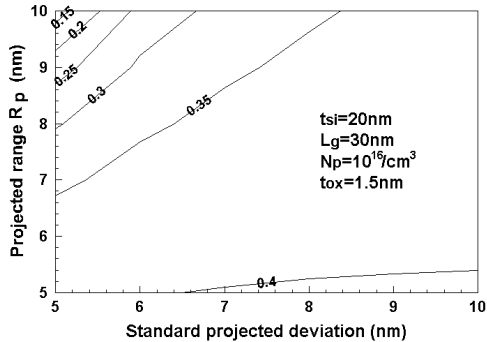


그림 5. 이온주입범위와 분포편차에 따른 동일한 문턱전압의 분포

Fig. 5. Contour of threshold voltage with projected range and standard projected deviation

그림 5에 채널내 도핑분포함수의 이온주입범위와 분포편차의 변화에 대하여 동일한 문턱전압을 갖는 그래프를 도시하였다. 그림에서 알 수 있듯이 이온주입범위가 증가할수록 문턱전압은 감소하며 분포편차가 증가할수록 문턱전압은 증가함을 알 수 있다. 그래프가 거의 직선으로 나타나는 것을 알 수 있는데 이는 이온주입범위와 분포편차가 동일한 문턱전압에 대하여 거의 선형적인 관계를 갖고 있다는 것을 의미한다. 즉 동일한 문턱전압을 유지하기 위하여 이온주입범위와 분포편차는 비례관계에 있다는 것을 알 수 있다.

#### IV. 결론

본 연구에서는 차세대 나노소자인 이중게이트 MOSFET에서 발생하는 단채널효과 중 하나인 문턱전압특성에 대하여 분석하였다. 포아송방정식을 풀 때 전하분포를 가우시안 함수를 사용함으로써 보다 실험값에 가깝게 해석하였으며 이때 가우시안 함수의 변수인 이온주입범위 및 분포편차에 대하여 문턱전압의 변화를 관찰하였다. 포아송방정식으로 부터 해석학적 전위분포 모델을 구하였으며 이를 이용하여 문

턱전압을 구하였다. 본 연구의 모델이 타당하다는 것을 입증하기 위하여 포텐셜 분포값을 수치해석학적 값과 비교하였다. 결과적으로 본 연구에서 제시한 포텐셜모델이 수치해석학적 시뮬레이션모델과 매우 잘 일치하였으며 이중게이트 MOSFET의 도핑분포 함수의 형태에 따라 문턱전압 특성을 분석하였다. 분석결과 이온주입범위가 증가할수록 그리고 분포편차가 감소할수록 문턱전압의 roll-off 현상은 매우 심하게 발생함을 알 수 있었다. 또한 동일한 문턱전압을 유지하기 위하여 이온주입범위와 분포편차가 거의 선형적인 관계를 유지하고 있다는 것을 관찰 할 수 있었다. 이상의 결과는 향후 이중게이트 MOSFET를 이용한 IC설계에 이용할 수 있다고 사료된다.

#### 참 고 문 헌

- [1] S.Namana, S.Baishya and K.Koley, "A Subthreshold Surface Potential Modeling of Drain/Source Edge Effect on Double Gate MOS Transistor," 2010 International Conference on Electronics and Information Engineering, vol. 1, pp.87-91, 2010.
- [2] P. Mishra, A.N.Bhoj and N.K.Jha, "Die-level leakage Power Analysis of FinFET Circuits Considering Process Variations," 11th international symposium on quality electronic design, pp.347-355, 2010.
- [3] P.K. Tiwari, S. Kumar, S. Mittal, V. Srivastava, U. Pandey and S. Jit, "A 2D Analytical Model of the Channel Potential and Threshold Voltage of Double-Gate(DG) MOSFETs with Vertical Gaussian Doping Profile," IMPACT-2009, pp.52-55, 2009.
- [4] G. Zhang, Z. Shao and K. Zhou, "Threshold voltage model for short channel FD-SOI MOSFETs with vertical Gaussian profile," IEEE Tran. Electron Devices, vol. 55, pp.803-809, 2008.
- [5] H.K.Jung, "Analysis of Doping Profile Dependent Threshold Voltage for DGMOSFET Using Gaussian Function," 한국해양정보통신학회 영문지, 심사중