
PCB에서 Resonance Frequency 영향을 고려한 최적 VIA 수 찾는 Algorithm 구현

이상경 김영길

아주대학교

요 약

최근 사용하는 정보량의 증가로 인해 디지털 회로가 점점 고속, 소형 집적화를 요구로 인해 인쇄회로 기판 역시 높은 신뢰성과 소형화가 요구되어 지고 있다. 특히 POWER PLAN / GROUND PLAN 간 임피던스 영향, 주파수 영향을 고려하여 GROUND / POWER VIA를 통해 개선하고 있으나 너무 많은 VIA가 사용되어 PCB 제조업체 입장에서는 단가 상승 및 납기 지연, 불량요인이 지속적으로 증가하고 있다. 하여 본 논문에서는 VIA 개체수 최적화를 검증 하기 위하여 정형화된 PCB구조의 기본 Design을 활용하여 POWER PLAN과 GROUND PLAN 사이에 VIA의 특정 개수에서 IMPEDANCE값이 수렴하는 것을 검증하여 최적화된 VIA개수를 찾아 보았다.

Key word

GROUND/POWER PLAN, INPUT IMPEDANCE, VIA, PI

I. 서 론

최근 사용하는 정보량의 증가로 인해 디지털 회로가 점점 고속, 소형 집적화를 요구하고 있다. 따라서 전자 제품의 다기능화 소형화 등으로 전자 제품에 사용되는 대부분의 부품들도 함께 소형화, 다기능화 되어지고 있다. 특히 인쇄회로 기판의 경우 다양한 부품들의 실장으로, 높은 신뢰성과 소형화가 요구되어 지고 있다.

이와 관련하여 고속 디지털 회로 구성과 POWER 구성이 복잡해지고 있어, POWER PLAN / GROUND PLAN 간 임피던스 영향, 주파수 영향을 고려하여 GROUND / POWER VIA를 통해 개선하고 있다.

이에 너무 많은 VIA가 사용되어 PCB 제조업체 입장에서는 단가 상승 및 납기 지연, 불량요인이 지속적으로 증가하고 있다.

VIA 개체수를 최적화 할 수 있다면 위와 같은 단가 상승 및 납기지연, 불량요인을 감소할 수 있다.

II. 본 론

본 논문에서는 VIA 개체수 최적화를 검증하기 위하여 정형화된 PCB구조의 기본 Design을 활용하여 PI(POWER INTEGRITY)해석 관련하여 POWER PLAN과 GROUND PLAN 사이에 INPUT IMPEDANCE를 통해 검증을 해 보았다.

PCB내의 저항성분으로 구조체 저항성분과 VIA의 저항 성분이 있으며, VIA는 병렬 구조로 이루어져 있어 VIA 수가 많을수록 저항값이 작아지게 되므로 INPUT IMPEDANCE를 줄일 수가 있다. 그러나 PCB DESIGN을 할 경우, 공간의 제약 및 COST 증가로 VIA개수를 무한히 늘리 수는 없다. 또한 무한히 증가한다고 IMPEDANCE의 값이 계속 낮아지는 것이 아니며, 어느 특정 개수에서 IMPEDANCE값이 수렴하는 것을 검증하여 최적화된 VIA개수를 찾아보았다.

VIA디자인 최적화 검증을 위해 정형화된 PCB일반 구조를 디자인 하였고, 디자인 된 모델은 그림 1과 같이 총 10층 구조로 최종 두께 1.04T이며, 유전체는

FR4_epoxy를 사용하였고 50mm X 50mm 크기로 그림 2와 같다. 적용된 VIA역시 10층 구조에 일반적으로 사용되는 $\varnothing 0.3$ PTH DRILL을 사용하였다.

Name	Type	Film	Material	Thickness (mm)
Layer1	METAL	NEGATIVE	copper	0.012
DIELECTRIC-1	DIELECTRIC		FR4_epoxy	0.08
Layer2	METAL	NEGATIVE	copper	0.012
DIELECTRIC-2	DIELECTRIC		FR4_epoxy	0.08
Layer3	METAL	NEGATIVE	copper	0.012
DIELECTRIC-3	DIELECTRIC		FR4_epoxy	0.08
Layer4	METAL	NEGATIVE	copper	0.018
DIELECTRIC-4	DIELECTRIC		FR4_epoxy	0.45
Layer5	METAL	NEGATIVE	copper	0.018
DIELECTRIC-5	DIELECTRIC		FR4_epoxy	0.08
Layer6	METAL	NEGATIVE	copper	0.012
DIELECTRIC-6	DIELECTRIC		FR4_epoxy	0.08
Layer7	METAL	NEGATIVE	copper	0.012
DIELECTRIC-7	DIELECTRIC		FR4_epoxy	0.08
Layer8	METAL	NEGATIVE	copper	0.012

그림 1. LAYER STRUCTURE

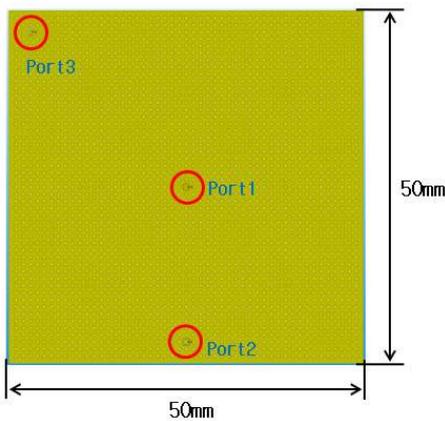


그림 2. DESIGN SIZE 및 PORT 위치

VIA디자인 최적화를 위해 50mm X 50mm 크기의 PCB 디자인에 제조 및 설계 기준으로 $\varnothing 0.3$ PTH DRILL 최대 가공가능 개수 2398개에서 약 1/2개로 줄여가며, 2398개, 1151개, 622개, 311개, 168개, 84개, 48개, 24개, 8개 그림 3과 같이 총 9개의 VIA개수 INPUT IMPEDANCE를 비교해 보았다.

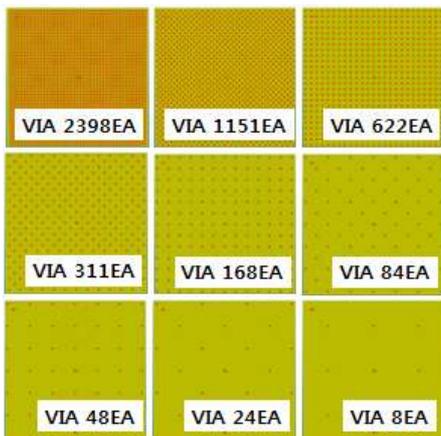
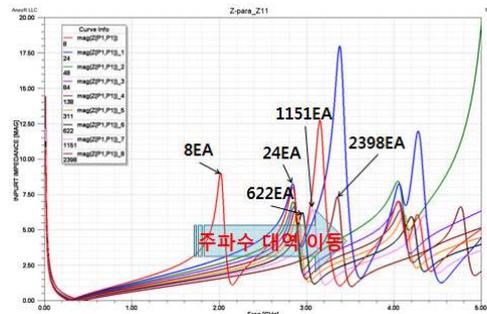


그림 3. 해석 DESIGN 종류 및 VIA 개수

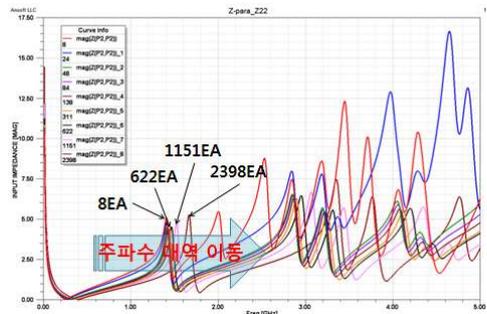
INPUT IMPEDANCE 해석은 ANSOFT社 PI/SI전용 해석 TOOL인 SIwave v4.0을 활용하여 그림2에서 볼 수 있듯이 검증 위치를 모델 중간(Port1), 모델 아래쪽 중간(Port2), 모델 모서리(Port3) 3개의 위치에서 10MHz ~ 5GHz까지 해석해 보았다.

해석 결과 VIA의 개수가 늘어남에 따라 INPUT IMPEDANCE의 크기는 줄어들고, 공진 주파수 대역은 HIGH FREQUENCY 대역으로 이동하는 것을 확인 할 수 있었다. 그림 좀 더 세부적으로 주파수 대역 이동, IMPEDANCE 크기 감소, 높은 IMPEDANCE를 가지는 VIA의 개수 등을 확인해 보도록 하자.

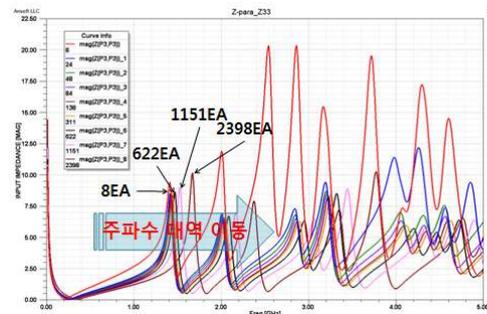
먼저 VIA개수에 따른 주파수 대역이동의 경우 그림 4에서 보면 알 수 있듯이 PORT1,2,3모두에서 VIA의 개수가 증가함에 따라 주파수가 HIGH FREQUENCY대역으로 이동하는 것을 확인 할 수 있다.



(a) PORT1 INPUT IMPEDANCE



(b) PORT2 INPUT IMPEDANCE



(c) PORT3 INPUT IMPEDANCE

그림 4. VIA개수에 따른 주파수 대역 이동

다음으로 VIA개수에 따른 IMPEDANCE 크기 변화를 보면 그림 5와 같이 대부분의 주파수 대역에서 주파수 대역의 이동과 공진 주파수 기울기가 줄어들면서 IMPEDANCE크기가 줄어드는 것을 확인할 수 있다.

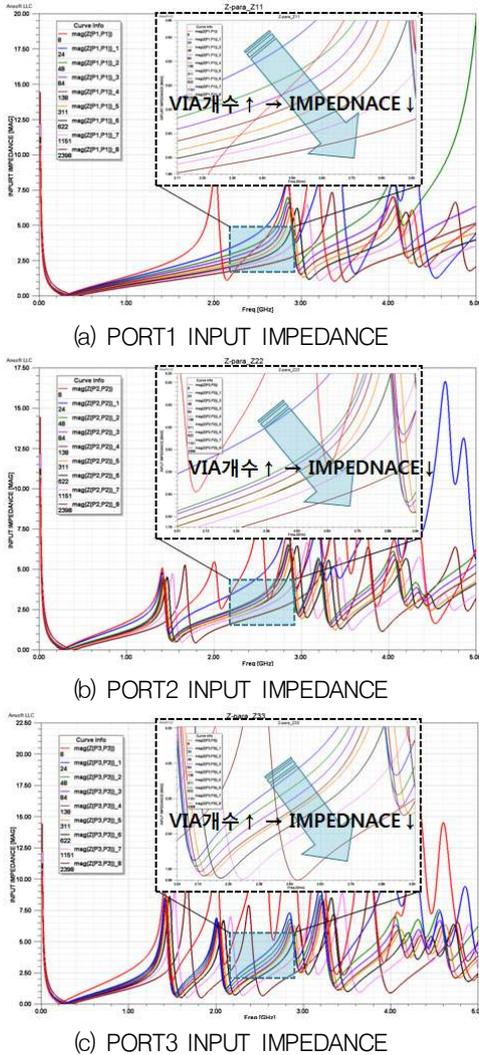


그림 5. VIA개수에 따른 IMPEDANCE 크기 변화

마지막으로 공진 주파수에서의 IMPEDANCE 크기를 비교해 보면 각 VIA의 개수에 따라 각각 공진 주파수에서의 PICK점에서의 IMPEDANCE 크기가 존재하고 이때 평균적인 RESONANCE PICK점 대비 높은 IMPEDANCE 구간과 낮은 IMPEDANCE 구간으로 구분해 보았다.

해석 결과 그림 6과 같이 PORT1,2,3점에서 VIA개수가 8 ~ 48개의 경우 높은 IMPEDANCE 구간에서 PICK점이 존재하여 제품 특성에 많은 영향을 끼칠 것으로 판단된다.

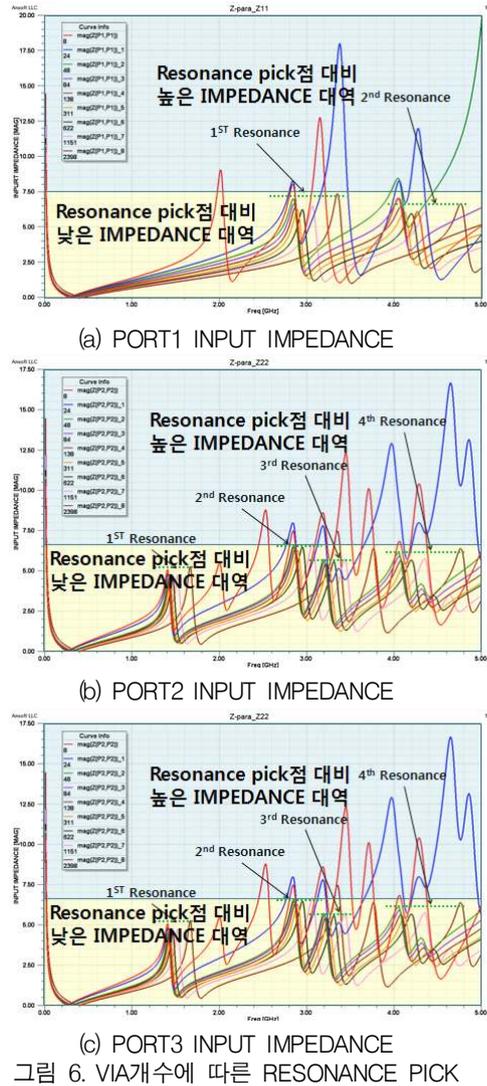


그림 6. VIA개수에 따른 RESONANCE PICK

V. 결 론

본 논문에서는 정형화된 PCB 구조에서 최적의 VIA 개수를 찾기 위해 3가지 관점에서 VIA개수에 따른 특성변화를 살펴보았으며, 3가지 관점 중 마지막 공진 주파수에서의 IMPEDANCE 크기를 비교해 본 결과 VIA의 개수가 8~48개의 경우 높은 IMPEDANCE 구간에서 PICK점이 존재하여 제품 특성이 나쁠 것으로 판단되며, 상기 내용이 COMPUTER SIMULATION 특성평가이므로 실제 제품과 약 50% 이상 MARGIN을 두더라도 상기 모델에서는 VIA의 개수가 100개 이상 늘어날 경우 IMPEDANCE 크기 변화가 크지 않을 것으로 판단된다.

그러므로 실제 양산 제품의 경우에도 상기와 같은 평가를 통해 최적의 VIA 개수를 검증 가능하며, 최적화된 VIA의 개수는 제조 원가 상승 기피, 불량방지 등에 기여할 것으로 판단된다.

참고문헌

- [1] D.Anil Pannikkat, "Power delivery modeling and design methodology for a programmable logic device package", *IEEE* 2004.
- [2] 김리진, 이재현, "관통형 비아가 있는 다층 PCB의 SI 성능 연구", 한국전자파 학회, 한국전자파 학회논문지, 제21권 제2호 2010.2, page(s): 188-193
- [3] 공영관, 조규상, 김병기, 김종민, 나완수, "PCB상 관통형 비아(Through-hole Via)와 전송선로 구조에 대한 전기적 파라미터 추출", 대한전기학회, 2010 대한전기학회 제 41회 하계학술대회 2010.7, page(s):2237-2238