

---

# A 1.8V 50-MS/s 10-bit 0.18-um CMOS Pipelined ADC without SHA

어지훈\* · 김원명\* · 김상훈\* · 장영찬\*

\*금오공과대학교

## A 1.8V 50-MS/s 10-bit 0.18-um CMOS Pipelined ADC without SHA

Ji-Hun Uh\* · Won-Myung Kim\* · Sang-Hun Kim\* · Young-Chan Jang\*

\*Kumoh National Institute of Technology

E-mail : ycjang@kumoh.ac.kr

### 요 약

본 논문은 1.2Vpp differential 입력 범위를 가지는 50-MS/s 10-bit pipelined ADC를 소개한다. 설계된 pipelined ADC는 8단의 1.5bit/stage, 1단의 2bit/stage와 digital correction 블록, bias circuit 및 reference driver, 그리고 clock generator로 구성된다. 1.5bit/stage는 sub-ADC, DAC, gain stage로 구성된다. 특히, 설계된 pipelined ADC에서는 hardware와 power consumption을 줄이기 위해 SHA를 제거하였으며, 전체 ADC의 dynamic performance를 향상시키기 위해 linearity가 개선된 bootstrapped switch를 사용하였다. Sub-ADC를 위한 reference 전압은 외부에서 인가하지 않고 on-chip reference driver에서 발생시킨다. 제안된 pipelined ADC는 1.8V supply, 0.18 $\mu$ m 1-poly 5-metal CMOS 공정에서 설계되었으며, power decoupling capacitor를 포함하여 0.95mm<sup>2</sup>의 칩 면적을 가진다. 또한 60mW의 전력소모를 가진다. 또한, Nyquist sampling rate에서 9.3-bit의 ENOB를 나타내었다.

### ABSTRACT

A 50-MS/s 10-bit pipelined ADC with 1.2Vpp differential input range is proposed in this paper. The designed pipelined ADC consists of eight stage of 1.5bit/stage, one stage of 2bit/stage, digital error correction block, bias & reference driver, and clock generator. 1.5bit/stage is consists of sub-ADC, DAC and gain stage. Specially, a sample-and hold amplifier (SHA) is removed in the designed pipelined ADC to reduce the hardware and power consumption. Also, the proposed bootstrapped switch improves the linearity of the input analog switch and the dynamic performance of the total ADC. The reference voltage was driven by using the on-chip reference driver without external reference. The proposed pipelined ADC was designed by using a 0.18 $\mu$ m 1-poly 5-metal CMOS process with 1.8V supply. The total area including the power decoupling capacitor and power consumption are 0.95mm<sup>2</sup> and 60mW, respectively. Also, the simulation result shows the ENOB of 9.3-bit at the Nyquist sampling rate.

### 키워드

ADC, pipeline, bootstrapped switch, reference-driver

## 1. 서 론

Analog-to-Digital Converter (ADC)는 이동통신 단말기, 광대역 모뎀 등과 같은 통신 분야, HD (high Definition) TV, 캠코더, SET-TOP BOXES, 스캐너 등과 같은 영상 신호 처리 분야, MRI (Magnetic-Resonance Imaging), CT (Computed Tomography), 보청기 등의 의료기기 분야, 음성인식, 비디오 그래픽 제어기 센서 등 여러 분야에 널리 쓰이고 있다. 최근의 ADC는

system-on-chip화로 다른 function의 block들과 함께 집적화된다. 이를 위해 ADC의 전력소모 및 block의 크기가 줄어들어야 한다.

본 논문에서는 영상 신호 처리 분야의 HDTV에 이용될 50MS/s 10-bit pipelined ADC가 소개된다. 설계된 ADC에서는 hardware와 전력소모를 줄이기 위해 sample-and-hold amplifier (SHA)가 제거되며, 전체 ADC의 dynamic performance를 향상시키기 위해 linearity가 개선된 bootstrapped switch를 이용한다.

## II. Pipelined ADC 구조

그림 1은 본 논문에서 소개하는 전체 ADC의 블록도이다. 9단으로 구성된 아날로그 블록과 아날로그 error를 보상하기 위한 디지털 블록으로 구성된다. 8개의 1.5bit/stage의 각 블록은 sub-ADC, DAC, 2의 이득을 가지는 증폭기로 구성되며, 1단의 2.0bit/stage는 2-bit ADC 만으로 구성된다. 설계된 pipelined ADC는 1.8V supply에서 1.2Vpp differential 입력 범위를 가지며, sub-ADC를 위한 reference 전압을 포함하여 모든 아날로그 블록을 위한 bias 전압은 외부에서 인가하지 않고 on-chip reference driver 및 band-gap reference circuit에서 생성되어 구동된다.

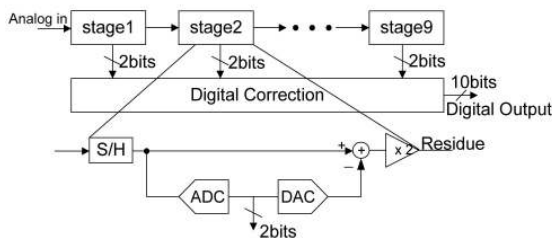


그림 1. 구현된 pipelined ADC 구조

Pipelined ADC의 각 단은 앞단의 출력을 샘플링하고 홀딩 한다. 그리고 sub-ADC는 입력에 대해 낮은 해상도의 디지털 신호를 출력하고 출력된 디지털 신호는 다시 DAC를 통해 아날로그 신호로 바뀌어진다. 마지막으로 뺄셈기는 입력에 대한 홀딩 된 신호와 DAC 출력의 차이인 잔류 전압을 증폭하여 다음 단으로 보낸다. 다음 단은 앞단의 증폭된 잔류 전압을 입력으로 받아서 디지털 신호를 출력하고, 동시에 앞단은 새로운 입력을 받아들여 위와 같은 동작을 반복한다. 잔류 전압은 계속 다음 단으로 전달되기 때문에 일정한 시간이 지나간 뒤에는 모든 단에서 각각 다른 입력에 대하여 동시에 디지털 신호를 출력한다. 하나의 입력 신호에 대해 각 단에서 출력된 디지털 신호는 시간 차이가 있기 때문에 완전한 출력을 얻기 위해서 먼저 출력된 디지털 신호를 저장하는 레지스터가 필요하다. 이는 디지털 블록에서 D flip-flop을 통해 수행된다. Pipelined ADC 회로는 비선형의 허용오차를 크게 하기위해 각 단의 해상도의 합이 전체 해상도 보다 더 크게 하는 redundancy를 둔다. 이 redundancy는 digital

correction에 의해 소거 될 때, sub-ADC의 비선형성과 각 단의 offset으로 인한 비선형성의 영향을 제거한다. 그리고 각 단에서 출력코드는 2-bit이지만 redundancy를 둬으로써 실제 1.5-bit에 해당하는 코드 값이 된다. 그리하여 sub-ADC 및 OP-Amp에서 발생할 수 있는  $1/4V_{REF}$  크기의 offset을 보상 할 수 있다 [1].

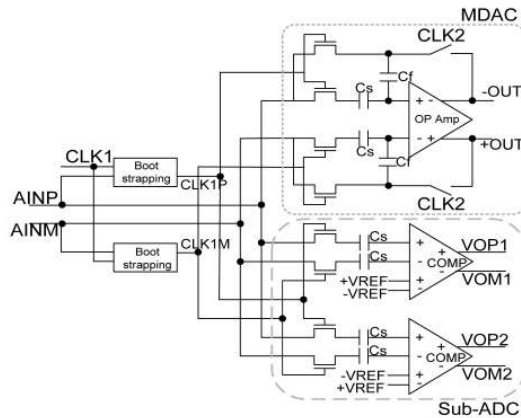


그림 2. 첫째 단의 입력 샘플링 네트워크

SHA는 pipelined ADC에서 가장 많은 전력을 소모하며, input bandwidth를 제한하는 block 중 하나이다. 그래서 본 연구에서는 적은 전력소모와 작은 칩 면적, 그리고 Nyquist frequency 이상의 광대역 입력신호를 변환하기 위해 SHA를 사용하지 않았다 [2]. 그림 2는 SHA 없는 첫째 단의 입력 샘플링 구조를 보여준다. Pipelined ADC는 sub-ADC, gain stage에 bootstrapped switch를 사용함으로써 SHA 없이 구현된다. Multiplying-DAC (MDAC)과 sub-ADC에서의 아날로그 입력 신호의 sample 과정 시 mismatch를 최소화시키기 위해 각 analog switch의 turn-on 저항과 load capacitance의 비율을 일정하게 유지시킨다. SHA를 사용하지 않고 첫 단에 bootstrapped switch를 사용하여 linearity를 향상시킨다.

그림 3은 기존 회로대비 load capacitor의 크기에 둔감하고 linearity가 개선된 bootstrapped switch를 나타낸 회로도이다. 우선 그림 3 (a)의 CLK이 low 일 때, M1, M2가 on되어  $C_B$ 를 VDD로 충전시킨다. 그 때 Boosting  $V_g$  노드는 M6, M8의 경로에 따라 ground로 reset 된다. 그 후 CLK이 high가 되면 M1과 M3는 off되고, M4가 on된다. 이 때, Boosting  $V_g$  노드의 parasitic

capacitor ( $C_{P1}$ ,  $C_{P2}$ ,  $C_{P3}$ )를  $V_{IN}$ 의 값으로 precharge 시켜주기 위해 그림 3(b)의 initialization block을 사용한다. Precharge 시켜주는 구간동안  $C_B$ 의 Top과 Boosting  $V_g$  노드를 격리시키기 위해 M10은 off, M11은 on되어 M5를 off 시켜준다. 이 precharge 구간 후, M2는 off, M10은 on, M11은 off 됨으로써 M5가 완전 on 된다. M7과 M9가 on되어  $C_B$ 의 bottom이  $V_{IN}$ 이 되고 따라서  $C_B$ 의 top이  $VDD+V_{IN}$ 이 된다. M5를 통해 Boosting  $V_g$  노드는  $VDD+V_{IN}$ 의 값을 가지게 되어, M7, M9의  $V_{CS}$ 의 값이 일정한 값을 가지게 되고, Boosting  $V_g$  노드의 parasitic capacitor의 영향을 줄인다.

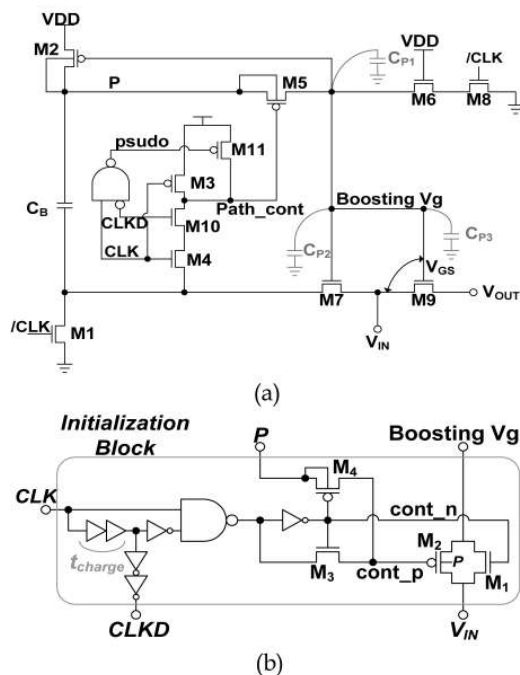


그림 3. (a) bootstrapped switch 회로도 (b) initialization block 회로도

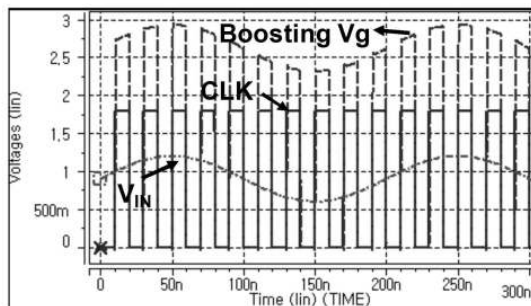


그림 4. Bootstrapped switch의 simulation 결과 (@TT corner)

그림 4는 bootstrapped switch simulation을 나타낸다. 입력신호( $V_{IN}$ )의 주파수는 5MHz이며, CLK은 50MHz이다. 1.8V supply를 사용하여  $V_{IN}$ 에 따라 Boosting  $V_g$  노드가  $VDD+V_{IN}$ 이 됨을 알 수 있다.

그림 5는 NMOS input transistor를 가지는 folded cascode CMOS OP-Amp의 회로도이다. Folded cascode 구조의 OP-Amp는  $VDD$ 와  $VSS$  사이에 4개의 트랜지스터만으로 구성되어 저전압에서 사용하기 유리하고, 증폭 단이 한 단 밖에 없어서 출력 단의 부하 커패시터로만 주파수 보상이 가능하므로 별도의 주파수 보상용 커패시터를 필요로 하지 않는다. Folded cascode CMOS OP-Amp는 10-bit의 linearity를 가지기 위해서 60dB 이상의 dc gain을 가져야 한다. A1, A2는 OP-Amp의 gain을 향상시키기 위해 사용된다[3]. 설계된 folded cascode CMOS OP-Amp는 typical corner에서 84.4dB의 dc gain과 60°의 phase margin을 가진다.

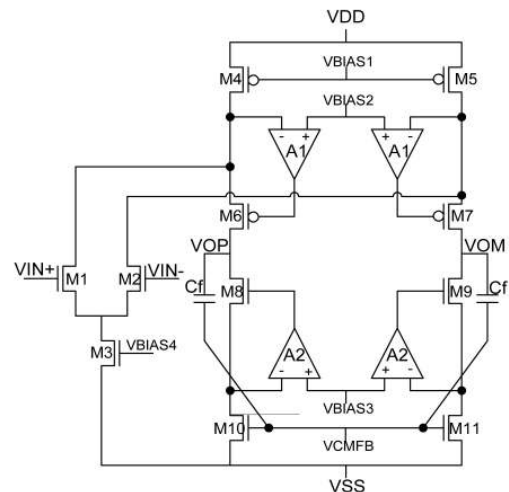


그림 5. Folded cascode CMOS OP-Amp 구조

그림 6은 외부에서 reference 전압을 공급하지 않고 on-chip에서 생성된 reference 공급하기 위한 reference driver의 회로도이다. 이 회로는 band-gap으로 reference 회로로부터 REF\_INT 신호를 입력받아 각 stage에 필요한 reference 신호를 만들며, VRP, VRCM, 그리고 VRM의 3가지 신호는 folded cascode OP-Amp로 구성된 아날로그 buffer에 의해 구동된다. 그리고 VRP, VRM의 folded cascode OP-Amp는 안정되게 settle하고, loading의 부담을 줄이기 위해 VRCM의 folded cascode OP-Amp 보다 큰 면적으로 설계된다.

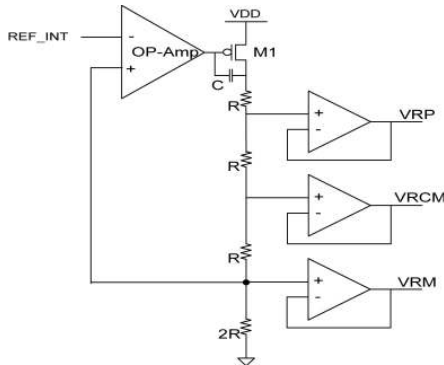


그림 6. Reference-driver 회로도

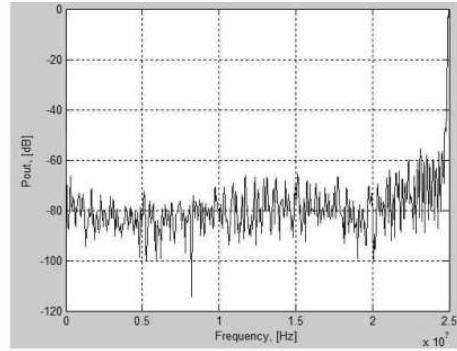


그림 8. 구현된 ADC의 dynamic 특성

### III. 칩 제작 및 시뮬레이션 결과

제안된 50MS/s 10-bit pipelined ADC는 1.8V supply를 가지는 0.18 $\mu$ m 1-poly 5-metal CMOS 공정에서 설계되었다. 그림 7은 구현된 pipelined ADC의 layout이다. 이는 전체 아날로그 블록과 디지털블록으로 구성된다. 아날로그 블록은 stage1~9, band-gap reference, reference driver, bias로 구성된다. 디지털 블록은 clock generator와 디지털 correction 블록으로 구성된다. Power decoupling capacitor를 포함하여 0.95mm<sup>2</sup>의 칩 면적을 가지며, 60mW의 전력소모를 가진다.

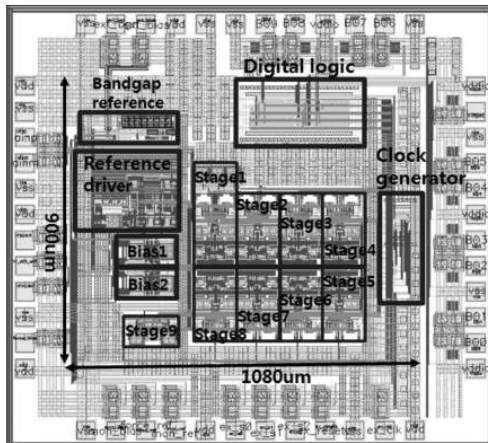


그림 7. Pipelined ADC의 layout

그림 8은 위와 동일한 조건에서 24.9MHz의 입력신호에 대한 pipelined ADC의 출력을 FFT한 결과이다. 56.43dB의 SNDR을 보였으며, 9.3-bit의 ENOB를 나타내었다. 표 1은 제안한 pipelined ADC의 performance summary이다.

### IV. 결론

1.2Vpp 입력 범위를 가지는 50MS/s 10-bit pipelined ADC가 제안되었으며 1.8V supply를 가지며 0.18 $\mu$ m CMOS 공정에서 설계되었다.

표 1. Pipelined ADC의 performance summary

|                   |                     |
|-------------------|---------------------|
| Resolution        | 10-bit              |
| Conversion Rate   | 50MS/s              |
| Process & Supply  | 0.18 $\mu$ m @1.8V  |
| Input Range       | 1.2Vpp              |
| SNDR              | 56.43dB             |
| Chip size         | 0.95mm <sup>2</sup> |
| Power Consumption | 60mW                |

설계된 pipelined ADC는 sub-ADC, DAC, gain stage 및 디지털 블록으로 구성된다. SHA를 사용하지 않고 bootstrapped switch를 사용하여 linearity를 향상시켰다. 또한 reference 전압을 외부에서 인가하지 않고 on-chip reference driver를 설계하였다. 제안된 pipelined ADC는 24.9MHz, 1.2Vpp의 입력신호에 대해 50MS/s의 sampling 속도에서 56.43dB의 SNDR, 9.3-bit의 ENOB를 나타내었다. Power decoupling capacitor를 포함하여 0.95mm<sup>2</sup>의 칩 면적을 가지며, 60mW의 전력소모를 가진다.

### Acknowledgment

This research was supported by Basic Science Research Program through the National Research Foundation of Korea (NRF) funded by the Ministry of Education, Science and Technology (2010-0006314) and IDEC.

### 참고문헌

[1] Hee-cheol choi, *et. al.*, "A 12b 50MS/s 10.2mA 0.18 $\mu$ m CMOS Nyquist ADC with a fully differential class-AB switched OP-AMP" VLSI Circuits, 2008 IEEE Symposium on, pp. 220-221, 2008

[2] Abo, A.M, *et. al.*, "A 1.5V, 10-bit, 14.3-MS/s CMOS Pipeline Analog-to-Digital Converter," *IEEE JSSC*, vol. 34, pp. 599-606, 1999

[3] "CMOS 아날로그 집적회로 설계(상,하)", 시그마 프레스, 2009.02.20