

# 3차원 그래픽프로세서용 특수 목적 연산장치의 하드웨어 설계

최병윤\*

\*동의대학교 컴퓨터공학과

## Hardware Design of Special-Purpose Arithmetic Unit for 3-Dimensional Graphics Processor

Byeong-Yoon Choi\*

\*Dong-Eui University

E-mail : bychoi@deu.ac.kr

### 요 약

본 논문에서는 모바일 그래픽프로세서용 특수목적 연산 회로를 설계하였다. 특수목적 연산회로(SFU)는 6개의 연산, 즉,  $1/x$ ,  $\frac{1}{\sqrt{x}}$ ,  $\log_2 x$ ,  $2^x$ ,  $\sin(x)$ ,  $\cos(x)$ 를 지원한다. 특수목적 연산 회로는 높은 정밀도 조건을 만족하기 위해 IEEE 표준 부동 소수점 형식을 사용하는 2차 다항식 minimax 알고리즘을 사용하였으며, 높은 연산 성능을 위해 5-단 파이프라인 구조를 갖고 있다. 설계한 특수목적 연산회로는 65nm 삼성 CMOS 표준셀 공정 조건에서 약 23,000개의 게이트로 구성되며, 약 400 Mhz의 동작 주파수를 가진다. 설계된 회로는 파이프라인 구조로 동작하므로 약 400 MOPS(Million Operations Per Second)의 연산 성능을 갖고 있어서, 고성능 3차원 그래픽 프로세서에 적용이 가능하다.

### ABSTRACT

In this paper, special purpose arithmetic unit for mobile graphics accelerator is designed. The designed processor supports six operations, such as  $1/x$ ,  $\frac{1}{\sqrt{x}}$ ,  $\log_2 x$ ,  $2^x$ ,  $\sin(x)$ ,  $\cos(x)$ . The processor adopts 2nd-order polynomial minimax approximation scheme based on IEEE floating point data format to satisfy accuracy conditions and has 5-stage pipeline structure to meet high operational rates. The SFAU processor consists of 23,000 gates and its estimated operating frequency is about 400 Mhz at operating condition of 65nm CMOS technology. Because the processor can execute all operations with 5-stage pipeline scheme, it has about 400 MOPS(million operations per second) execution rate. Thus, it can be applicable to the 3D mobile graphics processors.

### 키워드

OpenGL/ES, elementary function, minimax algorithm, SoC, graphics shader processor

### 1. 서 론

그래픽에 사용되는 초월함수는 일반적으로 CORDIC 연산기법, 다항식 근사 기법(polynomial approximation), 수렴 방법(convergence method)로 구현된다<sup>[1-3]</sup>. 면적 측면에서는 기본 연산의 반복 작업으로 구현되는 CORDIC 방식이 효율적이

지만 그래픽 분야는 다른 분야와 달리 초월 함수의 사용 빈도가 높아서, 정확성이 다소 떨어지더라도 연산 시간이 짧은 방식이 필요하다. 따라서 본 연구에서는 기존 다항식 근사와 Table-lookup을 결합한 방식으로 고속으로 초월함수를 구현하는 방식을 채택한다. 3차원 그래픽 프로세서에 사용되는 특수목적 연산장치는 범용 마이크로프로

세서에 사용되는 부동소수점 코프로세서와 달리 IEEE 표준 반올림을 모드를 만족할 필요가 없이 일반적으로 1 ulp의 오차가 허용된다. 본 논문에서는 현재 개발 중인 멀티스레드 구조 그래픽 웨이더에 내장을 하기 위해 개발한 특수목적 연산장치를 기술한다.

### II. 설계사양

본 연구에서는 특수 목적 초월함수 기능 블록에서 처리해야 할 연산으로 OpenGL/ES, OpenCL과 Direct3D 문서를 바탕으로 6가지 연산( $1/x$ ,  $\frac{1}{\sqrt{x}}$ ,  $\log_2 x$ ,  $2^x$ ,  $\sin(x)$ ,  $\cos(x)$ )을 구현을 하도록 결정하였다. 단,  $x^y$  처리 동작은 직접 하드웨어로 구현하지 않고, 기존  $\log_2 x$ ,  $2^x$  과 곱셈 함수를 사용하여 등가 구현하도록 하였다. 그리고 입력 데이터와 출력 데이터는 단정도 부동 소수점 (single-precision floating-point) 형식을 사용하며, 결과 값의 정확도는  $2^{-23}$  이상을 만족하도록 하였다. 그리고 하드웨어 구현 단순화를 위해 반올림을 구현치 않는 설계 사양을 채택하였다. 구현에 사용한 알고리즘은 2차 minimax 근사를 이용하였다. 그리고 앞서 개발한 특수목적 연산장치가 반복 연산 구조를 갖고 있어서, 연산 종류별로 연산 사이클 수가 가변적인 특성이 있어서 상대적으로 면적 효율성은 높았지만, 성능이 높지 않은 문제가 있어서, 본 연구에서는 파이프라인 구조를 갖는 특수목적 연산회로를 개발하였다.

#### II. 특수목적 연산장치의 하드웨어 설계

특수목적 연산 장치는 모든 연산을 5단계 파이프라인으로 처리하기 위해, sin/cos 연산과 지수 연산( $2^x$ ) 연산의 경우, 별도로 개발하고 있는 연산회로 장치에서 사전처리(pre-processing) 과정을 거친다. 연산 f에 대한 2차 minimax 알고리즘의 근사다항식의 형태는 식 (1)과 같다.

$$f(x) = C_0 + C_1 X_2 + C_2 X_2^2 \quad (1)$$

입력 값 x는  $2^m$ 개의 구간으로 나누고, 각 구간에 대한 계수  $C_0$ ,  $C_1$ ,  $C_2$ 의 계수 값을 결정하는 상위 필드  $X_1$ 와 하위 필드  $X_2$ 로 나누어진다. 이러한 계수 값은 Maple<sup>[4]</sup>이라는 수학 계산 소프트웨어로 유도하였다. 연산을 계산하는 하드웨어 구조는 개념적으로 그림 1과 같다. 단, 역제곱근 연산의 경우( $\frac{1}{\sqrt{x}}$ ) 지수부의 값이 짝수인지 혹은 홀수인지에 따라, 먼저 부동소수점 데이터의 mantissa 데이터를 우측으로 이동하여, minimax 근사화 동작을 수행한다. 그리고 sin/cos 연산과 함께  $\log_2(x)$ 의 경우 출력 데이터에 대해 정규화 동작이 필요하다.

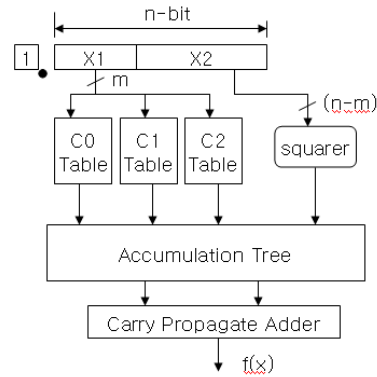


그림 1. 2차 minimax 알고리즘을 사용한 근사 연산 하드웨어 구조  
Fig.1 Block diagram of 2nd-order minimax approximation method

본 논문에서 설계한 특수목적 연산장치는 멀티스레드 구조의 모바일 그래픽 프로세서에 내장될 구조로 5단계의 파이프라인 구조를 갖고 있다. 파이프라인별 주요 동작은 표 1과 같다.

표 1. 특수목적 연산장치의 파이프라인별 동작  
Table 1. Main operations per pipeline stage

파이프라인 단계	주요 연산 동작
단계 1	C0, C1, C2 계수 생성, 계수 ( $X_2^2$ ) 구현
단계 2	carry-save 형태의 누적 결과 생성
단계 3	Carry-propagate 덧셈
단계 4	정규화 연산
단계 5	출력 결과 형식 변경 및 특수 입력에 따른 결과 생성

### III. 성능 분석 및 결론

설계한 특수목적 연산회로는 Verilog-HDL과 C 언어로 작성된 기능 모델과 비교 동작을 통해 올바른 동작과 오차 조건 만족여부를 비교 확인하였다. 설계된 특수목적 연산회로는 65nm 삼성 CMOS 표준셀 공정 조건에서 Synopsys DC로 합성한 결과 약 23,000개의 게이트로 구성되며, 약 400 Mhz의 동작 주파수로 동작이 가능함을 확인하였다. 표 2는 설계된 특수목적 연산장치의 전기적 특성을 나타낸다. 설계된 회로는 5단 파이프라인 구조로 약 400 MOPS(Million Operations Per Second)의 연산 성능을 갖고 있어서, 고성능

3차원 그래픽 프로세서에 적용이 가능하다고 판단된다.

### 감사의 글

본 연구에 사용한 설계용 소프트웨어는 반도체 설계 교육센터(IDECE)에서 지원한 것으로, CAD 소프트웨어 지원에 감사드립니다.

표 2. 전기적 특성  
Table 2. Electrical characteristics

공정	65nm CMOS 공정
계산 알고리즘	2차 minimax 근사 방식
지원 연산수	6가지 $1/x, \frac{1}{\sqrt{x}}, \log_2 x, 2^x, \sin(x), \cos(x)$
입출력 데이터	IEEE 단정도 부동 소수점 형식
게이트 수 (2-input NAND기준)	약 23,000
파이프라인 수	5
정밀도	$2^{-23}$
동작 주파수	400 Mhz
연산 성능	400 MOPS

### 참고문헌

- [1] Jean-Michel Muller, Elementary Functions Algorithms and Implementation, 2nd edition, Birkhauser, 2006.
- [2] Michael J. Schulte and Earl E. Swartzlander, Jr, "Hardware Designs for Exactly Roundly Elementary Functions", IEEE Transactions on Computer, vol.43, no.8, August 1994, pp.964-972.
- [3] Jose-Alejandro Pineiro, Stuart F. Oberman, Jean-Michel Muller, and Javier D. Bruguera, "High Speed Function Approximation Using a MiniMax Quadratic Interpolator", IEEE Transactions on Computer, Vol.54, No.3, pp.304-318, March 2005
- [4]. MapleSoft, "Maple 14 user guide", 2011.