
DDR2 SDRAM을 이용한 비메모리 검사장비에서 정시성을 보장하기 위한 메모리 컨트롤러 구현

전민호* · 신현준* · 강철규* · 오창현*

*한국기술교육대학교

Implementation of Memory controller for Punctuality Guarantee from Memory-Free Inspection Equipment using DDR2 SDRAM

Min-ho Jeon* · Hyun-jun Shin · Chul-gyu Kang* · Chang-heon Oh*

*Korea University of Technology and Education

E-mail : w1004me@kut.ac.kr

요 약

현재의 반도체 검사장비는 테스트 패턴 프로그램을 위한 메모리로 시스템 설계가 간단하고 리프레시가 필요 없는 SRAM(static random access memory) 모듈을 채용하고 있다. 그러나 SRAM 모듈을 이용한 시스템 구성은 용량이 커질수록 장비의 부피가 증가하기 때문에 메모리 대용량화 및 장비의 소형화에 걸림돌이 되고 있다. DRAM(dynamic random access memory)을 이용하여 반도체 검사장비를 제작할 경우 SRAM 보다 비용과 장비의 면적이 줄어드는 장점이 있지만 DRAM의 특성 상 메모리 셀 리프레시가 필요하여 정시성을 보장해야 하는 문제가 있다. 따라서 본 논문에서는 이러한 문제를 해결하기 위해 DDR2 SDRAM(double data rate synchronous dynamic random access memory)을 이용한 비메모리 검사장비에서 정시성을 보장해 주는 알고리즘을 제안하고 알고리즘을 이용한 메모리 컨트롤러를 제작하였다.

ABSTRACT

The conventional semiconductor equipment has adopted SRAM module as the test pattern memory, which has a simple design and does not require refreshing. However, SRAM has its disadvantages as it takes up more space as its capacity becomes larger, making it difficult to meet the requirements of large memories and compact size. If DRAM is adopted as the semiconductor inspection equipment, it takes up less space and costs less than SRAM. However, DRAM is also disadvantageous because it requires the memory cell refresh, which is not suitable for the semiconductor examination equipments that require correct timing. Therefore, in this paper, we will propose an algorithm for punctuality guarantee of memory-free inspection equipment using DDR2 SDRAM. And we will produce memory controller using punctuality guarantee algorithm.

키워드

SDRAM, 컨트롤러 모듈, 반도체 검사장비, 비메모리, 정시성 보장

1. 서 론

최근 공정 미세화에 따른 집적도 증가와 이를 이용한 대용량 시스템 IC(integrated circuit)의 출현으로 이를 테스트하기 위한 테스트 장비도 대용량화가 되고 있다. 여기서 대용량화란 주로 테스트 프로그램 메모리의 대용량화와 fail 메모리

의 대용량화를 의미한다. 메모리 제품의 경우 반복적인 테스트 패턴을 사용하기 때문에 ALPG(algorithm pattern generator)를 사용함으로써 프로그램 메모리 용량을 수십 [Kb]정도로 작게 할 수 있으나, 시스템 IC와 같은 비메모리 반도체 제품의 경우 테스트 패턴이 반복적이지 않기 때문에 모든 테스트 패턴을 반복 명령어 없이 순차

적으로 기술 해주어야 한다. 이러한 특성 때문에 시스템 IC 용량이 증가함에 따라 비메모리 검사장비의 테스트 패턴 메모리도 증가하여야 한다 [1][2].

현재의 비메모리 검사장비는 프로그램 메모리로 모두 SRAM 모듈을 채용하고 있다. 그 이유는 SRAM 모듈의 동작 특성 상 메모리 셀 리프레시(memory cell refresh)가 필요하지 않기 때문에 타이밍 제어가 간단하여 시스템 설계가 간단해지기 때문이다. 그러나 SRAM 모듈을 이용한 시스템 구성은 용량이 커질수록 장비의 부피가 증가하기 때문에 메모리 대용량화 및 장비의 소형화에 걸림돌이 되고 있다. 하지만 DRAM을 이용하여 비메모리 검사 장비를 제작할 경우 SRAM보다 비용과 장비의 면적이 줄어드는 장점이 있지만 DRAM의 메모리 셀 리프레시가 필요하여 정시성을 보장해야 하는 비메모리 검사장비에는 적합하지 못한 문제가 있다[3].

본 논문에서는 이러한 문제를 해결하기 위해 비메모리 검사장비에서 테스트 패턴 프로그램 메모리로 DDR2 SDRAM을 사용하기 위한 정시성 보장 알고리즘을 제안하고 메모리 컨트롤러를 제작하였다.

II. SDRAM을 사용하는 비메모리 검사장비의 정시성 보장 알고리즘

DRAM은 이 비트를 집적회로 안에 각기 분리된 축전지에 담긴 전하량에 의해 기록하며 시간이 지남에 따라 축전기의 전자가 누전됨으로써 기억된 정보를 잃게 된다. 이를 방지하기 위해 기억장치의 내용을 주기적으로 재생시켜야하는데 이를 리프레시라고 하며 리프레시를 위한 제어회로가 컴퓨터 시스템에 탑재되어 있어야 한다.

그림 1과 같이 SDRAM의 사용을 위해서는 필히 SDRAM 컨트롤러가 필요하다. 보통의 ARM 코어 내장형 SoC(system on chip)에는 기본적으로 이런 SDRAM 컨트롤러가 존재한다. 컨트롤러의 가장 중요한 역할은 SDRAM의 데이터 보관과 리프레시이다.

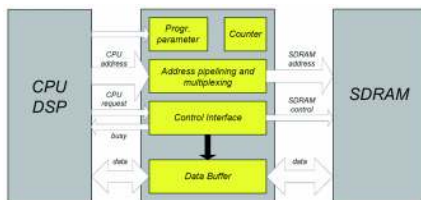


그림 1. Host interface of SDRAM

SDRAM으로 전송되는 신호들 중 DQ_x 데이터 버스를 제외한 대부분은 SDRAM 컨트롤러에서 보내는 신호들이다. 표 1은 SDRAM 컨트롤러에서 보내는 신호들 중 주요 신호에 대해서 정리해 놓은 것이다.

표1. SDRAM의 신호와 기능

신호	기능
CLK	Memory Clock
CKE	Clock Enable
CS	Chip Select
RAS	Row Address Select
CAS	Column Address Select
WE	Control Signal
V _(cc,ss,ccQ,ssQ)	Power
A ₀ -A _x	Address
DQM	masking signal of data I/O
DQ ₀ -DQ _x	data I/O

리프레시 주기는 메모리칩에서 메모리의 내용을 읽거나 쓸 수 없는 특별한 구간이며 SDRAM 컨트롤러의 가장 중요한 임무는 시스템의 요구에 맞게 리프레시주기를 보장해 주는 것이다. 본 알고리즘에서는 정시성을 보장하기 위한 리프레시로 오토 리프레시를 사용하였다. 기본적으로 리프레시 명령은 SDRAM 컨트롤러에서 발생되며 오토 리프레시는 항상 'IDEL'상태에서만 동작한다.

그림 2는 리프레시로 인한 오류를 제거하기 위한 계층별 데이터 전송 시간을 나타낸 그림이다. DDR2 SDRAM 모듈에서 DDR2 SDRAM 컨트롤러로 데이터가 들어오는 시간은 10,500 ns이며, DDR2 SDRAM 컨트롤러에서 시스템으로 데이터를 전송하는 시간은 17,500 ns로 7000 ns의 여유 시간을 가지게 되며, 이 여유시간동안 DDR2 SDRAM은 리프레시를 수행하게 된다[4].

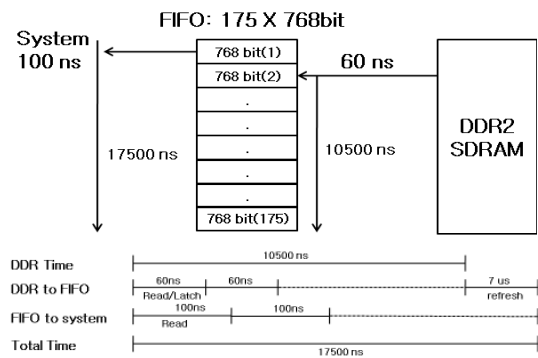


그림2. 계층별 데이터 전송 시간

III. 정시성을 보장하는 메모리 컨트롤러 설계

본 장에서는 비메모리 검사장비에서 DDR2 SDRAM을 이용할 경우 정시성을 보장하기 위한 메모리 컨트롤러를 제작하였다. 메모리 컨트롤러는 그림 3과 같이 세 부분으로 구성된다.

시스템 인터페이스 모듈은 비메모리 검사장비와 DDR2 SDRAM 컨트롤러 모듈을 연결시켜주는 역할을 하며, 메모리 인터페이스 모듈은 DDR2 SDRAM 모듈과 직접 연결되어 데이터 송

수신을 수행하는 역할을 하며, DDR2 SDRAM 컨트롤러 모듈은 DDR2 SDRAM의 데이터의 임시보관과 리프레시를 수행하는 역할을 한다.

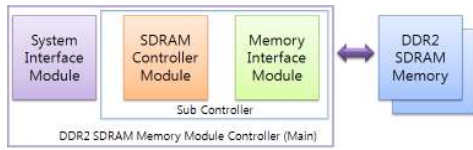


그림 3. DDR2 SDRAM 모듈 컨트롤러 구성도

그림 3의 시스템 인터페이스 모듈은 반도체 검사장비와 DDR2 SDRAM 모듈 컨트롤러를 연결시켜주는 역할을 하는 것으로 ISA(industry seabed architecture)와 유사한 방식을 취하며, Address(15), Data(16), IO(input/output), WR(write), RD(read), RES(remote entry service)를 사용한다.

메모리 인터페이스 모듈은 VHDL(VHSIC hardware description language)을 사용하여 기능을 구현하였다. 이 모듈에서 DDR SDRAM 모듈에 공급되는 신호는 RAS(row address signal), CAS(column address signal), WE(write enable), CS(chip select)와 같은 제어 신호와 멀티플렉스된 Row, Column 어드레스 신호, 양방향의 데이터 신호이며, 고속으로 동작하도록 설계되었다 [5][6].

DDR2 SDRAM 컨트롤러 모듈은 그림 4와 같이 DDR2 SDRAM 모듈에서 받아들인 데이터를 그림 2와 같이 FIFO(first in first out)형식의 저장 공간에 데이터를 순차적으로 저장하고 먼저 받은 데이터부터 시스템으로 전송시키는 역할을 하며 각 모듈사이의 동작속도는 200MHz와 10MHz로 제어를 하였으며 DDR SDRAM 컨트롤 모듈에서 시스템으로 전송되는 패킷은 12개로 분할하여 전송하게 하였다.

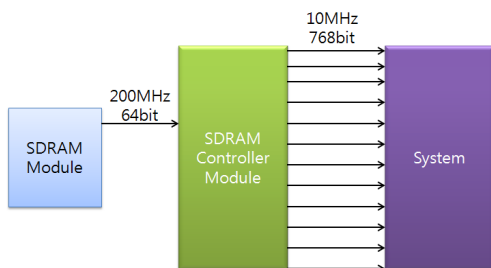


그림 4. 계층별 데이터 전송 구조

IV. 구현 및 평가

본 장에서는 정시성 보장 알고리즘의 성능을 평가하기 위해 DDR2 SDRAM을 구현하고 시스템과의 데이터 통신에서 발생하는 오류율을 측정하였다. 그림 4는 본 논문의 실험에 사용될 DDR2 SDRAM 컨트롤러의 모습이다.

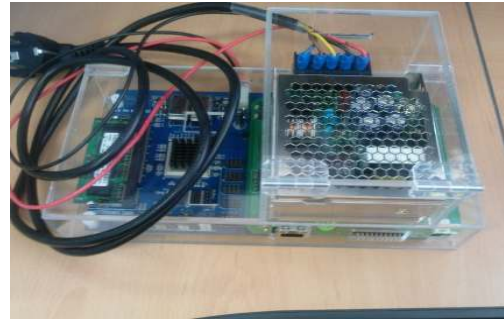


그림 5. 개발된 DDR2 SDRAM 컨트롤러 모듈

실험은 비메모리 검사장비 시스템을 대신하여 시뮬레이터에서 임의로 데이터를 생성한 후 생성한 데이터를 'write.txt' 파일에 저장시켜 놓은 후 DDR2 SDRAM 메모리에 저장을 하였다. 그런 다음 DDR2 SDRAM 메모리로부터 현재 메모리에 저장된 주소공간의 데이터를 순차적으로 불러들여 'read1.txt' 파일로 저장시킨 후 'write.txt' 파일과 비교하였다. 실험결과 134,400 bit가 입력된 'write.txt' 파일의 데이터와 'read.txt' 파일을 비교한 결과 데이터가 오류 없이 성공적으로 출력되는 것을 확인 할 수 있었다.

그림 6은 본 논문에서 제안한 정시성 보장 알고리즘을 사용한 메모리 컨트롤러와 Vectex-5에서 기본적으로 제공하는 오토 리프레시를 이용하여 제작한 메모리 컨트롤러와 비교한 그래프이다. 오토리프레시를 사용 할 경우 초반에는 아주 미세한 차이로 P/W ctrl(Punctuality Guarantee memory controller) 보다 데이터 전송량이 많지만 시간이 지남에 따라 P/W ctrl이 더욱 많은 데이터를 전송하는 것을 알 수 있다. 이는 vectex-5에서 제공하는 오토리프레시는 지속적으로 데이터를 전송하고 리프레시 주기가 돌아왔을 때 데이터 전송을 잠시 멈추고 리프레시를 수행하고 난 후 다시 데이터를 전송하는데 반해 본 논문에서 제안한 정시성 보장 알고리즘을 사용할 경우 리프레시 구간에도 메모리 컨트롤러 내부에 저장된 데이터를 지속적으로 전송하기 때문이다.

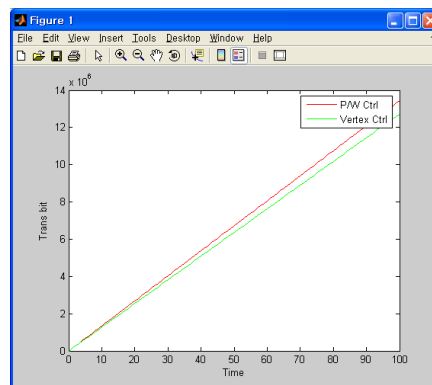


그림 6. 시간에 따른 데이터 전송량 표 2는 SRAM 컨트롤러 모듈과 본 논문에서

개발한 DDR2 SDRAM 컨트롤러 모듈로 변경하였을 경우 장비를 개발할 때 필요로 하는 기본재료 비용과 개발된 장비의 크기를 비교한 표이다.

그 결과, DDR2 SDRAM을 이용할 경우 SRAM을 이용할 때 보다 가격과 면적이 줄어들어 가격 측면에서는 13.5배 그리고 면적측면에서는 5.3배 이득이 있음을 확인하였다.

표2. 장비개발 가격 및 면적 비교

구분	필요 모듈 수	단위 가격	합계
		단위 크기	
64M × 64 SDRAM	12 EA	19,000	228,000
		6.7 × 29 Cm	233 (Cm ²)
8M × 192 SRAM	32 EA	96,000	3,072,000
		13.3 × 29 Cm	1234 (Cm ²)
효과		가격	13.5 배
		면적	5.3 배

V. 결론

최근 반도체 공정의 미세화에 따른 반도체 검사장비 프로그램 메모리의 대용량화에 대한 연구가 활발히 진행 중이다. 현재의 반도체 검사장비는 테스트 패턴 프로그램을 위한 메모리로 시스템 설계가 간단하고 리프레시가 필요 없는 SRAM 모듈을 채용하고 있으나 SRAM은 DRAM에 비해 구조적으로 4배의 면적을 차지하기 때문에 메모리의 대용량화 및 장비의 소형화가 어렵고 동일 용량을 구성하기 위한 비용이 많이 요구된다. 이에 비해 DRAM은 저가이고 소형화가 가능하여 대용량 저장장치로 많이 사용되고 있으나, 정확한 타이밍 제어가 어렵기 때문에 정시성이 요구되지 않는 장비에만 사용되고 있다.

따라서 본 논문에서는 이러한 문제를 해결하기 위해 DDR2 SDRAM을 이용한 비메모리 검사장비에서 정시성을 보장해 주는 알고리즘을 제안하고 알고리즘을 이용한 메모리 컨트롤러를 제작하였다.

그 결과, 정시성 보장알고리즘을 사용할 경우 기존의 오토리프레시를 이용하는 SDRAM 메모리 컨트롤러 보다 메모리 셀 리프레시의 영향 없이 시스템으로 데이터를 전송하는 것을 확인하였으며, 본 논문에서 개발한 DDR2 SDRAM 메모리 컨트롤러를 이용하여 비메모리 검사 장비를 개발할 경우 개발비용은 약 13.5배 그리고 장비가 차지하는 면적은 5.3배 줄어드는 것을 알 수 있었다.

참고문헌

[1] 지식경제부, 차세대 반도체 패키지 검사시스템 개발, 2008. 5.
 [2] 윤현준, 양명훈, 김용준, 박영규, 박재석, 강성호, "명령어 분석기를 이용한 고속 메모리 테

스트를 위한 병렬 ALPG," 전자공학회 논문지, 제 45권, 제 9호, pp. 33-40, 2008. 9.
 [3] 림호, 김재환, 정정화, "듀얼-포트 SDRAM 성능 최적화를 위한 새로운 컨트롤러," 대한전자공학회 2009년 SoC 학술대회, pp. 1-575, 2009. 5.
 [4] 이용환, "SoC 설계를 위한 유효 비트 방식의 비동기 FIFO 설계," 한국해양정보통신학회논문지, 제 9권, 제 8호, pp.1735-1740, 2005. 12.
 [5] XILINX, Xilinx Memory Interface Generator User Guide, Jan. 2008.
 [6] XILINX, Xilinx Interfaces with Xilinx FPGAs White Paper, Feb. 2007.