

# 다중 블록길이와 부호율을 지원하는 IEEE 802.11n용 LDPC 복호기 설계

김은숙\* · 박해원\* · 나영현\*\* · 신경욱\*

\*금오공과대학교 · \*\*넥스트칩

A design of LDPC decoder supporting multiple block lengths and code rates of IEEE 802.11n

Eun-suk Kim\* · Hae-won Park\* · Young-heon Na\*\* · Kyung-wook Shin\*

\*School of Electronic Eng., Kumoh National Institute of Technology · \*\*Nextchip Co.,Ltd.

E-mail : k\_es@kumoh.ac.kr

## 요 약

본 논문에서는 IEEE 802.11n 무선 랜 표준의 3가지 블록길이(648, 1296, 1944)와 4가지 부호율(1/2, 2/3, 3/4, 5/6)을 지원하는 다중모드 LDPC 복호기를 설계하였다. 하드웨어 복잡도를 고려하여 layered 복호방식의 블록-시리얼(부분병렬) 구조로 설계하였으며, 최소합 알고리즘의 특징을 이용하여 검사노드 메모리 최소화 방법을 고안하여 적용함으로써 기존방법에 비해 검사노드 메모리 용량을 약 47% 감소시켰다. 설계된 회로는 FPGA 구현을 통해 하드웨어 동작을 검증하였으며, 0.18- $\mu$ m CMOS 셀 라이브러리로 합성한 결과 219,100 게이트와 45,036 비트의 메모리로 구현되었고, 50 MHz@2.5V 로 동작하여 164~212 Mbps의 성능을 갖는 것으로 평가되었다.

## ABSTRACT

This paper describes a multi-mode LDPC decoder which supports three block lengths(648, 1296, 1944) and four code rates(1/2, 2/3, 3/4, 5/6) of IEEE 802.11n WLAN standard. To minimize hardware complexity, it adopts a block-serial (partially parallel) architecture based on the layered decoding scheme. A novel memory reduction technique devised using the min-sum decoding algorithm reduces the size of check-node memory by 47% as compared to conventional method. The designed LDPC decoder is verified by FPGA implementation, and synthesized with a 0.18- $\mu$ m CMOS cell library. It has 219,100 gates and 45,036 bits RAM, and the estimated throughput is about 164~212 Mbps at 50 MHz@2.5v.

## 키워드

LDPC, error correction code, IEEE 802.11n, WLAN, min-sum algorithm, layered decoding

## 1. 서 론

차세대 고속 통신 및 디지털방송 시스템을 위한 오류정정 방식으로 1962년 로버트 갤러거(R. Gallager)에 의해 제안된 LDPC (Low Density Parity Check) 부호가 많은 관심을 받고 있다.<sup>[1]</sup> 당시 기술로는 구현이 어려워 관심을 받지 못하였으나 1990년대부터 재조명되고 있으며, LDPC 부호의 생성 및 복호에 대한 연구가 활발히 진행되고 있다.<sup>[2,3]</sup> LDPC 부호는 무선랜 표준 IEEE 802.11n<sup>[4]</sup>, 유럽 디지털 위성방송 표준 DVB-S2,

모바일 WiMAX 표준 IEEE 802.16e, 10 Gbps 이더넷 표준 IEEE 802.3an, 중국 지상파 디지털방송 표준 DTTB (Digital Television Terrestrial Broadcasting) 등에서 채택되고 있으며, 하드디스크 및 광 저장매체 등의 분야에서 표준 채택이 적극 검토되고 있다.

본 논문에서는 IEEE 802.11n 무선 랜 표준의 3가지 블록길이와 4가지 부호율을 지원하는 다중모드 LDPC 복호기를 최소합 알고리즘과 layered 복호방식을 적용하여 설계하였으며, 검사노드 메모리 최소화 등 최적화 방법을 설계에 적용하였다.

## II. 본 론

IEEE 802.11n 표준의 3가지 블록길이와 각 블록길이에 대한 4가지 부호율을 지원하는 다중모드용 LDPC 복호기를 설계하였다. 최소합 알고리즘 기반의 layered 복호방식을 적용하였으며, 최적 설계조건 분석을 토대로 고정소수점 비트 폭을 8 비트(정수부분 5 비트, 소수부분 3 비트)로 설계하였다.

### 1. 전체 구조 및 다중모드 구현

본 논문에서 설계된 LDPC 복호기 프로세서는 two-step 복호방식 보다 복호 수렴속도가 우수하며, 하드웨어 구조의 융통성이 좋은 layered 복호방식을 적용하였다. 내부 구조는 그림 1과 같으며, 최소합 알고리즘 기반의 복호연산을 수행하는 DFU(Decoding Function Unit) 뱅크, PCM 정보를 저장하는 H-ROM, PCM에 따라 데이터를 순환 이동시키는 permuter, 검사노드 값을 저장하는 CN 메모리, 결정변수 값을 저장하는 APP 메모리, 그리고 제어블록으로 구성된다.

IEEE 802.11n 표준에는 표 1과 같은 LDPC 파라미터들이 정의되어 있으며, 이를 고려하여 설계하였다. 다중모드용 LDPC 복호기 설계를 위해 3가지 블록길이와 4가지 부호율에 따른 12가지의 PCM은 H-ROM에 저장된다. PCM을 구성하는 부행렬들의 대다수가 영(0) 행렬로 이루어져 있으며, non-zero 부행렬의 개수는 부호율에 따라 7~22개로 가변적이다. 영 행렬은 검사노드와 변수노드 사이에 정보를 전달하지 않아 연산이 존재하지 않는다. 본 논문에서는 영 행렬을 효율적으로 무시하고, 부호율에 따른 다중모드 동작을 효율적으로 구현하기 위해 부행렬 단위로 복호연산을 수행하

표 1. IEEE 802.11n의 LDPC 부호 파라미터

Parameter	IEEE 802.11n			
블록길이 (N)	648, 1296, 1944			
서브블록 크기 (Z)	27, 54, 81			
부호율 (R)	1/2, 2/3, 3/4, 5/6			
서브블록 수 (k)	24			
레이어 수 (j)	R=1/2	2/3	3/4	5/6
	12	8	6	4

는 블록-시리얼(block-serial) 구조로 설계하였다. 또한 H-ROM에는 PCM의 모든 정보를 저장하는 대신에, 영 행렬을 제외한 non-zero 부행렬들의 위치 정보와 순환 시프트 정보만을 저장하는 방법을 적용함으로써 하드웨어가 최소화되도록 하였다.

부행렬의 크기는 블록길이에 따라  $z_1 = 27$ ,  $z_2 = 54$ ,  $z_3 = 81$ 이므로, 81개의 DFU를 3개의 DFU 뱅크로 분할하여 블록길이에 따라 DFU 뱅크가 선택적으로 동작하도록 설계하였다. 부호율에 따른 레이어 수(j)는 단일 레이어 연산의 반복 처리에 의해 구현되도록 설계하였다.

### 2. DFU의 구조 및 동작

DFU는 오류가 포함되어 있는 입력 부호어의 오류를 정정하기 위해 자신을 제외한 나머지 부호어들의 LLR을 취합하여 원래의 부호어에 가장 가까운 LLR 값을 예측하는 기능을 수행한다. 본 논문에서는 최소합 알고리즘을 기반으로 DFU를 설계하였다. DFU의 구조는 그림 2와 같으며, 검사노드 값을 생성하는 CNV(Check Node Value) 블록, 최솟값 검출기, 부호비트 누산기, 데이터 지연을 위한 FIFO(First-In First-Out), 덧셈기, 뺄셈기, 비교기, 수체계 변환기 등으로 구성된다. DFU에서 처리되는 LLR 값은 8비트로 근사화되어 연산되며, 부호와 크기를 분리하여 계산된다.

DFU는 다음의 과정으로 복호연산을 수행한다. MUX와 수체계 변환기로 구성되는 CNV 블록은 Mag\_type 신호에 의해 CNM 메모리에 저장된 최솟값(min0)과 준최솟값(min1) 중 하나를 선택하여 2의 보수 형태의 검사노드 값  $L_{j \rightarrow i}$ 으로 변환한다. 계산된 검사노드 값  $L_{j \rightarrow i}$ 와 이전 레이어의 결정변수 값  $z_i$ 는 뺄셈연산을 통해 변수노드 값  $L_{i \rightarrow j}$ 로 변환되며, 이는 수체계 변환기(TC\_SM1)를 통해 부호와 크기로 분리되고, 부호는 순차적으로 계산되는  $L_{i \rightarrow j}$ 의 부호들과 누적 곱셈된다. 변수노드 값의 크기  $|L_{i \rightarrow j}|$ 는 최솟값 검출기(Min\_det)를 통해 최솟값과 준최솟값으로 검출되어 레지스터에 저장된다. 한편, 변수노드 값  $L_{i \rightarrow j}$ 는 순차적으로 FIFO에 누적되어 지연된 후 수체계 변환기(TC\_SM2)를 통해 부호와 크기로 분리된다. 분리

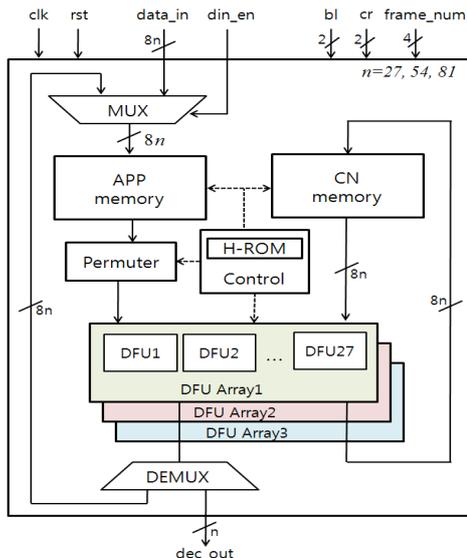


그림 1. 설계된 LDPC 복호기의 전체 구조

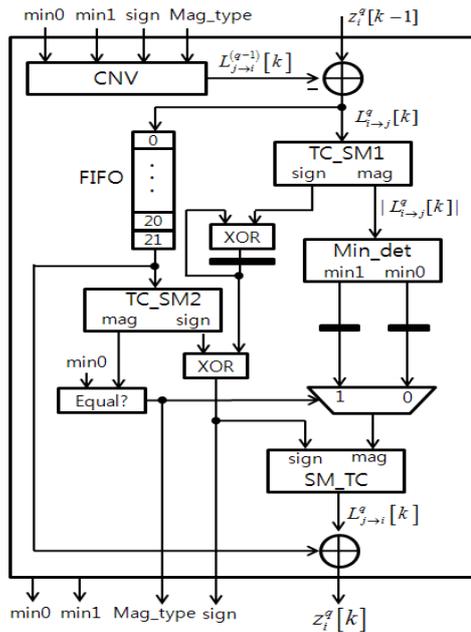


그림 2. 설계된 DFU의 구조

된  $|L_{i \rightarrow j}|$ 는 비교기를 통해 검출된 최솟값  $\min0$ 와 비교되어 두 값이 같으면 준최솟값  $\min1$ 이 새로운 검사노드 값의 크기  $|L_{j \rightarrow i}|$ 로 결정되고, 아니면 최솟값  $\min0$ 이 새로운  $|L_{j \rightarrow i}|$ 로 결정된다. 또한 부호의 누적 곱셈도 동일한 원리로 모든 부호를 누적 곱셈한 후,  $i$ 번째  $L_{j \rightarrow i}$ 의 부호를 한 번 더 누적 곱셈하여 갱신된다. 결정된  $L_{j \rightarrow i}$ 의 크기와 부호는 2의 보수 수체계 변환을 통해 새로운 검사노드 값  $L_{j \rightarrow i}$ 으로 갱신된다. 갱신된 검사노드 값  $L_{j \rightarrow i}$ 와 FIFO에 의해 지연된  $L_{i \rightarrow j}$ 는 덧셈연산을 통해 새로운 결정변수 값  $z_i$ 로 갱신된다. 검사노드 값의 부호와 Mag-type은 SM 메모리에 2비트로 저장되고, 최솟값 검출기에서 얻어진 최솟값 ( $\min0$ )과 준최솟값( $\min1$ )은 CNM 메모리에 저장되어 다음번의 반복복호 연산에 사용된다.

### 3. 검사노드 메모리 최소화 방법

LDPC 복호기의 검사노드 메모리에는 검사노드 연산결과  $L_{j \rightarrow i}$ 가 저장된다. 일반적인 검사노드 메모리 구조에서는  $w$ -비트의  $L_{j \rightarrow i}$ 를 유효 부행렬 개수인  $S_j$  만큼 저장하며, 각 레이어에는  $S_j$ 개의 최솟값/준최솟값들이 부행렬 크기  $z_f$  만큼 존재하므로,  $\{(w \times S_j) \times z_f\}$ -비트의 메모리 용량이 필요하다. 여기서 한가지 주목할 사항은,  $S_j$ 개의 검사노드 갱신값들은 하나의 준최솟값과  $(S_j - 1)$ 개의 최솟값(이들은 모두 동일한 값임)으로 구성된다. 따라서  $(S_j - 1)$ 개의 동일한 최솟값을 저장하는 대신에 최솟값을 한번만 저장하고, 각 유효 서브블록에 최솟값과 준최솟값을 구분할 수 있는 1

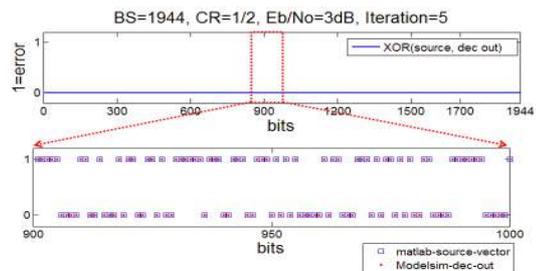
비트 신호를 할당하면 검사노드 메모리 크기를 효과적으로 감소시킬 수 있다. 본 논문에서 제안되는 방식은 레이어당  $\{(w + S_j) \times z_f\}$  비트의 메모리 용량만 필요하여 검사노드 메모리를 크게 감소시킬 수 있다.

블록길이가 1944이고 부호율이 1/2인 경우에, 검사노드 값  $L_{j \rightarrow i}$ 의 비트 폭( $w$ )이 8 비트라면, 기존의 방법은  $55,728 (= w \times z_f \times S_H)$  비트의 검사노드 메모리가 필요하다. 여기서  $S_H = 86$ 은 non-zero 부행렬의 개수를 나타낸다. 본 연구에서 제안하는 방식에서는 SM 메모리 용량 13,932 ( $= 2 \times z_f \times S_H$ ) 비트와 CNM 메모리 용량 15,552 ( $= 2 \times w \times z_f \times j_R$ ) 비트를 합한 총 29,484비트의 메모리만 사용된다. 따라서 검사노드 메모리의 용량을 약 47% 감소시킬 수 있다.

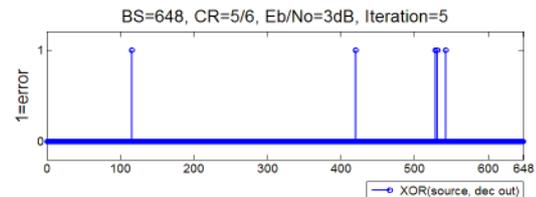
## III. 설계검증 및 성능평가

### 1. 기능검증

설계된 LDPC 복호기는 Matlab과 연동하여 복호성능을 평가하였다. Matlab을 이용한 랜덤 소스벡터 생성, LDPC 부호화, QPSK 변조, 채널잡음 삽입 그리고 복조 등을 통해  $E_b/N_0 = 1.5 \sim 3$  dB (0.3 dB 간격)의 시뮬레이션 백터를 생성하였다. 8 비트로 양자화된 시뮬레이션 백터를 이용하여 설계된 복호기의 ModelSim 시뮬레이션을 수행하였으며, 소스벡터와의 비교를 통해 정정되지 못한 오류 비트들을 찾아 복호성능을 분석하였다. 설계된 LDPC 복호기의 기능검증 결과 중 일부는 그림 3과 같다. 그림 3-(a)는 블록길이 1944,



(a) block size: 1944, code rate: 1/2



(b) block size: 648, code rate: 5/6

그림 3. 설계된 LDPC 복호기의 기능검증 결과 ( $E_b/N_0 = 3$  dB, 반복복호=5회의 경우)

부호율 1/2의 경우이며, 복호결과가 소스벡터와 일치하여 오류가 완전하게 정정됨을 볼 수 있다. 그림 3-(b)의 블록길이 648, 부호율 5/6인 경우는 정정되지 못한 에러 5개를 제외한 나머지 오류는 모두 정정되었다. 블록길이 648, 부호율 5/6인 경우에 반복복호 횟수를 6회로 증가시키면 모든 오류가 정정되었으며, 따라서 설계된 복호기가 정상적으로 작동함을 확인하였다.

### 2. FPGA를 이용한 하드웨어 구현 및 검증

설계된 복호기는 FPGA 구현을 통해 하드웨어 동작을 검증하였으며, 검증 시스템의 구성도는 그림 4-(a)와 같다. FPGA 디바이스는 Xilinx Virtex-5 XC5VX50T가 사용되었으며, RS-232c 직렬통신을 이용하여 PC와 연결된다. 테스트 벡터는 PC에서 Matlab으로 생성되어 RS-232c 통신을 통해 FPGA 보드로 보내지며, FPGA 내부에 구현된 UART 코어와 wrapper를 통해 설계된 복호기로 인가된다. 복호기에 의해 복호된 데이터는 다시 wrapper에서 8 비트로 분할되어 UART 코어와 RS-232c 통신을 통해 PC로 보내진다. PC에서는 복호결과로부터 정정되지 못한 오류에 대한 분석 결과를 모니터에 출력한다. Eb/No=3.0 dB로 생성된 테스트 벡터를 복호기의 입력 데이터로 사

용한 FPGA 검증결과는 그림 4-(b)와 같으며, 복호된 데이터가 ModelSim 시뮬레이션 결과와 일치하여 설계된 LDPC 복호기가 정상 동작함을 확인하였다.

### 3. 성능분석

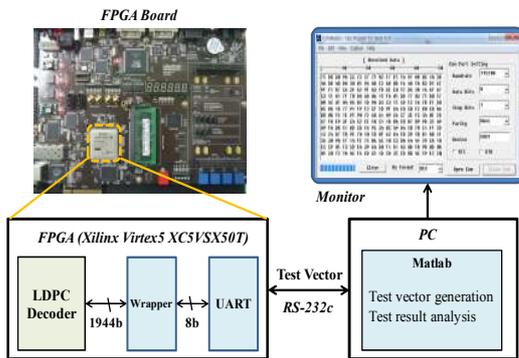
기능검증이 완료된 LDPC 복호기는 0.18- $\mu$ m CMOS 셀 라이브러리를 이용한 논리합성을 통해 게이트 수와 동작 속도를 평가하였다. 논리합성 결과, 총 219,100 게이트와 45,036 비트의 RAM으로 구현되었다. 설계된 LDPC 복호기는 50 MHz @2.5 V로 동작하여 164~212 Mbps의 성능을 가질 것으로 예상된다.

## IV. 결 론

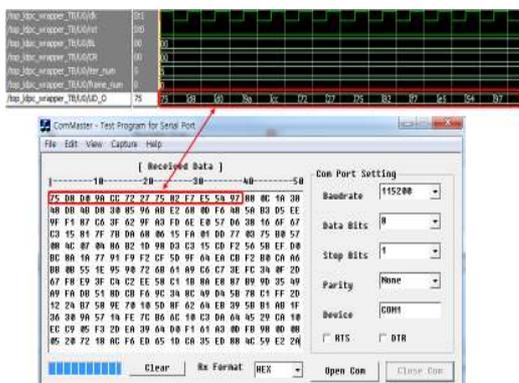
차세대 무선 랜 표준 IEEE 802.11n의 12가지 동작모드를 지원하는 LDPC 복호기 프로세서를 설계하고 검증하였다. 설계된 복호기는 최소합 알고리즘을 기반으로 layered 복호구조로 설계되었다. 최소합 알고리즘의 특성을 이용한 최적화 방법을 적용함으로써 기존의 방법에 비하여 검사노드 메모리를 약 47% 감소시켰으며, PCM을 저장하는 ROM의 크기도 최소화 하였다. 설계된 LDPC 복호기의 FPGA 구현을 통해 하드웨어 동작을 검증하여 실용성을 입증하였다.

## 참고문헌

- [1] R. Gallager, "Low-Density Parity-Check Codes," *IRE Trans. Info. Theory*, vol. IT-8, pp. 21-28, Jan. 1962.
- [2] D.J.C. MacKay and R.M. Neal, "Near Shannon limit performance of low density parity check codes," *IEE Electronic Letter*, vol. 32, no. 18, pp. 1645-1646, Aug. 1996.
- [3] T. Rihardson and R. Urbanke, "Efficient Encoding of Low Density Parity-Check Codes," *IEEE Trans. Inform. Theory*, vol. 47, pp. 638-656, Feb. 2001.
- [4] IEEE 802.11n: Wireless LAN medium access control(MAC) and physical layer (PHY) specification : enhancements for higher throughput, *IEEE Std. P802.11n*, 2008.



(a) FPGA 검증 시스템 구성도



(b) FPGA 검증 결과

그림 4. 설계된 LDPC 복호기의 FPGA 구현 검증 결과

### 감사의 글

※ 정부(교육과학기술부)의 재원으로 한국연구재단의 연구비를 지원받았음(No. 2010-0005589)  
 ※ 반도체설계교육센터(IDEC)의 CAD Tool 지원에 감사 드립니다.